

ЭВТ

Электронная
вычислительная
техника

Сборник статей

Выпуск 1

Под редакцией
В.В.Пржиалковского

Основан в 1987 году



Москва
«Радио и связь»
1987

УДК 681.3

Редактирование настоящего сборника выполнено докт. техн. наук проф. Б. Н. Файзулаевым

В рефератах принято сокращенное название сборника — ЭВТ

Редакция литературы по кибернетике и вычислительной технике

РЕДАКЦИОННАЯ КОЛЛЕГИЯ

В. В. Пржиялковский (отв. редактор), Ю. Е. Антипов, К. А. Валиев, А. А. Васенков, В. Б. Голуб (отв. секретарь), Э. В. Евреинов, И. К. Калугин, В. К. Левин, В. А. Мельников, В. С. Михалевич, А. Н. Мямлин, И. Н. Букреев, Б. Н. Наумов, И. В. Прангишвили, Н. Л. Прохоров, Г. Г. Рябов, Ю. П. Селиванов (зам. отв. редактора), М. К. Сулим, Б. Н. Файзулаев (зам. отв. редактора), А. Е. Фатеев, Я. А. Хетагуров.

Помещены статьи по общим вопросам и проблемам построения ЭВМ, созданию микроэлектронной элементной базы, системам автоматизированного проектирования матричных БИС, конструкциям многослойных печатных плат ЭВМ и современным техническим средствам ЕС ЭВМ и СМ ЭВМ. Основная часть выпуска посвящена теоретическим и прикладным вопросам создания высокопроизводительных ЭВМ и быстродействующей элементной базы.

Для инженерно-технических работников, занимающихся разработкой, проектированием и применением ЭВМ.

2405000000-125

Э ————— 124-87

046(01)-87

© Издательство «Радио и связь», 1987

СОДЕРЖАНИЕ

Предисловие.....	4
I. Общие вопросы построения ЭВМ.....	5
В. В. Пржиялковский. Состояние и проблемы развития ЭВМ общего назначения	5
В. А. Мельников, Ю. И. Митропольский. Пути построения ЭВМ сверхвысокой производительности	9
А. П. Заморин. Этапы интеллектуализации ЭВМ общего назначения	13
К. А. Валиев, А. А. Орликовский. Основные направления развития микроэлектроники	19
Я. А. Хетагуров. Оценка эффективности языков высокого уровня в вычислительных системах реального времени	30
Л. Н. Ильин, Н. М. Шаруненко. Система комплексного централизованного обслуживания средств вычислительной техники.....	43
II. Техническая База Эвм	49
Б. Н. Файзулаев. Теория матричных БИС и СБИС ЭВМ	49
Н. М. Малянский, Ю. В. Терехов. Микроэлектронная элементная база средств вычислительной техники	64
А. А. Орликовский, Б. В. Орлов, В. И. Старосельская. Большие интегральные схемы сверхоперативной памяти	71
А. А. Васенков, А. И. Мальцев, А. П. Нагин, А. Т. Яковлев. Энергонезависимые микроэлектронные ЗУ.....	78
И. И. Шагурин. Базовые Матричные Кристаллы На основе элементов ЭСЛ	87
Б.Н. Файзулаев, А. Н. Кармазинский. Сверхскоростная Элементная База на основе КМОП-схемотехники	97
А. В. Шмид, В. В. Ярных, А. Д. Донских, С. В. Куксенко. САПР матричных Бис единой системы ЭВМ	104
Г. Л. Лакшин, Ю. С. Коротаев, И. И. Григорьев, Е. В. Смирнов. Комплексная система проектирования матричных БИС (КОМПАС-82)	114
Ф. П. Галецкий. Многослойные монтажные платы связей ЭВМ	121
III. Технические Средства Эвм	127
Ю. С. Ломов. ЭВМ высокой производительности ЕС1066 и ЕС1065.....	127
М. К. Сулим, Л. В. Семенов. Состояние и перспективы развития периферийного и терминального оборудования ЭВМ.....	135
Г. Г. Рябов, Г. Л. Лакшин, В. Н. Конопкин, Ю. С. Коротаев. Система логического проектирования высокопроизводительных вычислительных комплексов	142
Ю. П. Селиванов. Новые технические средства ЕС и СМ ЭВМ	150

ПРЕДИСЛОВИЕ

На XXVII съезде КПСС был определен курс на ускоренное социально-экономическое развитие нашего общества. Особое внимание уделяется дальнейшему развитию в стране промышленности средств вычислительной техники. В Основных направлениях экономического и социального развития СССР на 1986—1990 годы и на период до 2000 года предусмотрено увеличение объемов производства вычислительной техники в 2—2,3 раза. Большое внимание уделено развитию персональных ЭВМ и высокопроизводительных вычислительных машин. В стране развернулась активная работа по реализации задач, поставленных партией. При Академии наук СССР организовано Отделение информатики, вычислительной техники и автоматизации, в задачу которого входит активизация деятельности в области фундаментальных исследований. Образован Государственный комитет СССР по вычислительной технике и информатике для координации всего комплекса работ по созданию и производству средств вычислительной техники, их внедрению в народное хозяйство, эффективному использованию и эксплуатации. Большое место отводится вычислительной технике и в Комплексной программе научно-технического прогресса стран — членов СЭВ до 2000 года.

Важность проблемы развития современных средств вычислительной техники ставит особые задачи перед специалистами и учеными, работающими в этой области. Создание высокопроизводительных и высоконадежных вычислительных машин на основе последних достижений микроэлектронной технологии требует разработки совершенно новых автоматизированных методов и средств проектирования, нового подхода к электронному конструированию ЭВМ. Эффективное использование современных возможностей микроэлектроники требует проведения исследований в области архитектуры ЭВМ, структуры процессоров, организации процессов обработки данных в ЭВМ, методов сопряжения устройств и ЭВМ при объединении их в системы и сети и т. д. Комплексный характер всей проблемы в сочетании с большим количеством направлений исследований и разработок требует привлечения к ее решению большого количества специалистов различного профиля. В работе таких многопрофильных коллективов особую важность приобретает обмен знаниями и опытом, взаимопонимание между различными специалистами, понимание задачи в целом. Одним из средств, которое должно способствовать установлению такого обмена и взаимопонимания, является печать. К сожалению, в выпускаемых в настоящее время периодических изданиях в основном обсуждаются проблемы внедрения ЭВМ, программного обеспечения и построения автоматизированных систем управления на базе ЭВМ, но мало внимания уделяется проблемам разработки технических средств вычислительной техники. Этот пробел и призван хотя бы частично заполнить настоящий сборник.

В сборнике «Электронная вычислительная техника» будут публиковаться статьи ведущих специалистов, посвященные основам теории построения, архитектуре ЭВМ и вычислительных комплексов, элементной и конструктивно-технологической базе ЭВМ, системам автоматизированного проектирования вычислительных машин, системам и средствам телеобработки, технико-экономическим вопросам проектирования, производства и выбора ЭВМ для эффективного применения, а также сведения по новым техническим средствам ЕС ЭВМ и СМ ЭВМ.

Сборник рассчитан на инженеров, занятых разработкой средств вычислительной техники. Материалы сборника должны также представлять интерес для специалистов, связанных с проектированием систем на базе ЭВМ, производством средств вычислительной техники и использованием средств ЕС ЭВМ и СМ ЭВМ в различных областях.

В настоящем сборнике помещены статьи по общим вопросам и проблемам построения ЭВМ, основным направлениям разработок и исследований в области микроэлектронной элементной базы, систем автоматизированного проектирования матричных БИС, конструкций многослойных печатных плат ЭВМ и современных технических средств ЕС ЭВМ и СМ ЭВМ. Основная часть данного выпуска посвящена теоретическим и прикладным вопросам создания высокопроизводительных ЭВМ и быстродействующей элементной базы.

I. ОБЩИЕ ВОПРОСЫ ПОСТРОЕНИЯ ЭВМ

УДК 681.3

В. В. ПРЖИЯЛКОВСКИЙ

СОСТОЯНИЕ И ПРОБЛЕМЫ РАЗВИТИЯ ЭВМ ОБЩЕГО НАЗНАЧЕНИЯ

В развитии вычислительной техники определяющую роль всегда играли ЭВМ общего назначения, занимающие в мировом парке ЭВМ существенное место как по количеству, так и по суммарной производительности.

Основой современного парка ЭВМ нашей страны являются ЭВМ Единой системы, относящиеся к классу ЭВМ общего назначения [1]. Поскольку мерой эффективности ЭВМ при решении конкретной задачи является производительность, то ЭВМ общего назначения можно определить как ЭВМ с универсальной структурой, имеющую систему команд и набор технических средств, позволяющих получать примерно равную производительность, при решении научных, научно-технических, информационно-логических, экономических и других задач, связанных с вводом, хранением, обработкой и выводом большого количества информации.

ЭВМ общего назначения появились в середине 60-х годов, когда была сделана первая попытка создать семейство ЭВМ, объединяющих свойства так называемых универсальных ЭВМ для научно-технических расчетов и ЭВМ для планово-экономических, коммерческих расчетов. За двадцатилетний период развития ЭВМ общего назначения определились архитектурные, системные, технические и технико-экономические характеристики, которые обеспечивают решение задач, различающихся составом операций, форматом данных, системой счисления, объемом информации. К наиболее существенным относятся следующие [1, 2]:

универсальная логическая структура, сбалансированная по быстродействию устройств и по потокам информации;

универсальная система команд, содержащая кроме операций двоичной арифметики (с фиксированной и плавающей точкой) полный набор операций десятичной арифметики с операндами переменной длины, а также широкий набор логических операций над битами, байтами, словами, полями переменной длины;

достаточная (32 бита и более) длина слова, наличие операций со словами двух- и четырехкратной длины;

согласованность суммарной пропускной способности каналов (процессоров) ввода-вывода с производительностью центрального процессора во всем диапазоне решаемых задач;

быстродействующий интерфейс ввода-вывода, связывающий каналы с несколькими сотнями устройств ввода-вывода;

внешние запоминающие устройства (ЗУ) с произвольным доступом, суммарная скорость передачи данных которых согласована с производительностью центрального процессора и каналов ввода-вывода во всем диапазоне решаемых задач, а общий объем информации позволяет поддерживать процесс вычислений без останова для смены носителей информации.

Операционная система ЭВМ общего назначения характеризуется универсальностью и многофункциональностью. Она организует работу широкой номенклатуры внешних устройств, обеспечивает все типовые режимы работ (пакетный, диалоговый, реального времени) как при централизованной, так и при распределенной обработке информации с использованием локальных и региональных вычислительных сетей.

Хорошо сбалансированная ЭВМ общего назначения имеет равные или близкие значения номинальной производительности на смесях команд «Гибсон» и «GPO-WU». При этом суммарная пропускная способность системы ввода-вывода обеспечивает обмен информацией между внешним и оперативным ЗУ со скоростью, поддерживающей производительность центрального процессора, близкую к номинальной. Практически получить близкие значения номинальной производительности для научных и информационно-логических задач удается

обычно на малых и средних моделях семейства ЭВМ. Высокопроизводительные модели имеют, как правило, для научных задач номинальную производительность процессора, в два-три раза большую, чем для информационно-логических. Примерами хорошо сбалансированных ЭВМ общего назначения являются ЭВМ ЕС 1035, ЕС 1045, а за рубежом IBM 4341.

Для каждого этапа развития ЭВМ общего назначения характерны свои соотношения между производительностью и стоимостью процессора, информационными объемами сверхоперативного и оперативного ЗУ, количеством и общей пропускной способностью каналов ввода-вывода [2]. Эволюция этих соотношений по мере снижения стоимости единицы производительности идет в направлении улучшения сбалансированности системы и расширения диапазона решаемых задач, связанных с вводом и обработкой все большего количества информации. Высокопроизводительные ЭВМ общего назначения, ранее использовавшиеся преимущественно для научных расчетов, все более широко применяются для ведения базы данных большого объема. В связи с этим непрерывно растут требования к системной производительности старших моделей семейства для информационно-логических задач.

Особенностью каждой архитектуры ЭВМ является ее свойство становиться тем консервативнее, чем больше она распространена. За два десятилетия развития ЭВМ общего назначения в мире произошла фактически стандартизация архитектуры семейства IBM 370. Более 85 % зарубежных пользователей работают на ЭВМ общего назначения с этой архитектурой [3]. Развитие архитектуры в этих условиях может идти только эволюционным путем при обязательном сохранении полной совместимости с предыдущими моделями.

Учитывая широкое распространение ЕС ЭВМ и тот факт, что контингент пользователей в значительной степени стабилизировался, дальнейшее развитие вычислительных мощностей в странах социалистического содружества будет осуществляться путем перехода на более мощные модели с сохранением программной совместимости. Следует заметить, что такая эволюция, хотя и ограничивает возможность принятия принципиально новых архитектурных решений, все же позволяет вести развитие архитектуры темпами, удовлетворяющими большинство пользователей. Во всяком случае абсолютное большинство опрошенных нами пользователей малых и средних моделей ЕС ЭВМ проблемы надежности, сервиса, эксплуатации, комплектации периферией волнуют значительно больше, чем архитектура.

Основу для развития архитектуры ЭВМ создает развитие микроэлектронной технологии. В каждом поколении ЭВМ она делает возможной реализацию новых архитектурных характеристик и свойств, которые в предыдущем поколении не могли быть реализованы технически или были достоянием только уникальных и дорогих суперЭВМ. Особенно большое влияние на архитектуру и технические характеристики ЭВМ микроэлектроника оказала за последнее десятилетие, когда появились микросхемы полупроводниковой памяти и логические микросхемы высокой степени интеграции на основе базовых матричных кристаллов.

Недорогие и быстродействующие постоянные запоминающие устройства (ПЗУ) и программируемые ПЗУ (ППЗУ) сделали возможной замену аппаратурной реализации логики программируемыми структурами. Быстродействующие ЗУ с произвольной выборкой (ЗУПВ) успешно заменяют триггерные схемы в регистрах. Увеличенная разрядность регистров и шин передачи данных позволяет повысить производительность ЭВМ. Становится возможной реализация в ЭВМ общего назначения конвейерной обработки адресов и данных. Сверхоперативные запоминающие устройства в процессоре и каналах экономически целесообразны в малых ЭВМ. Их объем в ЭВМ высокой производительности может быть значительно увеличен.

Хранение микропрограмм в ЗУ с произвольным доступом открыло возможность развития динамического микропрограммирования. Стоимость основной оперативной памяти, составлявшая ранее существенную часть стоимости ЭВМ, уменьшена более чем на порядок. Тенденция снижения стоимости ОЗУ сохранится и в дальнейшем. В настоящее время достигнут максимально возможный информационный объем ОЗУ ЕС ЭВМ, равный 16 Мбайт. Вопрос дальнейшего увеличения информационного объема адресуемой памяти до 2048 Мбайт и соответственно расширения разрядности адреса до 31 бита является одной из актуальных

проблем развития архитектуры ЕС ЭВМ.

Что касается логических схем ЭВМ общего назначения, то реализация их оказалась наиболее эффективной с помощью БИС матричного типа. Анализ, проведенный еще в 1980 г., показал [4], что развитие микроэлектронной технологии и методов компоновки матричных БИС приведет к снижению системных задержек и повышению производительности ЭВМ общего назначения более чем на порядок. На основании расчетов сделан прогноз, что производительность процессоров старших моделей ЭВМ общего назначения будет с постоянным темпом возрастать и в ближайшее десятилетие достигнет рубежа 100 млн. опер/с, долгое время занимаемого суперсистемами. За истекшие пять лет правильность прогноза подтвердилась.

Производительность старших моделей, выпускаемых корпорацией IBM за последние двадцать лет, возрастала в пять раз за каждые десять лет. Если эти темпы сохранятся и далее, то рубеж 100 млн. опер/с будет достигнут фирмой IBM к 1990 г. четырехпроцессорным вариантом, а к 1995—1997 гг. — однопроцессорным вариантом ЭВМ общего назначения.

Выпускаемая в настоящее время фирмой Hitachi (Япония) ЭВМ M-680H, имеющая полную совместимость с машинами корпорации IBM, имеет производительность 30 млн. опер./с, а двухпроцессорный вариант M-682H — 50 млн. опер./с. Машины построены на матричных БИС двух типов, содержащих на кристалле 2000 и 5000 логических вентилях ECL типа с временем переключения, равным соответственно 200 и 250 пс. Это самые производительные ЭВМ общего назначения в мире, и рубежа производительности, равного 100 млн. опер./с, фирма Hitachi достигнет, по-видимому, раньше, чем корпорация IBM.

В ЕС ЭВМ в рамках развития технических средств четвертой очереди имеется согласованная со странами социалистического содружества программа многократного увеличения производительности старших моделей и вычислительных комплексов. Достижение производительности, существенно большей, чем может дать наиболее производительный процессор ЭВМ общего назначения, возможно только за счет значительного увеличения оборудования и сужения выполняемых функций, т. е. проблемной ориентации. Практически все существующие в мире суперЭВМ ориентированы на научные расчеты с широким использованием матричных и векторных операций. Функциональные возможности суперЭВМ существенно расширяет комбинация суперпроцессора с ЭВМ общего назначения. Такой комбинированный вычислительный комплекс дает возможность использовать при научных расчетах большой сложности систему управления базой данных, графическую систему, сетевую телеобработку и другие программные системы ЭВМ общего назначения.

Возможны несколько методов организации таких суперсистем. Суперпроцессор может быть подключен к интерфейсу ввода-вывода ЭВМ общего назначения. Вторым методом является создание системы, в которой ЭВМ общего назначения и суперпроцессор, работающие по собственным программам, имеют общее поле оперативной памяти большого объема. Третьим методом является подключение суперпроцессора (например, матричного) к оперативной памяти ЭВМ общего назначения и соответствующее расширение системы команд ЭВМ командами управления суперпроцессором.

Все три метода имеют свои достоинства и недостатки. ЭВМ VP-200 фирмы Fujitsu (Япония) и Amdahl-1200 фирмы Amdahl (США) построены по третьему методу и обеспечивают производительность более 500 млн. опер/с.

Большой интерес представляет созданная в Институте кибернетики АН УССР им. В. И. Глушкова макроконвейерная система производительностью до 100 млн. опер/с, состоящая из 48, 96 или 192 процессоров, работающих с подмножеством команд ЕС ЭВМ¹. Такая система подключается к каналам процессора ввода-вывода ЭВМ ЕС 1066. Система математического обеспечения, разработанная специально для макроконвейерной системы, обеспечивает распределение вычислительного процесса, загрузку процессоров, исключение их из работы в случае отказа. Используя глубокое распараллеливание, можно создать макроконвейерную вычислительную систему производительностью, превышающей 1 млрд. опер./с.

Появление матричных БИС существенно повлияло также на параметры малых ЭВМ

¹ Гусев Н. Н. Электронный богатырь. — Правда, 1985, 22 февраля.

семейства ЭВМ общего назначения. Логическая схема их сравнительно проста. Так, процессор с каналами ЭВМ ЕС 1020, выпускавшейся в 1972 г., содержит около 30 тыс. логических вентилях, процессор с каналами ЭВМ ЕС 1022—50 тыс. вентилях. Для сравнения: процессор ЭВМ ЕС 1066 содержит 240 тыс. логических вентилях. Реализация малых ЭВМ общего назначения на БИС приводит к существенному сокращению их габаритных размеров, стоимости и потребляемой мощности. При этом как по техническим характеристикам, так и по стоимости такие ЭВМ сравнимы с классическими мини-ЭВМ. Примером таких мини-ЭВМ семейства IBM являются ЭВМ 4331 и 4341. Мини-ЭВМ Единой системы ЭВМ стран социалистического содружества является терминальная ЭВМ ЕС 1007, отличающаяся малыми габаритными размерами, высокой надежностью, низкой стоимостью. Разработка микроЭВМ, совместимой с остальными моделями ЕС ЭВМ, ведется в ВНР. Преимущества таких ЭВМ для начинающего пользователя очевидны: наработанное программное обеспечение сохранится при переходе с модели на модель вплоть до старшей модели.

До настоящего времени появившиеся в середине 70-х годов микропроцессоры развивали оригинальные архитектуры, минимизированные по количеству вентилях. Современная микроэлектронная технология позволяет получить на кристалле более 200 тыс. транзисторов, т. е. более 30 тыс. логических вентилях КМОП технологии [5]. При этом становится возможной реализация процессора малой ЭВМ общего назначения на одном или нескольких кристаллах.

Корпорация IBM выпускает персональную ЭВМ РС XT/370, совместимую с архитектурой системы 370. Эмуляцию системы команд системы 370 проводит в этой ЭВМ 32-битовый микропроцессор фирмы Motorola. Ожидается появление ЭВМ с параметрами 4331 и 4341 в настольном варианте [6]. Таким образом, архитектура системы 370 корпорации IBM будет существовать в микроЭВМ, мини-ЭВМ, ЭВМ общего назначения и суперсистемах.

Программа дальнейшего развития ЭВМ общего назначения нацелена на развитие всех областей применения ЭВМ, создание распределенных и локальных банков данных объемом до $10^{10} \dots 10^{11}$ байт и более, построение разветвленных систем обработки информации с сетевой организацией, развитие технологии создания программного обеспечения, существенное повышение надежности, улучшение сервиса.

Эволюция архитектуры ЭВМ общего назначения направлена на увеличение независимости логических принципов от технической реализации. Предусматривается развитие средств и методов, упрощающих интерфейс между пользователем и ЭВМ, облегчающих доступ к ЭВМ и ее обслуживание, сокращающих затраты труда в человеко-машинных системах обработки информации. Интеллектуализацию систем обработки информации и создание вычислительных систем пятого поколения в ЕС ЭВМ предполагается вести программно-аппаратурным методом, на основе существующих и эволюционирующих вычислительных систем общего назначения.

Таким образом, ЭВМ общего назначения становится ядром новых систем обработки информации, где оно будет дополнено проблемными обрабатывающими и функциональными процессорами, интеллектуальными процессорами и периферийными устройствами, средствами организации комплексов и сетей ЭВМ. Отработка алгоритмов функционирования средств интеллектуализации вычислительных систем, включая систему управления базой знаний, уже ведется программным способом с помощью существующих ЭВМ общего назначения. Использование средств динамического микропрограммирования и введение новых эффективных функций и процедур существенно повышают гибкость таких инструментальных систем в адаптации к конкретным областям применения. Опыт использования средств микропрограммирования ЭВМ ЕС 1046 показал, что только реализацией в них наиболее частых процедур операционной системы можно увеличить системную производительность ЭВМ в 2...3 раза. По мере программной отработки средств интеллектуализации будет происходить перенос отработанных алгоритмов в микропрограммные и аппаратурные средства. По нашему мнению, по тем же причинам, по которым нельзя отказаться от существующего сегодня программного задела, перейдя на совершенно новую, несовместимую архитектуру, невозможно будет отказаться от накопленного программного задела в вычислительных системах пятого поколения.

Так же как сегодня, развитие ЕС ЭВМ идет от программной системы управления базой данных к функциональному процессору базы данных, так на следующем этапе линия развития

пройдет через программную систему управления базой знаний к процессору базы знаний.

Рассмотренные выше тенденции и перспективы развития архитектуры, микроэлектронной элементной базы и технических средств ЭВМ общего назначения предопределили следующие основные особенности дальнейшего развития средств ВТ.

1. Переход от создания и использования отдельных ЭВМ и устройств к созданию и использованию комплексов и сетей, в том числе высоконадежных многомашинных комплексов, неоднородных многопроцессорных комплексов, включающих специальные суперпроцессоры для эффективного решения сложных научно-технических задач на основе принципов параллельной обработки и управления от потока данных, функциональных и проблемно-ориентированных спецпроцессоров.

2. Развитие архитектуры и технических средств локальной и сетевой территориальной телеобработки, поддерживающих создание комплексов и сетей.

3. Превращение семейств ЭВМ общего назначения в согласованный набор средств, в совокупности перекрывающих весь спектр от абонентских пунктов, персональных ЭВМ, рабочих станций индивидуального пользования до суперЭВМ.

4. Развитие работ по программному обеспечению, позволяющих на базе широкого набора технических средств создать системы распределенной обработки информации, инвариантные по отношению к конфигурации технических средств и их территориальному расположению, и существенно повышающие характеристики надежности вычислительных систем.

5. Поэтапная программно-аппаратурная реализация новых функций и средств, «приближающих» вычислительные системы к пользователям, не являющимся профессионалами в области вычислительной техники и программирования, или, как сейчас называют это направление, создание ЭВМ пятого поколения.

Таким образом, основной целью развития ЭВМ общего назначения является создание «интеллектуальной системы общего назначения», имеющей интеллектуальный интерфейс с пользователем, реализуемый посредством наиболее удобных для человека форм ввода-вывода и языков общения, обладающей внутренней универсальной или проблемно-ориентированной базой знаний, имеющей высокую производительность при обработке запросов, связанных с большим количеством логических выводов и заключений.

СПИСОК ЛИТЕРАТУРЫ

1. **Пржиялковский В. В., Ломов Ю. С.** Технические и программные средства Единой системы ЭВМ.— М.: Статистика, 1980.— 232 с.
2. **Пржиялковский В. В.** Сравнительная оценки ЭВМ общего назначения по критерию стоимость-производительность//Вопросы радиоэлектроники. Сер. ЭВТ.— 1981.— Вып. 1.—С. 3—14.
3. Дэрниак А. Сверхбольшие интегральные схемы потрясают основы архитектуры ЭВМ//Электроника — 1979. — Т. 52, № 11, — С. 27—58.
4. **Пржиялковский В. В., Ломов Ю. С., Файзулаев Б. Н.** Проблемы и пути технической реализации высокопроизводительных ЭВМ на основе БИС// Управляющие системы и машины.— 1980.— №6.— С. 15—23.
5. **Gail M. Robinson.** Preparing for the Impact of the 32-bit Microprocessor// Design News.— 1985.— V. 41, N 9.— P. 75-80.
6. **Kozuh F. T., Livingston D. L., Spillman T. C** System/370 Capability in a Desktop Computer// IBM Syst. J.— 1984.- V 23, N 3.—P. 245-254.

УДК 681.3

В. А. МЕЛЬНИКОВ, Ю. И. МИТРОПОЛЬСКИЙ

ПУТИ ПОСТРОЕНИЯ ЭВМ СВЕРХВЫСОКОЙ ПРОИЗВОДИТЕЛЬНОСТИ

Вычислительные системы сверхвысокой производительности — это системы, обеспечивающие достижение предельной производительности для текущего состояния развития вычислительной техники. Создание таких систем всегда являлось одной из главных и наиболее сложных задач, поэтому при разработках высокопроизводительных систем возникло много новых идей и конструкций, обогативших теорию и практику вычислительной техники в

целом. Потребности создания сверхвысокопроизводительных систем связаны с обеспечением: возможности решения больших и трудоемких задач, работы сложных систем реального времени и требуемой точности и достоверности результатов.

Современные сверхвысокопроизводительные системы имеют производительность от 100 млн. до 1 млрд. опер./с над операндами с плавающей точкой. Достижение такой производительности связано с решением целого комплекса проблем, которые можно разделить на три класса.

1. Элементная база, конструкция блоков, узлов и устройств, конструкция и технология межсоединений, системы питания и охлаждения, системы жизнеобеспечения и диагностики.

2. Архитектура, структура и схемотехника отдельных процессоров, машин и системы в целом. Основное внимание здесь уделяется поиску методов распараллеливания и оптимизации.

3. Операционные системы, трансляторы, системы программирования, база данных, разработка алгоритмов прикладных задач.

Следует подчеркнуть, что существует тесная взаимосвязь как между указанными классами проблем, так и между отдельными направлениями в каждом классе. В частности, важную роль играет, например, взаимосвязь между возможностью использования БИС и СБИС и архитектурой, между алгоритмами прикладных задач и системой команд отдельных машин. Трудности решения этих проблем возрастают по той причине, что традиционно специалисты в отдельных областях почти не участвуют в совместных разработках. Кроме того, широк спектр технологических проблем, требующих создания как технологии материалов, интегральных схем, монтажа, изготовления всех элементов конструкции, так и технологии разработки, контроля, наладки и программирования. Особое значение имеет система автоматизированного проектирования, включающая средства логического моделирования, размещения и трассировки, средства расчета и контроля правильности спроектированных схем, конструкторского проектирования и выдачи документации, генерации тестов и т. д. Система автоматизированного проектирования должна охватывать все этапы разработки — от отдельных интегральных схем до системы в целом.

Достижение предельной производительности возможно только при одновременном повышении характеристик во всех звеньях системы. Это связано прежде всего с применением наиболее быстродействующих интегральных схем, повышением степени интеграции и плотности компоновки этих схем. Однако рост производительности только за счет элементно-конструктивной базы ограничен, поэтому в сверхвысокопроизводительных системах широко используются различные средства распараллеливания вычислительного процесса. Основой для создания таких систем является возможность объединения в единой конструкции большого числа логических схем, а степень параллелизма зависит от этого числа. Задача оптимизации архитектуры в этих условиях состоит в том, чтобы при выполнении основных участков программ большинства задач работало как можно больше логических схем.

Резкое повышение степени параллелизма возможно только при использовании новых архитектурных решений, что естественно исключает совместимость с ЭВМ предыдущего поколения. В высокопроизводительных системах проблема совместимости должна решаться за счет обеспечения возможности подключения ЭВМ различных типов и классов. Кроме того, следует подчеркнуть, что при увеличении ресурсов (общего числа операций, емкости памяти и т. п.) для решения больших задач должны по-иному решаться проблемы точности вычислений, структуры данных и др. В этих условиях даже при совместимости на уровне системы команд возникнет потребность переработки имеющихся программ и создания новых.

Несмотря на большое число исследовательских работ по новым архитектурным и структурным решениям, разрабатываемые и серийно выпускаемые до настоящего времени суперЭВМ по-прежнему имеют традиционную фон-неймановскую архитектуру. Векторные ЭВМ с конвейерной структурой по существу являются этапом в эволюционном развитии традиционной архитектуры. Их успех объясняется резким повышением производительности, в первую очередь при решении наиболее сложных научных и технических задач, и использованием широко распространенных языков программирования, прежде всего Фортрана.

Наиболее важным и эффективным направлением реализации высокой степени параллелизма является специализация аппаратуры на самых различных уровнях, начиная со специализации

БИС и СБИС, специализации функциональных узлов ЭВМ, функциональной специализации вспомогательных ЭВМ и процессоров и кончая проблемной ориентацией всей системы.

В высокопроизводительных вычислительных системах параллелизм вычислительного процесса достигается специализацией как на уровне одного процессора, так и на уровне системы, в состав которой может входить большое число различных ЭВМ и процессоров. В таких системах можно выделить три уровня ЭВМ.

На первом уровне находятся высокопроизводительные ЭВМ, предназначенные для выполнения особо трудоемких вычислений и обработки большого объема данных. При их реализации возникают наиболее сложные проблемы. Эти проблемы носят комплексный характер, и их решение всегда является компромиссом между потребностями и возможностями аппаратной реализации. ЭВМ первого уровня, как правило, непосредственно не связаны с периферийным оборудованием. Они связаны с ЭВМ второго уровня, а также с внешней полупроводниковой памятью большой емкости и памятью на высокоскоростных магнитных дисках. В широко известных системах на этом уровне включены векторные ЭВМ, а также (в некоторых системах) и ЭВМ других типов, например ЭВМ быстрого преобразования Фурье, матричные процессоры. В дальнейшем в сбалансированных системах необходимо объединение различных проблемно-ориентированных ЭВМ, каждая из которых оптимизирована на решение задач определенного класса или некоторой части большой задачи.

Векторные ЭВМ обычно содержат ряд специализированных узлов, ориентированных на выполнение определенных функций и операций и на параллельную работу, обеспечивающую дополнительный рост производительности. Их характерными особенностями являются:

многоуровневая система памяти, состоящая из оперативной памяти с высокой степенью расслоения и буферной функционально-специализированной памяти (регистры для векторных, скалярных, адресных операндов, буфер команд, регистры для хранения состояния и других вспомогательных целей, буферная память для пакетов данных, передаваемых по каналам обмена);

специализированные функциональные устройства для выполнения групп сходных операций. Как правило, эти устройства сегментированы и представляют собой статический конвейер синхронного типа;

средства для обеспечения высокого темпа поступления команд и данных и сокращения потерь при переключении задач. Эти средства позволяют максимально загрузить конвейеры, сократить число прерываний и уменьшить время, затрачиваемое на обработку каждого прерывания;

упрощение управления выполнением команд за счет детерминированности работы по времени функциональных устройств;

гибкая система коммутации, обеспечивающая параллельную работу блоков оперативной памяти, устройств буферной и регистровой памяти, функциональных устройств и устройств обмена;

использование сверхскоростных интегральных схем, компактной конструкции с эффективными системами питания и отвода тепла;

система программирования, допускающая автоматическую и ручную оптимизацию программ.

Ко второму уровню в высокопроизводительных системах относятся ЭВМ и подсистемы, выполняющие в основном внутренние вспомогательные функции, а также небольшие задачи, которые нецелесообразно выполнять на машинах первого уровня. В ряде случаев в качестве ЭВМ второго уровня используются универсальные ЭВМ высокой производительности, однако наилучшим решением является создание ЭВМ, специализированных на выполнение связанных групп функций, таких, как:

подготовка задач, включая их трансляцию и перераспределение между ЭВМ первого уровня;

управление подсистемами внешней памяти — на интегральных схемах, магнитных дисках, лентах и других носителях;

управление базой данных;

управление подсистемами передачи данных;

управление подсистемой обработки графической информации.

Все ЭВМ и подсистемы второго уровня связываются с машинами первого уровня посредством системы высокоскоростных каналов и образуют высокоскоростную локальную сеть.

К третьему уровню в высокопроизводительных системах относятся ЭВМ и устройства, обеспечивающие непосредственное взаимодействие с периферийным и терминальным оборудованием. Они включают в себя устройства обмена (каналы), периферийные и связные процессоры, процессоры ввода-вывода, дисплейные процессоры и другие узлы, входящие в состав универсальных ЭВМ, а также самостоятельные мини-ЭВМ. На этом уровне функциональная специализация и параллельная работа позволяют получить высокую пропускную способность всей системы при обмене с внешним миром. Необходимо отметить, что по мере широкого внедрения персональных компьютеров и объединения их с глобальными сетями появится возможность работы с высокопроизводительными системами для большого числа пользователей. В этих условиях потребуется, очевидно, создание специализированных ЭВМ, являющихся узлами сетей передачи данных.

Рассмотрим наиболее важные аспекты, связанные с последующими этапами развития сверхвысокопроизводительных систем. Увеличение степени параллелизма должно сопровождаться ростом объема аппаратуры. Если оставаться на пути эволюционного развития, то в рамках монопроцессорной ЭВМ необходимо увеличивать степень интеграции схем и плотность их компоновки. Надо отметить, что до настоящего времени в таких системах используются интегральные схемы, число вентилях в которых, как правило, не превышает нескольких сотен. Это объясняется значительной неоднородностью схем, стремлением сократить номенклатуру схем, а также тем, что обычно используются быстродействующие схемы, имеющие большую мощность. Успехи интегральной технологии позволяют надеяться на получение быстродействующих схем с числом вентилях до 10 тыс. Применение таких схем в традиционных структурах, видимо, будет ограниченным. Однако за счет выполнения на этих схемах наиболее сложных устройств — буферной памяти, функциональных устройств умножения, деления — и сочетания схем различной степени интеграции (что широко используется и в настоящее время) можно достичь, по крайней мере, десятикратного роста числа вентилях в процессоре — это почти в той же степени позволит увеличить максимальную производительность.

Не исключено, что на последующих этапах развития структура, подобная современной суперЭВМ, сможет быть реализована на нескольких (в пределе одной) интегральных схемах. Это, по сути, будет микроЭВМ будущего, и в этих условиях естественно возникнет потребность создания системы из большого числа сверхбольших интегральных схем. Технически наиболее выгодным было бы создание системы из однородных компонентов, но это потребует разработки соответствующей архитектуры. Такие работы в настоящее время ведутся во многих исследовательских центрах, однако их успех в большой степени зависит от освоения этих структур программистами, что, конечно, определяется созданием удобного и эффективного языка программирования.

Более консервативным путем является создание систем на СБИС с использованием большой номенклатуры схем. Это осуществимо только при наличии комплексной автоматизации всего тракта проектирования, изготовления, контроля и испытаний интегральных схем.

В любом случае успех разработки будущих высокопроизводительных систем будет определяться тем, насколько удачно организовано взаимодействие специалистов по алгоритмам решения больших задач, языкам параллельной обработки, архитектуре ЭВМ и интегральным схемам. При этом не следует упускать из виду значение систем автоматизированного проектирования и аппаратуры функционального и параметрического контроля как для отдельных интегральных схем, так и для процессоров и отдельных узлов. Эти системы могут создаваться на вычислительных средствах, обладающих достаточно высокой производительностью, т. е. суперЭВМ будущего должны создаваться на сегодняшних суперЭВМ.

Большие резервы имеются и в машинах второго уровня. Реализация на этих машинах подавляющего объема функций операционной системы, подсистемы базы данных, графических

подсистем и сетевых подсистем позволит почти полностью освободить машины первого уровня от вспомогательной, как правило, весьма неэффективной на таких машинах работы. Для оптимизации этих машин и подсистем необходимы серьезные исследования по операционным системам и другим программным средствам с целью определения сферы возможной аппаратной реализации. Это также комплексная проблема, связанная с совместной работой большого числа разных специалистов.

В заключение следует еще раз подчеркнуть, что направления исследований по архитектуре, если они нацелены на создание законченных систем, в большой степени связаны с элементно-конструктивной базой. В данном случае под элементно-конструктивной базой следует понимать весь комплекс средств:

интегральные схемы, разработка которых должна вестись при тесном взаимодействии технологов со специалистами по схемотехнике и архитектуре. В условиях большой трудоемкости разработки интегральных схем, особенно СБИС, удачной формой для расширения номенклатуры являются матричные БИС. Однако в наиболее критичных случаях следует использовать заказные схемы;

конструкция блоков, модулей и стоек с системами разводки питания и отвода тепла. С повышением скорости работы и степени интеграции растет удельная мощность, подводимая по цепям питания и отводимая системой охлаждения. При этом необходимо, чтобы элементы системы питания и охлаждения сами не увеличивали заметно объем устройств;

подсистема диагностики, обнаружения и исправления ошибок и системы функционального и параметрического контроля ИС, блоков и модулей. Подсистема контроля и диагностики должна охватывать все схемы машины, однако ее объем должен быть минимальным. Системы контроля и измерений должны обеспечивать работы на рабочей частоте системы;

подсистема автоматизированного проектирования, обеспечивающая регистровое и логическое моделирование, размещение и трассировку, расчет задержек, верификацию схем на соблюдение всех ограничений, выдачу конструкторской и технологической документации;

технология изготовления всех компонентов конструкции — интегральных схем, многослойных печатных плат, контактирующих устройств, соединителей, шин питания, элементов системы охлаждения и т. д.

Наибольший рост производительности может быть достигнут в системах, архитектура которых будет разработана с учетом как возможностей элементно-конструктивной базы, так и особенностей алгоритмов прикладных задач.

УДК 681.3

А. П. ЗАМОРИН

ЭТАПЫ ИНТЕЛЛЕКТУАЛИЗАЦИИ ЭВМ ОБЩЕГО НАЗНАЧЕНИЯ

В последнее время определенной критике подвергается архитектура фон Неймана, с которой принято отождествлять современные ЭВМ общего назначения [1]. Одновременно делаются попытки выдать отдельные нововведения или успешные эксперименты (многопроцессорность, управление данными, параллельная обработка и др.) за ведущие направления в развитии ЭВМ. Появились предложения определять поколение ЭВМ по максимально достижимой степени интеграции элементной базы либо предельной производительности, постулируя этим пятое, шестое и последующие поколения. Все это является следствием недопонимания закономерностей в развитии ЭВМ общего назначения. И это в то время, когда производство средств вычислительной техники (СВТ) становится одной из самых мощных индустрий в мире, а применение СВТ — основой повышения интенсивности труда практически во всех сферах производственной, научной и общественной деятельности.

Наметившиеся в последнее время успехи практического применения методов «искусственного интеллекта» к решению задач на ЭВМ позволяют по-новому взглянуть на роль и значение СВТ в современном обществе: ЭВМ следует рассматривать как часть более

общей, эргатической системы «человек—ЭВМ» [2]. С некоторыми допущениями можно предположить, что ЭВМ, как и человек, принадлежит к интеллектуальным системам, которыми являются любые биологические, искусственные или формальные системы, проявляющие способность к целесообразному поведению (общение, принятие решения, накопление знаний, обучение, адаптация и др.) [1].

Сложившееся представление о функциональной модели интеллектуальных систем [3] (рис.1) отражает фактическое разделение труда в процессе постановки и решения задач на ЭВМ: пользователь (П) — системный аналитик — прикладной программист — системный программист — ЭВМ.

Интеллектуальный интерфейс обеспечивает общение с внешней средой и преобразование информации во внутреннюю форму представления (и обратно). Компонент системы — логический вывод на основе анализа семантики входного сообщения и имеющихся знаний—осуществляет постановку задачи и принятие решения. Генератор задач формирует программу решения, используя знания о методах решения задач. Универсальный интерпретатор задач производит запрограммированную обработку информации. База знаний содержит всю совокупность знаний, определяющих интеллектуальные способности системы.

Под знаниями будем понимать информацию, являющуюся атрибутом системы, так что изменение данной информации модифицирует результат поведения или функциональные свойства системы. В принципе, знания — это структурированные данные, относящиеся к различным проблемным применениям, а также процедурно-заданные способы (алгоритмы) поведения

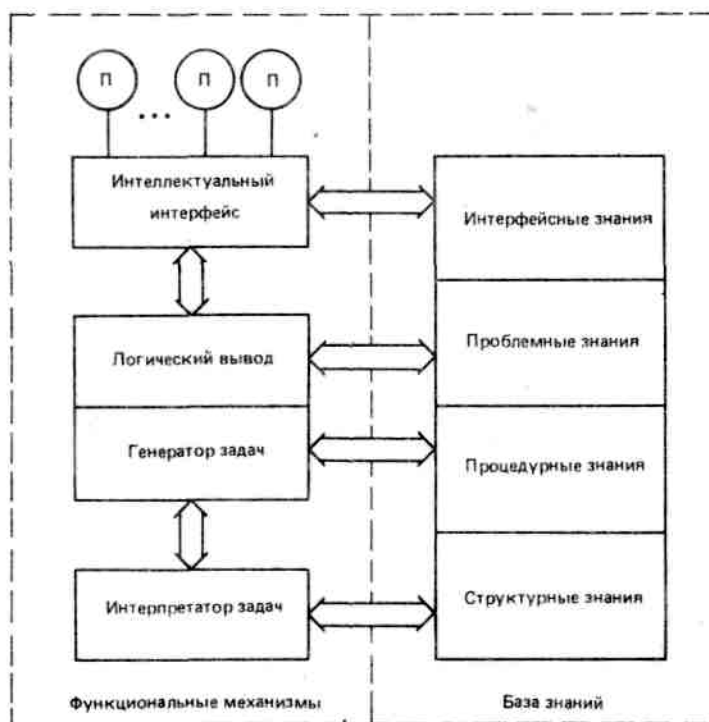


Рис. 1. Модель интеллектуальной системы

системы. Принято в системах искусственного интеллекта выделять следующие виды знаний [3]: интерфейсные (знания об окружающей среде), проблемные (знания о предметной области), процедурные (знания о методах решения) и структурные (знания о собственно операционной среде).

Анализ и сопоставление биологических и искусственных интеллектуальных систем показывает, что роль и функции знаний далеко неоднозначны.

Интерфейсные знания — информация о принципах взаимодействия с внешней средой, включающая в себя знания языков общения (лексика, синтаксис), способов коммуникации (режим диалога, средства связи), форм представления информации (текст, графика, речь). Они отражают генетический аспект развития системы. Объем интерфейсных знаний определяется

разнообразием интерфейсов, а также диапазоном «семантического расстояния» между внешней и операционной средой. Излишне большой объем данных знаний может явиться причиной снижения реактивности системы.

Проблемные знания — это формализованная информация о внешнем мире, содержащая смысловые понятия, отношения, образы поведения, а также способы формирования новых понятий (знаний). Объем знаний определяется назначением системы, особенностью ее эксплуатации. Вероятность принятия решения во многом обуславливается доступностью тех или иных знаний, она возрастает с увеличением объема проблемных знаний.

Процедурные знания — эта база алгоритмов в виде процедурно-заданных моделей типовых решений, методов доказательств, стандартных форм преобразований и т. п. Эти знания отражают эвристический аспект развития опыта системы в решении задач. Объем процедурных знаний может пополняться, развиваться, специализироваться.

Наконец, структурные знания — это знания о самой операционной среде, т. е. о возможностях (умениях) среды: ресурсах, способах доступа, принципах взаимодействия, алгоритмах управления, контроля и восстановления. Структурные знания отражают технологический аспект развития системы. Их объем определяется диапазоном «семантического расстояния» между внешней и операционной средой. Наличие структурных знаний обеспечивает гибкость, адаптивность системы. Рост объема данных знаний ведет к снижению реальной производительности системы.

Очевидно, что потенциальные возможности вычислительной системы в решении интеллектуальных задач будут определяться уровнем интерфейса, наличием необходимых знаний и скоростью решения задач. Именно эти параметры выбраны в качестве основных при сравнении «интеллекта» ЭВМ на различных этапах развития. Понятие интеллекта все чаще связывают с проблематикой дальнейшего развития СВТ, ибо оно аккумулирует наше представление об идеальной системе обработки информации, обладающей способностью принимающего решения устройства достигать определенной степени успеха при поиске широкого многообразия целей в обширном диапазоне сред [4].

Основные функциональные свойства	Поколение ЭВМ					
	0	I	II	III	IV	V
Операционная среда:						
интеллектуальная машина	0	0	0	0	0	1
объектная машина	0	0	0	0	1	X
виртуальная машина	0	0	0	1	X	X
процедурная машина	0	0	1	X	X	X
реальная машина	0	1	X	X	X	X
Знания:						
мета-знания	0	0	0	0	0	1
проблемные	0	0	0	0	1	1
структурные	0	0	0	1	1	1
интерфейсные	0	0	1	1	1	1
процедурные	0	1	1	1	1	1
Интерфейс:						
естественные языки	0	0	0	0	0	1
языки спецификаций	0	0	0	0	1	1
языки управления	0	0	0	1	1	X
процедурные языки	0	0	1	1	X	X
машинные языки	0	1	1	X	X	X

Примечание: 1/0 — наличие/отсутствие свойства; X — неопределяющее свойство.

Данная формулировка наиболее полно отражает предельные требования к вычислительным средствам и, по сути дела, соответствует цели развития СВТ — созданию решающего устройства, сколь угодно точно моделирующего заданные свойства интеллекта. Актуальность этой проблемы следует не столько из многочисленных прогнозных исследований [5], сколько из практической потребности создания подобных систем. Установив таким образом предельную цель эволюции вычислительных средств, можно определить закономерности и направления их развития. Представление процесса эволюции ЭВМ как повышение уровня ее

интеллекта (интеллектуализация ЭВМ) позволяет по-новому взглянуть на этапы (поколения) развития ЭВМ [2].

Предлагаемая типизация (см. таблицу) затрагивает три уровня: операционной среды, знаний и интерфейса «пользователь—ЭВМ». Так, первые решающие устройства (0-е поколение) практически представляли собой полуавтоматические калькуляторы, осуществляющие обработку последовательности чисел по фиксированной программе, поэтому уровень их знаний можно отнести к типу (0, 0, 0, 0) — нуль-интеллектуальному. Понятия входного языка не существовало, и поэтому реализацию интерфейса следует отнести к типу (0, 0, 0, 0, 0).

В понятиях интеллектуальных систем архитектуру ЭВМ I поколения (Дж. фон Неймана) можно определить следующим образом:

примитивная операционная среда — аппаратные механизмы реальной машины (последовательно адресуемая память, элементарные операции над двоичными переменными, последовательная выборка и выполнение команд программы и т. п.);

низкий уровень интерфейса — представление объектов программы в терминах реальной (физической) операционной среды, определение операций над двоичными константами фиксированного размера и т. п.;

полное отсутствие в ЭВМ структурных знаний, и, как результат, необходимость определения вычислительного процесса в терминах физических процедур управления конкретными устройствами.

Однако эти первые промышленные машины уже могли хранить подпрограммы для многократного выполнения некоторых стандартных функций — прообраз процедурных знаний. Уровень знаний ЭВМ I поколения можно отнести к типу (0, 0, 0, 1), интерфейс — к типу (0, 0, 0, 0, 1). Поскольку общение пользователя с ЭВМ осуществлялось посредством программирования в машинных кодах, пользователь должен был обладать всей полнотой структурных и интерфейсных знаний, затрачивая значительные усилия на этапе освоения программирования и управления вычислительным процессом.

С появлением новых электронных компонентов (полупроводниковые приборы) началось широкое распространение ЭВМ, что сделало проблему доступности наиболее актуальной. Решение проблемы — в повышении уровня интерфейса: в переходе на следующий (процедурный) уровень. Операционная среда ЭВМ II поколения — это процедурная машина, воспринимающая описание задачи пользователя в некотором процедурном языке. Интерфейсом системы становятся процедурные языки программирования, поэтому тип интерфейса имеет вид (0, 0, 0, 1, 1). Организацию знаний в ЭВМ II поколения можно отнести к типу (0, 0, 1, 1), поскольку данные ЭВМ обладали уже определенными интерфейсными знаниями в виде универсальных систем программирования, трансляторов, библиотек стандартных программ, мониторных средств.

Развитием архитектуры ЭВМ II поколения в сравнении с ЭВМ I поколения явилось введение внешней памяти для хранения более высокого уровня процедурных знаний. Уровень интерфейса поднялся на ступень выше, однако пользователь планировал работы с учетом реальных ресурсов и управлял непосредственно процессом решения на реальной ЭВМ, т. е. по-прежнему должен был обладать определенным уровнем структурных знаний.

Успехи электронной технологии позволили многократно повысить скорость обработки информации, при этом ограниченность скорости ввода информации и слабая реакция оператора по управлению процессом стали существенно снижать эффективность ЭВМ. Определяющим для повышения эффективности ЭВМ явилось развитие форм автоматизации управления операционными ресурсами (см. таблицу).

Архитектуру ЭВМ III поколения характеризуют концепции коллективного доступа. Ее можно представить в виде совокупности виртуальных машин пользователей, реализованных на одной реальной машине (рис. 2). Каждая виртуальная машина — это операционная среда, определенная в терминах (понятиях) реальной машины. Функция «погружения» всех виртуальных машин в единую реальную операционную среду осуществляется операционной системой, которая и использует структурные знания о системе [6]. Таким образом, уровень знаний ЭВМ III поколения будет (0, 1, 1, 1). Уровень общения пользователя с ЭВМ определяется только заданием вида работ и спецификацией виртуальной машины и наборов

данных, устройств ввода-вывода и т. п. Функции управления берет на себя ЭВМ, поэтому интерфейс можно отнести к типу (0, 0, 1, 1, X).

Заметим, что в операционной среде ЭВМ III поколения возможно как выделение отдельной процедурной машины, так и ее последующее усечение до машины фон Неймана, что, собственно, и дало основание для ее отнесения к ЭВМ с архитектурой фон Неймана. В то же время очевидно, что данная архитектура имеет существенное развитие по отношению к архитектуре ЭВМ I поколения: параллельные процессы, коллективный доступ, развитая внешняя память и др. Но самым важным является то, что ЭВМ III поколения обладают высоким уровнем знаний, и это дает право считать их интеллектуальными системами.

И хотя сегодня существуют реальные предпосылки появления архитектуры нового уровня, можно отметить длительный, затяжной период перехода к новому поколению ЭВМ. Причина этого в том, что впервые в рамках развития ЭВМ III поколения были созданы искусственные

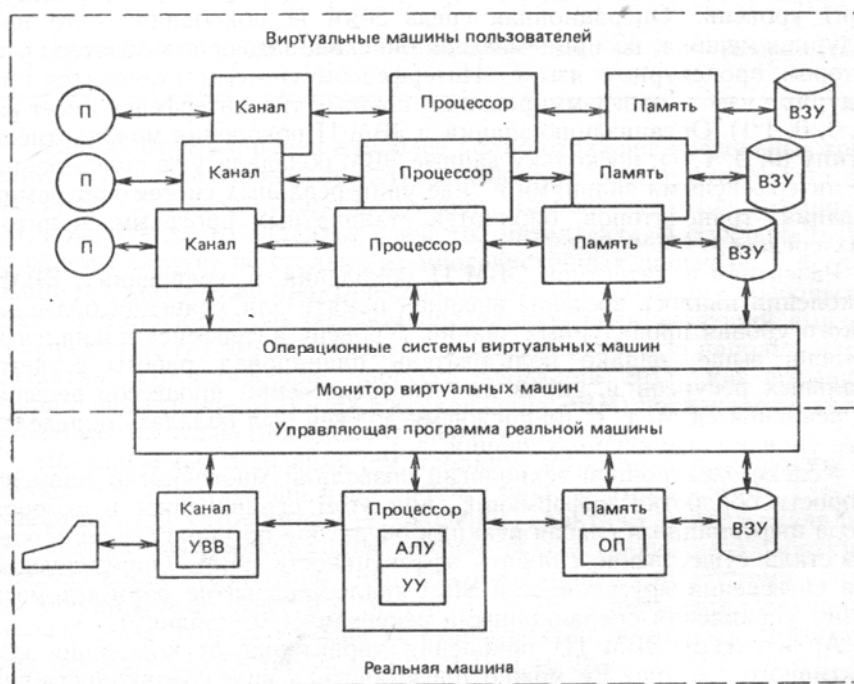


Рис. 2. Концепция архитектуры виртуальной машины

интеллектуальные системы, обладающие способностью развития и адаптации к требованиям применения. В то же время наблюдается дальнейшее развитие и пополнение объема интерфейсных знаний, что позволяет перейти на новый уровень взаимодействия с пользователем; продолжающийся рост «семантического разрыва» между интерфейсом пользователь — ЭВМ и операционной средой ведет к увеличению объема структурных знаний и, как следствие, к росту внутрисистемных потерь.

Как следует из анализа мирового опыта, основным средством достижения уровня архитектуры ЭВМ IV поколения является развитие концепции «виртуальной машины» (виртуальных механизмов управления процессами и обработкой данных) в направлении концепции «объектной машины». Концепция объектно-ориентированной архитектуры предусматривает наличие:

высокоуровневого объектного языка, использующего единое представление всех объектов задачи (программа, данные, файлы и др.) и команды высокого уровня для управления и обработки объектов;

одноуровневой памяти с практически неограниченным адресным пространством и интегрированными механизмами доступа к внешней памяти;

включенных в объектный язык средств управления процессами и данными и соответственно интегрированных в аппаратуру средств управления ресурсами физического уровня;

интегрированных в объектный язык средств управления данными с возможностью организации базы данных, обеспечения защиты данных и организации коллективного доступа.

Под объектом понимается самоопределяемый элемент задачи, который наряду с определением и локальными данными может включать процедуры обработки, рабочую область и др. Концепция объектов отражает такие тенденции в развитии языков программирования, как модульность и параллелизм, абстракция программ и данных, контроль доступа и защита данных и др. Интеграция в аппаратуру практически всех механизмов управления ведет к значительному снижению уровня структурных знаний и, как следствие, к повышению эффективности и снижению объема системных программных средств.

Для данной архитектуры характерно существенное повышение уровня представления операционной среды и соответственно интерфейса пользователя, что значительно повышает эффективность на начальных этапах постановки задачи (алгоритмизация и программирование). Исключение из интерфейса пользователя необходимости спецификации ресурсов ввиду погружения в операционную среду функций планирования, управления и обработки делает программирование не зависимым от принципов реализации ЭВМ, т. е. способствует дальнейшему повышению уровня систем программирования. Соответственно уровень интерфейса ЭВМ IV поколения следует отнести к типу (0, 1, 1, X, X). Встроенные механизмы управления базой данных позволяют строить системы памяти произвольной емкости, обеспечивать эффективное накопление и доступ к данным. Уровень представления знаний такой архитектуры будет (0, 1, 1, 1, 1).

ЭВМ V поколения следует понимать как систему обработки информации, являющуюся естественным развитием ЭВМ общего назначения в сторону значительного расширения областей применения и доступности ЭВМ для конечного пользователя, удовлетворяющую требованиям широкого круга пользователей различных профессий и квалификации. Принципиальное отличие ЭВМ V поколения от традиционных ЭВМ заключается также в выполнении ими ряда функций автоматизации программирования, считающихся в настоящее время прерогативой человека [1].

Предложенная выше типизация позволяет отнести V поколение ЭВМ к интеллектуальным системам с уровнем представления знаний типа (1, 1, 1, 1, 1). Однако в отличие от ЭВМ IV поколения это должна быть система с интерфейсом типа (1, 1, X, X, X), т. е. автоматизация должна охватывать и более высокий уровень в интерфейсе пользователя с ЭВМ.

Принципиальным отличием архитектуры ЭВМ V поколения от архитектуры традиционных ЭВМ IV поколения является то, что она ориентирована не только и не столько на исполнение заданий пользователем, сколько на выполнение функций выбора алгоритма решения и синтеза программы согласно условию задачи и автоматического формирования соответствующей операционной среды. При этом в процессе решения задачи благодаря оперативному взаимодействию с пользователем в интерактивном режиме программа решения может многократно корректироваться, что в свою очередь вызывает изменения в составе средств, привлекаемых для ее решения.

Заключение

ЭВМ общего назначения развиваются эволюционно, интегрируя в себе на каждой стадии достижения предыдущих уровней и предоставляя новые функциональные возможности. Поэтому можно лишь условно называть архитектуру современных ЭВМ архитектурой фон Неймана. Правильнее говорить о традиционной архитектуре, продолжающей развитие архитектуры фон Неймана, которое подчиняется определенным закономерностям и преследует цель — достижение максимальной эффективности при одновременном повышении интеллектуальной способности (интеллектуализации) ЭВМ.

Особо следует отметить как одну из наиболее важных закономерностей в развитии архитектуры постоянное возрастание уровня знаний. Так, I поколение ЭВМ обладало процедурными знаниями, II поколение — интерфейсными, а III поколение — уже и структурными знаниями. Одновременно возрастал объем проблемных знаний. Поскольку интеллект предполагает наличие всех видов знаний, то только с появлением ЭВМ III поколения можно говорить о первых искусственных интеллектуальных системах.

Предложенные подходы к типизации поколений вычислительных средств на основе оценки

их интеллектуального уровня позволяют не только выявить качественное различие поколений ЭВМ, но и определить существенные закономерности и тенденции их развития. Может показаться, что предлагаемая типизация ограничивается лишь V поколением. На самом деле она отражает современное представление о, возможностях ЭВМ будущего. Естественно ожидать, что с развитием опыта применения ЭВМ новых поколений возникнут предложения по дальнейшей детализации уровней представления операционной среды, знаний и интерфейса ЭВМ—пользователь.

СПИСОК ЛИТЕРАТУРЫ

1. **Кибернетика.** Неограниченные возможности и возможные ограничения. Перспективы развития.— М.: Наука, 1981.— 192 с.
2. **Ермолаев Б. И., Кузин Е. С., Райков Л. Д.** Интеллектуализация ЭВМ общего назначения.// Вопросы радиоэлектроники. Сер. ЭВТ. —1985.—Вып. 3.— С. 10—19.
3. **ЭВМ пятого поколения.** Концепции, проблемы, перспективы: Пер. с англ./ Под ред. Т. Мото-Ока.— М.: Финансы и статистика, 1984.— 110 с.
4. **Фогель Л., Оуэнс А., Уолш М.** Искусственный интеллект и эволюционное моделирование: Пер. с англ.— М.: Мир, 1969.— 230 с.
5. **Рабинович Э. Л.** Машинный интеллект и структура ЭВМ V поколения // Кибернетика.— 1984.— № 3.— С. 95—107.
6. **Пржиялковский В. В., Ломов Ю. С.** Технические и программные средства Единой системы ЭВМ.— М.: Статистика, 1980.—232 с.

УДК 621.396.6—181.5

К. А. ВАЛИЕВ, А. А. ОРЛИКОВСКИЙ

ОСНОВНЫЕ НАПРАВЛЕНИЯ РАЗВИТИЯ МИКРОЭЛЕКТРОНИКИ

Новый этап развития микроэлектроники связан с переходом к приборам с субмикронными размерами. Субмикронная обработка материалов возможна на основе методов электронной, ионной и рентгеновской литографии, использующих соответственно корпускулярные пучки с сечением пучка менее микрона и рентгеновское излучение в области длин волн $\lambda = 1...10$ нм и, вероятно, ультрафиолетовое излучение $\lambda = 100...200$ нм [1—2]. Для формирования субмикронных структур недостаточно овладеть только прецизионной литографией. Все последующие процессы создания БИС—микроструктурирование полупроводниковых, диэлектрических и металлических слоев, легирование полупроводниковых слоев — должны осуществляться с допустимо малым уходом заданных субмикронных топологических размеров. Это предъявляет жесткие требования к анизотропии и селективности процессов травления, анизотропии процессов легирования, к качеству процессов нанесения тонких слоев структуры.

Комплексное решение этих проблем безусловно явится крупнейшим научно-техническим достижением двадцатого столетия.

Проблемы субмикронной литографии

Основной проблемой в субмикронной литографии является создание высокопроизводительных средств экспонирования. В современных средствах оптического экспонирования относительно высокая производительность достигается применением метода мультипликации с совмещением на больших пластинах (10... 15 см). Согласно этому методу изображение каждого слоя в рамках одного кристалла переносится на пластину последовательно (шаг за шагом), перемещением пластины с одновременным контролем положения пластины по знакам совмещения. Считается, что предел разрешения таких систем в жестком УФ-излучении $\varepsilon \approx 300$ нм составляет около 1...1,25 мкм, а точность совмещения $\pm(0,4...0,5)$ мкм.

Для получения меньших размеров и более высокой точности совмещения возможен переход

на непосредственное формирование рисунка сканируемым электронным лучом с мультипликацией или рентгеновое экспонирование с мультипликацией через шаблоны, созданные электронным лучом. Однако, как и в фотолитографии с мультипликацией, при электронно-лучевом экспонировании площадь пластины, экспонируемая управляемым электронным лучом, и разрешающая способность связаны обратной зависимостью.

Время экспонирования определяется характеристиками (чувствительность, контрастность, разрешающая способность, плазмохимическая стойкость, термоустойчивость и т. д.) применяемых электронорезистов, которые представляют собой растворы различных высокомолекулярных соединений в органических растворителях. Выбор конкретного резиста всегда является компромиссным решением, так как, например, стремление повысить чувствительность влечет за собой снижение разрешающей способности, плазموустойкости и т.п.

В мировой практике существуют системы с полями отклонения от 3 до 10 мм и высокой скоростью сканирования, с устройствами формирования электронного пучка управляемой формы, позволяющими экспонировать за один раз прямоугольники переменных размеров, а также координатными столами, работающими в вакууме, оснащенными лазерными интерферометрами, которые обеспечивают высокую точность позиционирования пластин. Для учета эффектов рассеяния электронов в резисте и отражения от подложки разработаны программы коррекции, позволяющие избежать искажений формы топологических элементов.

При экспонировании пластин с минимальным топологическим размером 1 мкм производительность в таких системах достигает 6 пластин/ч.

Значительное увеличение производительности *электронно-лучевой* литографии возможно при использовании проекционных систем. Хотя примеры создания этих систем известны, имеется целый ряд проблем, ограничивающих в настоящее время создание промышленных установок такого типа [1].

В рентгенолитографии, разрешающая способность которой может быть высокой, основная проблема состоит в том, чтобы получить достаточно чувствительный резист; надежный мощный источник излучения, обеспечивающий время экспонирования менее 1 мин; надежные шаблоны [1]. Кроме того, при экспонировании всей пластины через рентгеношаблон возникают искажения изображения (дифракция, дисторсия), а переход к рентгеношаблонам малых размеров неизбежно приводит к необходимости создания систем с мультипликацией, что влечет за собой существенное усложнение установок.

Ведутся также разработки *ионно-лучевых* литографических систем [1]. Ионы имеют меньшую длину пробега в резисте и меньше подвержены эффектам рассеивания, чем электронные пучки. С помощью ионных пучков можно экспонировать резисты двумя методами: сканированием сфокусированного пучка и экспонированием через шаблон. Известна разработка проекционной системы для ионной литографии с использованием масок, в которой изображение маски передается с уменьшением 10:1, что позволяет с помощью техники обычной фотолитографии изготовить шаблоны для микросхем с субмикронными элементами. Топологический рисунок создается по модулям с максимальной площадью 5x5 мм. Этот способ ионной литографии требует высокой точности ориентации маски по отношению к падающему пучку и высокой степени его коллимации. Исследования в области литографии сфокусированным ионным пучком находятся в начальной стадии.

Из упомянутых выше направлений наиболее развита электроннолучевая литография. Однако большинство электроннолучевых систем характеризуется невысокой производительностью и высокой стоимостью.

В связи с этим чрезвычайно актуальным является создание систем экспонирования с применением вакуумного ультрафиолетового излучения с $\lambda = 200 \dots 100$ нм [1]. В этом диапазоне длин волн для подложек фотошаблонов имеются материалы с коротковолновой границей пропускания в диапазоне 105 ...150 нм.: LiF, CaF₂, SrF₂, BaF₂, Al₂O₃, кристаллический кварц. Пленки металлов становятся непрозрачными уже при толщинах 0,1... 1 мкм. В вакуумной ультрафиолетовой области (ВУФ) имеется широкий набор источников.

В [3] приведены данные об обнаружении в ВУФ-области эффекта фототравления полимеров, позволяющего превратить процесс экспонирования в процесс проявления, поскольку под воздействием ВУФ-излучения полимерный слой стравливается с постоянной скоростью. К сожалению, при малой освещенности скорость травления составляет около 1 нм/с, что не может обеспечить приемлемую производительность процесса экспонирования.

Представляется весьма перспективным применение УФ-эксимерных лазеров для экспонирования субмикронных рисунков через шаблоны. Под воздействием мощного лазерного импульса возникает эффект удаления материала (толщиной около 0,1 мкм за

импульс) [1], что открывает возможности для создания импульсной фотолитографии в ВУФ-диапазоне. В целом использование импульсных источников позволяет наметить пути совершенствования процесса литографии и сокращения времени экспонирования. Создание импульсных систем приведет не только к повышению производительности процесса, но и к снижению погрешностей системы совмещения за счет устранения влияния помех, флуктуаций и разогрева маски во время экспозиции.

Длины волн эксимерных лазеров перекрывают весь ВУФ-диапазон, начиная с $\lambda > 150$ нм. Длительности импульсов лазерных систем могут быть в пределах 1 ... 20 нс. При длительности импульса 10 нс и дозах излучения 30 мДж/см^2 плотность мощности составляет около 3 МВт/см^2 .

В некоторых работах [4] продемонстрированы структуры размерами 0,15 ... 0,5 мкм, полученные при использовании эксимерных лазеров с $\lambda = 157$ нм (F_2) и $\lambda = 193$ нм (ArF) за несколько (2...5) одиночных импульсов.

Создание одноимпульсной литографии, возможно, не потребует разработки резистов, обладающих относительно высокой чувствительностью ($10... 15 \text{ мДж/см}^2$), высокой разрешающей способностью и малой дефектностью, или более мощных лазеров ($\sim 100 \text{ мДж/имп}$). Импульсная фотолитография может быть реализована в рентгеновском диапазоне на длинах волн 10 ... 3 нм с использованием в качестве источника плазменного микропинцевого разряда, а в диапазоне длин волн 10 ... 1 нм — высокоэффективного лазер-плазменного источника [4]. При этом возможны режимы с одноимпульсной экспозицией. Для такой литографии необходимы резисты с чувствительностью $5... 10 \text{ мДж/см}^2$ при плотностях мощности излучения $1... 10 \text{ МВт/см}^2$. Такой подход к созданию систем экспонирования для субмикронной литографии находится на стадии исследований. Однако полученные результаты свидетельствуют о его большой перспективности.

Развитие процессов микроструктурирования

В технологии производства БИС получают все большее применение сухие методы травления — плазмохимическое, реактивное ионное и ионное. В субмикронной технологии к этим процессам предъявляются жесткие требования — высокая анизотропия, селективность процесса травления структурируемого материала по отношению к маске, отсутствие загрязнений и искажения рельефа поверхности, нарушения структуры приповерхностного слоя и контролируемость процесса (скорости и профиля) травления.

В настоящее время достигнуто значительное понимание атомно-молекулярных процессов, протекающих при травлении поверхности твердых тел ионами и в химически активных газовых средах. Фундаментальные исследования гетерогенных реакций на поверхности твердых тел в химически активных средах позволяют реализовать процессы плазмохимического травления металлов, диэлектриков и полупроводников на заданные глубины (до нескольких микрон) с заданной анизотропией (до 10) .

Плазмохимическое травление в отличие от реактивного ионного и ионного (физического распыления) травления обладает тем преимуществом, что вызывает минимальные нарушения поверхности материала, который подвергается травлению. Однако наличие на поверхности инертного и химически активного остатка (фтор- и хлоруглеродных соединений) может приводить к последующей деградации приповерхностных слоев и контактных областей между слоями. Для изучения этих явлений необходимо привлечь совершенные средства исследования поверхности (оже-спектроскопии, вторичной ионной масс-спектрометрии, электронной спектроскопии для химического анализа и др.). Кроме того, недостаточно изучена кинетика сухого травления материалов микроэлектроники в различных средах. Так, исследование кинетики плазмохимического травления некоторых электронорезистов [5] указывает на сложный характер процесса травления, не позволяющий определять скорость травления простым усреднением по толщине травленного слоя.

В промышленной аппаратуре несовершенны средства контроля процесса травления и датчики определения момента окончания травления, что неизбежно снижает воспроизводимость и производительность процесса. Не исследованы пути достижения

равномерности процесса сухого травления на больших пластинах.

Процесс травления твердых тел в химически активной газовой среде происходит в несколько этапов (адсорбция химически активных молекул, диссоциация адсорбированных молекул, реакция между адсорбированными молекулами и атомами поверхности, десорбция продуктов реакции, удаление инертного остатка). Любой из этих процессов может ограничивать скорость травления. Большинство из них можно стимулировать потоками ионов, электронов и фотонов, что одновременно приводит к увеличению анизотропии процесса.

Поскольку бомбардировка ионами может вызывать значительные нарушения поверхности (например, поток ионов Ar⁺ с энергией около 500 эВ приводит к образованию нарушенных слоев в Si толщиной до 10 нм, а в Gas — до 50 ...70 нм), а электронно-стимулированное травление обладает небольшими скоростями (из-за меньших сечений электронных взаимодействий по сравнению с ионными), значительный интерес представляет исследование фотостимулированных процессов травления в химически активных средах и низкотемпературной плазме химически активных газов. Эксперименты по травлению поликремния в атмосфере Cl₂, выполненные с применением эксимерных лазеров, показали возможность реализации анизотропного травления со скоростями более 0,1 мкм/мин, что может обеспечить приемлемую производительность промышленного процесса.

Использование сфокусированных лазерных пучков принципиально позволяет реализовать безрезистную (и бесшаблонную) технологию травления, например, металлических слоев для создания межсоединений в матричных БИС по заданной программе. Однако это требует проведения дальнейших исследований физики и техники эксимерных лазеров и процессов на поверхности во время фотостимулированного травления.

Разработка новых высокоэффективных процессов создания тонких слоев металлов, диэлектриков и полупроводников

Современная техника СБИС предъявляет новые более жесткие требования к технологии создания тонких слоев материалов микроэлектроники. Уменьшение размеров элементов в плоскости кристалла сопровождается уменьшением вертикальных размеров структур. Толщина отдельных слоев может составлять 0,1 мкм (например, слоев эмиттера и базы в биполярных схемах или канала в полевых транзисторах с затвором Шотки), 0,01 мкм (например, подзатворный диэлектрик в МОП-транзисторах; отдельные слои в гетеропереходных транзисторах) или 0,001 мкм (например, в туннельных переходах Джозефсона). Необходимость создания сверхтонких слоев материала (~ 0,01 мкм) вынуждает отказаться от метода осаждения термическим испарением в условиях «промышленного вакуума» (10⁻⁴ Па) и от метода эпитаксиального роста из жидкой фазы по причине низкой воспроизводимости этих процессов. Требование к высокой чистоте наносимых слоев обязывает создавать в установках нанесения высокий «безмасляный» вакуум.

Среди интенсивно развивающихся методов нанесения перспективны методы химического осаждения из паровой фазы (CVD), молекулярно-пучковой эпитаксии, методы нанесения автоионной бомбардировкой, наконец, методы стимулированного (ионами, электронами, плазмой или фотонами) нанесения металлов, диэлектриков и полупроводников

Методы химического осаждения слоев из газовой фазы металлоорганических соединений и молекулярно-пучковой эпитаксии позволяют выращивать эпитаксиальные полупроводниковые слои более высоких чистоты и совершенства решетки по сравнению с жидкофазной эпитаксией и химическим осаждением из паровой фазы галогенидов. Достигается высокая точность, широкий диапазон и управляемость легирования в непрерывном процессе выращивания при минимальном числе регулируемых параметров процесса. Возможно как плавное, так и резкое изменение уровня легирования. Благодаря низкой температуре роста (особенно при молекулярно-пучковой эпитаксии) диффузия незначительна. Наконец, возможно изменение состава элементов (как плавное, так и резкое), что позволяет использовать эти методы для нанесения многослойных структур, например, двойных и тройных соединений (A_{III} B_V). Наряду с этими методами изучаются и получают применение ионно-лучевые методы нанесения конденсацией из пучка одноименных ионов или ионизованных кластеров либо конденсацией частично ионизированного молекулярного потока и возбужденных частиц

(плазмостимулированные процессы), методы плазмохимического и радикально-пучкового нанесения.

Эти методы позволяют получать высокосовершенные металлические, полупроводниковые и диэлектрические слои при достаточно низких (300... 1000 К) температурах (что резко снижает процессы взаимной диффузии) и с высокой воспроизводимостью толщин (0,001... 0,005 мкм) и стехиометрии. Во многих из перечисленных методов используются высоковакуумные камеры. Установки снабжаются современными устройствами масс-спектрометрического контроля потоков, остаточных газов, устройствами контроля стехиометрии и кристалличности слоев (методами оже-спектрометрии, вторичной ионной масс-спектрометрии, электронной спектроскопии для химического анализа, дифракции электронов и др.). Это определяет высокую стоимость аппаратуры. Низкая скорость конденсации пленок из пучков молекул, ионов и радикалов ($> 10^{-10}$ м/с) и высокая стоимость установок не позволяют пока использовать их для крупномасштабного производства.

Лазерно-стимулированные процессы производства ИС

Особый интерес представляют интенсивно изучаемые в настоящее время лазерно-стимулированные методы в технологии ИС. Перечень возможных технологических операций, реализуемых с применением лазеров, приведен в табл. 1.

Таблица 1

Название технологического процесса	Тип лазера
Лазерный отжиг, рекристаллизация, легирование	Эксимерный, Ag^+ , CO_2
Импульсная литография	Эксимерный
Формирование локальной маски (нанесение/травление тонких пленок, лазерное окисление, нитридизация)	Эксимерный, CO_2
Пережигание перемычек в программируемых ПЗУ	Импульсный Ag^+
Прямое лазерное нанесение/травление межсоединений	Ag^+ , непрерывный УФ
Локальная лазерная обработка тонких пленок (подгонка сопротивлений в тонкопленочных ИС)	Непрерывный УФ

Из табл. 1 видно, что применение лазеров позволяет реализовать широкий спектр технологических процессов производства ИС как на широких (например, импульсных) пучках для обработки пластины в целом, так и на сфокусированных непрерывных пучках для легирования, травления, нанесения, окисления, нитридизации в локальных областях (прямое «рисование»). Производительность процессов и точность воспроизведения размеров обрабатываемого рисунка останутся главными критериями определения возможности внедрения лазерно-стимулированных процессов.

Проблемы металлизации многослойных соединений СБИС

Проблемы создания высоконадежных многослойных соединений СБИС можно разделить на три большие группы [6]:

- 1) физико-технологические — проблемы получения соединений с малыми размерами;
- 2) эксплуатационные — проблемы создания высоконадежных соединений (с временем наработки до 10^6 ч в эксплуатационных условиях);
- 3) электротехнические — проблемы оптимального проектирования топологии и структуры соединений, обеспечивающего высокое быстродействие, минимальные искажения и энергетические затраты при передаче сигналов.

Здесь обсудим первые две группы проблем, связанные с выбором материалов и технологии металлизации.

Основным материалом для металлизации соединений в биполярных БИС в настоящее время является Al. Однако возможности применения Al и сплавов на его основе в СБИС ограничены из-за сильного взаимодействия Al с Si в приконтактных областях при термообработках (400... 500° С), низкой стойкости к электромиграции (10^2 ... 10^3 ч наработки при ширине соединения от 1 до 10 мкм соответственно, плотностях тока 10^6 А/см² и температуре 370 К для сплава Al/Cu (4... 6 %)), низкой стойкости к окислению (Al легко реагирует с O₂, образуя стойкий к травителям окисел Al₂O₃). По этим причинам двухслойные системы металлизации соединений

в БИС на основе Al имеют сложную структуру (табл. 2).

Из табл. 2 видно, что для обеспечения низкого контактного сопротивления и уменьшения взаимодействия Al с Si в контактных областях вводятся барьерные слои PtSi — TiW, а для увеличения стойкости к электромиграции используются сплавы Al с Si и Си.

В МОП БИС получили распространение соединения на основе легированного поликремния. Известно применение поликремния и в биполярных схемах (см. табл. 2). Однако увеличение степени интеграции БИС ограничивает возможности использования поликремния из-за увеличения последовательного сопротивления межсоединений и укрупнения зерна в поликремниевых пленках в процессе термообработок, что приводит к увеличению задержек сигналов в межсоединениях и усложнению проблемы их микроструктурирования.

Значительный интерес представляет опыт применения двухслойной металлизации соединений из W в МОП СБИС [7]. Вольфрамовые соединения обладают почти вдвое большим сопротивлением (~5 мкОм·см), однако (по результатам ускоренных испытаний) имеют в 10^3 раз более высокую сопротивляемость к электромиграции, чем Al, т. е. должны обеспечивать $10^4...10^5$ ч наработки при плотности тока 10^6 А/см² и $T < 370$ К. Это позволило создать СБИС с числом транзисторов до $5 \cdot 10^5$, размерами контактных окон 1,5x 1,5 мкм и шириной металлического соединения в 1-м слое 1,5 мкм ($\rho_s = 0,40$ Ом/□) и зазора между соединениями 1 мкм [7]. Однако тугоплавкие металлы не лишены недостатков. В частности, они недостаточно устойчивы к высокотемпературным обработкам в окисляющей среде и к воздействиям химических реактивов.

В связи с этим большую перспективу применения для металлизации соединений имеют силициды тугоплавких металлов [8]. Они обладают более высокой проводимостью, чем поликремний (15—100 мкОм·см), высокой стойкостью к термообработкам, стабильностью свойств, высокой температурой плавления, возможностью образования гетероэпитаксиальных

Таблица 2

1-й слой	2-й слой	3-й слой	4-й слой	Тип схемы
PtSi—TiW—Al	Al	—	—	Биполярная
PtSi—TiW—AlCu	Al/AlCu	—	—	»
PtSi—TiW—AlCu	TiW/AlCu	TiW—Al	—	»
Поли-Si	Поли-Si	Al	—	МОП
Поли-Si—PtSi	Поли-Si—PtSi	Ti—Al	TiPt/Au	Биполярная
Поли-Si—W	W	—	—	МОП
MoSi ₂	Al	—	—	Биполярная
Поли-Si—MoSi ₂	Al	—	—	МОП
Поли-Si—MoSi ₂	Pd ₂ Si/Al	—	—	»

Таблица 3

Материал	Кремний	Полицид	Силицид	Чистые металлы	
				Мо	W
Примеры реализации	Поли-Si	MoSi ₂ /поли-Si TaSi ₂ /поли-Si WSi ₂ /поли-Si	MoSi ₂ , TiSi ₂ , TaSi ₂ , WSi ₂	Мо	W
Сопротивление, Ом/□ (мкОм·см)	30 (300)	1 ... 10 (10 ... 100)	1 ... 10 (10 ... 100)	<1 (6)	<1 (5)
Адгезия к SiO ₂	Хорошая	Хорошая	Хорошая	Очень хорошая	Хорошая
Стабильность структуры Si(SiO ₂) материал	Хорошая	Хорошая	Очень хорошая	Очень хорошая	Хорошая
Сопротивление к окислению	Хорошее	Очень хорошее	Превосходное	Хорошее	Хорошее

слоев и двойных гетероэпитаксиальных слоев (Si-силицид) на Si, создания на силициде

изолирующего слоя SiO_2 , т. е. высокой технологической гибкостью и совместимостью. В настоящее время уже известны примеры успешного применения MoSi_2 в И²Л БИС и в составе полицидов (поликремний-силицид) — в МОП БИС (см. табл. 2).

В табл. 3 приведены материалы для соединений в СБИС и их важнейшие свойства.

Видно, что из перечисленных в таблице материалов дисилициды обладают рядом превосходных свойств. Считается, что дисилициды тугоплавких металлов и тугоплавкие металлы станут основными материалами для металлизации МОП СБИС со степенью интеграции свыше 10^5 транзисторов на кристалле и обеспечат высокую стабильность МОП-структур с тонким подзатворным SiO_2 .

Для использования в биполярной технологии большой интерес могут представить гетероэпитаксиальные слои NiSi_2 и CoSi_2 в качестве скрытых высокопроводящих слоев коллектора, широкий ряд силицидов благородных (Pt и Pd) и тугоплавких металлов (Mo, Ti, W, Ta) для барьеров Шотки и 1-го (и 2-го) слоя в системе многослойной металлизации.

Успешному внедрению силицидов должны предшествовать исследования механизмов зарождения и роста, электронной структуры и свойств силицидов, реакций взаимодействия силицидов с Si, диэлектриками (SiO_2), металлами (Mo, W, Al). Предстоит выбрать оптимальные методы получения и травления тонкопленочных силицидов, методы контроля свойств тонкопленочных силицидов в условиях массового производства, изучить процессы гетероэпитаксии и двойной гетеро-эпитаксии силицидов [8].

Наряду с проблемой выбора металла, создания технологии нанесения и микроструктурирования проводящих слоев не менее важной является проблема создания высококачественных диэлектрических изолирующих слоев. Это могут быть широко используемый в настоящее время SiO_2 , полученный химическим осаждением из паровой фазы или другими методами, а также распыляемый кварц, анодизируемый Al, Si_3N_4 , или полиимид. Последний перспективен, так как обеспечивает планаризацию системы соединений, необходимую уже при техслоистой металлизации.

Особое место занимает проблема создания трех-, четырехуровневых систем соединений для матричных СБИС на основе базовых кристаллов. Для ее решения необходима гибкая (бесшаблонная) технология создания рисунка соединений. На наш взгляд, эффективными могут быть технология прямого «рисования» электронным лучом по электронорезисту на металле с последующим сухим травлением металла через маску и, как альтернатива, прямое лазерное нанесение металлических дорожек или лазерное травление металла сфокусированным пучком, управляемым электронно-вычислительным устройством по индивидуальным программам.

Задачи физического и математического моделирования технологических процессов на ЭВМ

Увеличение плотности размещения элементов в СБИС влечет за собой ужесточение требований к технологическим процессам. С другой стороны, это усложняет сами процессы и, следовательно, проблемы выбора оптимальных режимов. В связи с этим возрастает актуальность создания физических и математических моделей процессов литографии, нанесения, травления и других, применение которых позволит значительно сократить объем дорогостоящих технологических экспериментов.

В настоящее время достигнут определенный прогресс в моделировании процесса электронной литографии, ионной имплантации, ионного травления и др. Однако для ряда технологических процессов (лазерно-стимулируемые процессы, молекулярно-пучковая эпитаксия, плазмохимическое травление и др.) еще не существует адекватных физических моделей. Важность и экономическую эффективность работ в этом направлении трудно переоценить.

Развитие кремниевых МОП и биполярных СБИС

Основным материалом микроэлектроники остается Si, а основными элементами кремниевых БИС и СБИС являются МОП и биполярные транзисторы [9].

За последнее десятилетие наблюдается экспоненциальный рост степени интеграции МОП БИС (число транзисторов на кристалле). Электронно-лучевая литография с непосредственным формированием рисунка на пластине оказалась наиболее удобной для масштабирования МОП и

биполярных схем. Для проектирования МОП-схем созданы программы автоматизированного учета масштабирования («скейлинга») POPST и OPEC, позволяющие оптимизировать

Таблица 4

Параметр	n-МОП		КМОП	
	с обогащением	с обеднением	n-канал	p-канал
Толщина подзатворного окисла, мкм	0,025	0,025	0,025	0,025
Длина канала, мкм	0,8	0,8	0,6	0,6
Ширина канала, мкм	7,5	4	2,5	2,5
Глубина p—n-перехода, мкм	0,21	0,21	0,25	0,25
Пороговое напряжение, В	0,63	-1,5	0,6	-0,7
Время задержки в кольцевом генераторе, пс	125		160	

электрические и геометрические параметры логических элементов. Программы включают в себя модели приборов и паразитных эффектов, ограничивающих идеальное масштабирование. К последним относятся эффекты короткого канала, насыщения скорости электронов в канале, инъекции горячих носителей, увеличения подпорогового тока утечки и, наконец, паразитные сопротивления и емкости стока и истока. Расчет по этим программам дает хорошее совпадение с результатами эксперимента в кольцевых генераторах (табл. 4).

Необходимо учитывать эффект масштабирования межэлементных соединений и длинных связей на кристалле, что в результате приводит к увеличению времени задержки в соединениях. Это особенно существенно для МОП-схем, быстрдействие которых, в отличие от биполярных, в сильной степени зависит от емкостной нагрузки [10]. Поэтому для создания МОП СБИС необходимо разработать программы автоматизированного проектирования с учетом эффектов масштабирования межсоединений.

Наряду с прогрессом МОП-технологии как в традиционном (динамические ЗУ, микропроцессоры и др.), так и нетрадиционном (матричные БИС, статические ЗУ) направлениях, в мировой практике значительные успехи достигнуты в области биполярной технологии, причем не только в быстрдействующих матричных БИС, сверхоперативных ЗУ, но и в сверхБИС. Улучшение параметров биполярных схем также основано на принципах масштабирования. Однако в настоящее время еще не изучены некоторые ограничения на уменьшение размеров биполярных транзисторов, например ограничения, связанные с максимальной плотностью тока

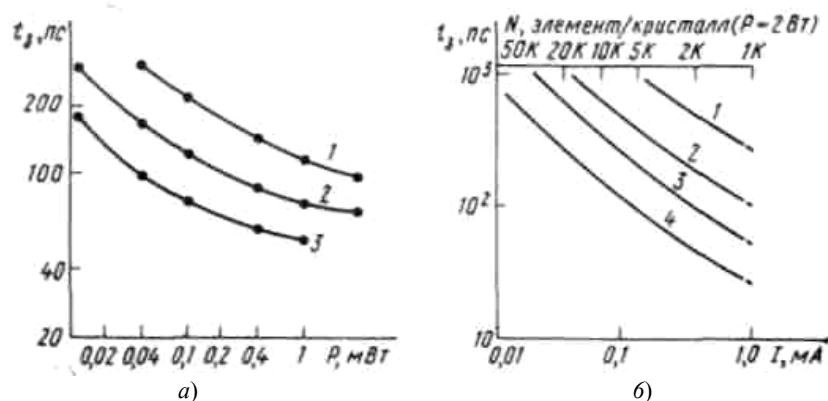


Рис. 1. Расчетные зависимости времени задержки логических элементов в кольцевом генераторе от потребляемой мощности (тока) с учетом реального масштабирования:

а — для n-МОП-элементов с длинами каналов 1 мкм (1), 0,5 мкм (2), 0,25 мкм (3); б — для биполярных ненасыщенных элементов [10] с шириной эмиттеров 2 мкм (1), 1 мкм (2), 0,5 мкм (3) и 0,25 мкм (4)

через мелкие эмиттерные переходы и «сверхмалые» диоды Шотки. По мере улучшения параметров биполярных транзисторов усиливается влияние задержек в соединениях.

Основными элементами биполярных цифровых СБИС пока остаются ЭСЛ-элементы (для

сверхскоростных применений) и ТТЛШ-элементы. Главным достижением современной биполярной технологии является создание процесса с «самосовмещением» [11] — принципом, использованным ранее только в МОП-структурах. Применение принципа «самосовмещения» в биполярной технологии допускает масштабирование субмикронных размеров в плоскости кристалла практически без изменения размеров структуры в ее сечении.

Рекордное быстродействие, которое достигнуто в биполярной и МОП-технологии, измеренное в кольцевых генераторах¹, одинаково и составляет 30 пс, однако получено при разных минимальных топологических размерах (0,35 мкм — ширина эмиттера в биполярном транзисторе и 0,25 мкм — длина канала в МОП-транзисторе). Прогнозируемые зависимости времени задержки в кольцевом генераторе от потребляемой мощности *n*-МОП-схем и биполярных схем для реального масштабирования приведены на рис. 1.

В связи с предстоящим освоением субмикронных кремниевых ССИС и СБИС можно сформулировать важнейшие требования к технологическим маршрутам:

1) применение боковой диэлектрической изоляции транзисторов, допускающей необходимое уменьшение зазоров между транзисторами;

2) осуществление принципа «самосовмещения»;

3) использование субмикронной литографии и техники прецизионного анизотропного травления. Такая технология должна быть оснащена средствами автоматизированного проектирования с обеспечением реального масштабирования транзисторов и межсоединений.

Сверхскоростные ИС на GaAs

Арсенид галлия имеет ряд преимуществ перед Si, а именно: более высокую подвижность электронов в слабых полях ($5000...7000 \text{ см}^2/\text{В}\cdot\text{с}$) и более высокую максимальную дрейфовую скорость электронов ($1,5 \cdot 10^7 \text{ см/с}$), более широкую запрещенную зону (1,52 эВ), что позволяет получать высокоомный материал (до $10^8 \text{ Ом}\cdot\text{см}$), который обладает прекрасными диэлектрическими свойствами и может быть использован в качестве изолирующей подложки для ИС. Поэтому GaAs стал материалом для сверхскоростных ИС, элементной базой которых являются полевые транзисторы с затвором Шотки (ПТШ). В субмикронной области минимальных топологических размеров наиболее перспективны схемы на нормально закрытых (НЗ) ПТШ благодаря потенциально более высокому быстродействию, чем на нормально открытых. Схемотехника цифровых элементов на НЗ ПТШ аналогична *n*-МОП-схемотехнике [12]. Канал и сильнолегированные области под омическими контактами создаются путем двукратной селективной имплантации донорных примесей с последующим формированием затвора Шотки и омических контактов. В мировой практике эта технология находится на стадии разработки. В США, Европе и Японии реализуются обширные программы работ в области цифровых схем на GaAs, и можно ожидать их внедрения в системы в виде СИС и БИС.

При уменьшении длины канала ПТШ до 1 мкм и менее, как и в Si-МОП-транзисторах, начинают сказываться эффекты короткого канала (зависимость порогового напряжения от длины канала), эффекты квазибаллистического переноса электронов и др. В связи с этим актуально создание адекватных моделей короткоканальных ПТШ и схем на их основе. Основные тенденции совершенствования технологии заключаются в создании термостабильных барьеров Шотки, использовании принципа «самосовмещения» границ затвора и приконтактных областей, оптимизации технологии многослойной металлизации.

На рис. 2 приведена зависимость времени задержки ПТШ логического элемента в кольцевом генераторе от мощности.

¹ Следует отметить, что задержка переключения ЛЭ, измеренная в кольцевом генераторе, соответствует предельному быстродействию собственно ЛЭ и не отражает реального быстродействия элементов в логических цепях СБИС ЭВМ, так как не учитывает влияния линий связи на кристалле. Задержка переключения ЛЭ с учетом межсоединений СБИС, как правило, значительно (2—3 раза и более) превышает задержку ЛЭ в кольцевом генераторе. (Прим. ред.)

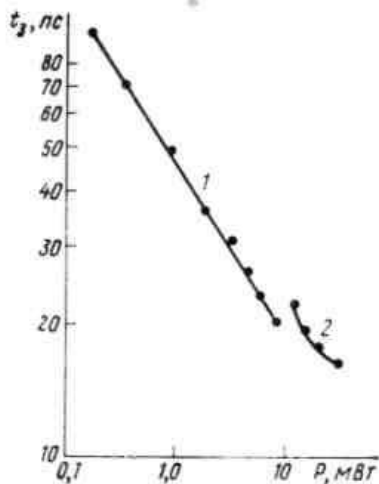


Рис. 2. Экспериментальные зависимости времени задержки от потребляемой мощности в кольцевом генераторе на нормально закрытых ПТШ — вентилях на GaAs с длинами каналов 1 мкм (1) и 0,5 мкм (2)

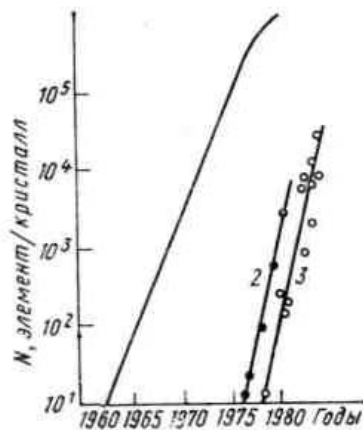


Рис. 3. Кривые увеличения степени интеграции компонентов на кристалле:

1 — закон Мура для Si-ИС; 2 — GaAs-ИС (США и Франция); 3 — GaAs-ИС (Япония)

Следует, однако, отметить, что реальное быстроедействие ПТШ-вентилей в логических цепях БИС оказывается значительно ниже, чем в кольцевом генераторе. Так, например, в кристалле матричной БИС 4-разрядного АЛУ время задержки ПТШ-вентиля с учетом межсоединений и нагрузки составляет $\tau_{з.р} = 284$ пс при $P = 0,2$ мВт [12].

На рис. 3 приведены зависимости, отражающие тенденции увеличения степени интеграции GaAs-схем по сравнению с законом Мура для Si-схем. Видно, что экспериментальные кривые для GaAs-схем отражают более интенсивный рост степени интеграции, чем для Si.

Однако высокая стоимость материала, более низкая производительность технологии на GaAs (из-за меньшего размера пластин (~40 мм) и недостаточного совершенства и стабильности свойств материала подложки) требуют существенных усилий в области фундаментальных исследований для создания основ промышленной технологии GaAs-схем.

Сверхскоростные гетеропереходные транзисторы

Фундаментальные исследования гетеропереходов [13], развитие методов молекулярной эпитаксии и осаждения из паровой фазы металлоорганических соединений обусловили возможность создания в настоящее время гетеропереходных полевых (ГППТ) и биполярных (ГПБТ) [14] транзисторов для сверхскоростных ИС. Наиболее развитой в настоящее время является технология ГППТ на основе гетероперехода GaAs — (GaAl) As. Получены ГППТ с обеднением и обогащением. Реализованы экспериментальные ЛЭ с задержкой в кольцевом генераторе порядка 10...20 пс на элемент.

Фирмой Fujitsu Labs. Ltd продемонстрирована БИС СОЗУ емкостью 1 Кбит, мощностью 360 мВт (77 К) и временем выборки 0,87 нс на ГППТ при минимальной длине канала 1,5 мкм. Учитывая, что подобный результат достигнут в Si-биполярном ЭСЛ СОЗУ (1 Кбит, 0,85 нс, 950 мВт при 300 К и минимальной ширине эмиттера 0,5 мкм), становится понятным интерес к ГПБТ, предельная частота которых может достигать 100...200 ГГц.

Преимущества ГПБТ заключаются в возможности (при использовании широкозонного эмиттера) сильно легировать базу, что устраняет многие ограничения, характерные для современных кремниевых биполярных транзисторов. В настоящее время реализованы ГПБТ на переходах GaAs — (GaAl)As и кольцевые генераторы на их основе, в которых измерена задержка 29,3 пс при ширине эмиттера 1,6 мкм. Реализована схема делителя частоты, работоспособная до 8,5 ГГц. Однако выбор гетеропары GaAs — (GaAl) As является неоптимальным. Более перспективны для ГПБТ гетеропары, не имеющие общего аниона, например GaInP — GaAs.

Весьма интересны исследования ГПБТ на основе Si, создание которых позволит реализовать новое поколение кремниевых сверхскоростных СБИС при максимальном использовании существующего промышленного опыта. Интересные результаты в этом направлении получены в работе [15] для гетеропары GaP — Si методом молекулярно-пучковой эпитаксии.

Таким образом, результаты начального этапа в исследованиях гетеропереходных транзисторов показывают, что имеются принципиальные возможности создания в будущем сверхскоростных гетеропереходных СБИС для суперЭВМ. Подходы к проектированию систем на их основе могут существенно измениться по отношению к принятым. Совместимость ГППТ

и ГПБТ с оптоэлектронными приборами (полупроводниковыми лазерами и фототранзисторами) позволяет в принципе применять волоконно-оптические связи между кристаллами.

Однако возможность внедрения гетеропереходных ССИС в системы должна быть доказана в результате лабораторных и промышленных исследований их физики, технологии и надежностных характеристик. Учитывая сложность технологических экспериментов в этой области, следует указать на особую актуальность физического и математического моделирования характеристик гетеропереходных транзисторов.

Заключение

Проведенный в настоящей работе обзор важнейших направлений фундаментальных исследований в технологии полупроводниковой микроэлектроники, а также данные работы [2] свидетельствуют о том, что технология СБИС и ССИС будет построена на использовании электронных и ионных пучков, ультрафиолетового и рентгеновского излучения, импульсного и непрерывного лазерного излучения. Широкое применение в массовом производстве найдут технологические методы, обеспечивающие не только высокую точность субмикронной обработки материалов, но и экономическую эффективность производства, его большую гибкость и управляемость. Производство ССИС и СБИС должно быть оснащено автоматизированными системами управления. Поэтому особенно актуальной становится задача создания физических и математических моделей технологических процессов.

Из-за ограниченного объема настоящей работы мы не смогли коснуться таких важных проблем микроэлектроники, как повышение качества (чистоты и совершенства) материалов, и основных конструкционных (Si, GaAs и др.), и технологических (резисты, газы, диффузаны и др.) Повышаются требования к чистоте технологических помещений, что диктуется необходимостью обеспечения приемлемого для производства СБИС процента выхода годных изделий. Не удалось уделить должного внимания проблемам развития метрологии (технологического контроля) и диагностики (анализ стехиометрии, примесей, структуры переходных слоев и т. д.), а также проблемам надежностных и схмотехнических измерений.

Основную номенклатуру СБИС и ССИС будут составлять кремниевые схемы. Однако в арсенал материалов для сверхскоростных схем уверенно внедряются арсенид галлия и многослойные приборные структуры на основе гетеропереходов. Исследования в этих направлениях чрезвычайно актуальны.

Крупнейшей проблемой разработки СБИС и ССИС является создание технологии высоконадежных многослойных соединений на кристаллах, в том числе заказных матричных СБИС для высокопроизводительных ЭВМ.

Наконец, производство СБИС и ССИС должно быть оснащено САПР на основе высокопроизводительной вычислительной техники. Поэтому исследование элементов схем с субмикронными размерами и соединений между ними невозможно без создания их адекватных моделей с учетом принципа масштабирования и возможностей новых технологических методов.

СПИСОК ЛИТЕРАТУРЫ

1. **Валиев К. А., Раков А. В.** Физические основы субмикронной литографии в микроэлектронике.— М.: Радио и связь, 1984.
2. **Валиев К.А.** Проблемы создания элементной базы сверхвысокой степени интеграции для ЭВМ //Микроэлектроника.— 1980.— Т. 9, вып. 6.—С. 483—490.
3. **Валиев К. А., Беликов Л. В., Душенков С. Д.** и др. Эффект фототравления полимеров под действием вакуумного ультрафиолета // Письма в ЖТФ.— 1982.—Т. 8, вып. 1.—С. 33—36.
4. **Валиев К. А., Великов Л. В., Леонов Ю. С, Семенов О. Г.** Концепция одноимпульсной литографии // Электронная промышленность— 1984.— Вып. 9. — С. 75—79.
5. **Антонов С. А., Барышев Ю. П., Валиев К. А.** и др. Исследование процессов травления ПММА в низкотемпературной плазме// Труды Международ. конф. по электронно-лучевой технологии. — Варна. 1985.— С. 541—546.
6. **Елинсон М. И., Суханов А. А.** Проблемы межсоединений в современной микроэлектронике//Микроэлектроника. — 1984. — Т. 13, вып. 3.— С. 179—195.
7. **Roland J. P., Hendickson N. E., Kessler D. D., Quint D. W.** Two-layer Refractory Metal JC Process // Hewlett-

- Packard J., — 1983.— N 8.— P. 30—32.
8. Гершинский А. Е., Ржанов А. В., Черепанов Е. И. Тонкопленочные силициды в микроэлектронике // Микроэлектроника.— 1982.— Т. 11, вып. 2.— С. 83—94.
 9. Валиев К. А., Орликовский А. А. Элементная база высокопроизводительных ЭВМ//Вестник АН СССР.— 1982.— Вып. 3 — С. 62—75.
 10. Орликовский А. А. Перспективы быстродействующих биполярных интегральных схем//Микроэлектроника.— 1981.— Т. 10.— Вып. 3.— С. 195—205.
 11. Koyaka Sh., Yamamoto Y., Sakai T. A. 30 ns Si Bipolar IC Using Super Self-aligned Process Technology // Extended Abstracts of the 16th (1984 International) Conference on Solid State Devices and Materials. — Kobe. 1984.— P. 209—212.
 12. Кравченко Л. Н., Сапельников А. Н., Старосельский В. И. Интегральные схемы субнаносекундного диапазона на основе арсенида галлия//Микроэлектроника.— 1980.— Т. 9, вып. 5,—С. 387—400.
 13. Алферов Ж. И. Полупроводниковые гетероструктуры// Физика и техника полупроводников. — 1977.— Т. 11, № 11, — С. 2072—2083.
 14. Бутакова Н. Г., Валиев К. А., Zubov A. V., Орликовский А. А. Гетеропереходные биполярные транзисторы // Микроэлектроника.— 1985.— Т. 14, вып. 1.— С. 3—9.
 15. Wright S. L., Kroemer H., Inada M. Molecular Beam Epitaxial Growth of GaP on Si J. Appl. Phys.,— 1984.— V. 55, N 8. — P. 2916.—2927.

УДК 681.3

Я. А. ХЕТАГУРОВ

ОЦЕНКА ЭФФЕКТИВНОСТИ ЯЗЫКОВ ВЫСОКОГО УРОВНЯ В ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМАХ РЕАЛЬНОГО ВРЕМЕНИ

Широкое использование вычислительных систем (ВС) в процессах управления различными объектами привело к резкому повышению требований к производительности программирования. Как известно, увеличение производительности программирования достигается главным образом применением языков высокого уровня (ЯВУ). Однако создание программ в ВС реального времени (ВС РВ) имеет ряд особенностей, которые не дают в полной мере использовать сервисные средства и опыт программирования на ЯВУ, накопленный при решении задач планирования, учета и научно-технических расчетов на универсальных ЭВМ.

Программирование на ЯВУ хотя и повышает производительность труда программистов, однако при использовании существующих средств трансляции приводит к увеличению длины программы, что требует больших емкостей памяти. Кроме того, увеличение длины программы при регламентированном времени ее выполнения приводит к повышению требований к производительности ВС РВ. На основании статистических данных для распространенных трансляторов с широко используемыми ЯВУ расширение программ по сравнению с ассемблерными в среднем оценивается в 1,2 ... 5 раз, а увеличение производительности — в 1,5 ... 6 раз.

Использование программ, написанных на ЯВУ, значительно изменяет организацию работ по отладке ВС РВ по сравнению с программами, написанными на ассемблере или машинных языках. Так, при корректировке алгоритмов и программ, написанных на ЯВУ, необходимо осуществлять перетрансляцию всей задачи или программного модуля, а не корректировку отдельных команд или их групп, как для ассемблера. Это особенно неудобно при жесткой фиксации программы, т. е. при использовании постоянных запоминающих устройств, так как их изменение приводит к определенным дополнительным затратам.

Таким образом, важность выбора способа применения языков высокого уровня в ВС реального времени требует глубокого анализа всех основных факторов, влияющих на это решение. Целесообразность выбора того или иного способа применения языка будем определять эффективностью затрат, которые производятся в течение всего цикла жизни ВС. Сравнивая объемы затрат для различных способов применения языков как по абсолютным величинам, так и по удельным, будем определять наиболее эффективные решения по реализации языков высокого уровня.

Рассмотрим затраты на создание и эксплуатацию ВС. Разделим эти затраты на две части: на

создание программного обеспечения ПО и его эксплуатацию; на создание и эксплуатацию аппаратуры ВС.

Для выявления функциональных связей между параметрами ВС и ПО проведем анализ затрат и проследим связи этих параметров с характеристиками системы по этапам их создания.

Жизненный цикл ПО системы условно разделим на следующие этапы:

1. Проектирование алгоритмов, разделение на модули, разработка структуры взаимной связи между модулями, представляющими отдельные алгоритмы, определение принципов организации и последовательности работы модулей.

2. Написание программ отдельных модулей и их автономная отладка, комплексная отладка всех модулей программ.

3. Совместная комплексная отладка ВС РВ и проведение испытаний.

4. Эксплуатация ПО.

Жизненный цикл аппаратуры ВС РВ условно разделим на этапы:

1. Проектирование ВС, заканчивающееся выпуском рабочей документации.

2. Изготовление и отладка аппаратуры ВС.

3. Совместная комплексная отладка ВС РВ и проведение испытаний.

4. Эксплуатация аппаратуры ВС.

Анализируя первые этапы жизненного цикла ВС РВ и оценивая затраты на их проведение, можно принять, что затраты на первый этап ПО не зависят от уровня языка программирования, а определяются объемами и сложностью алгоритмов решаемых задач. Затраты на первый этап проектирования аппаратуры ВС также не определяются уровнем языка программирования, даже когда используются новые функционально-логические решения, так как при проектировании наиболее трудоемким процессом является выпуск рабочей документации.

Затраты второго этапа жизненного цикла ПО главным образом определяются используемым языком программирования, объемами программ и инструментальным оснащением программистов (универсальные машины, встроенные системные машины, трансляторы, сервисные программы и др.). Затраты второго этапа цикла жизни аппаратуры ВС (изготовление ВС) определяются требуемыми емкостями памяти, производительностью и надежностью. Эти требования, за исключением надежности, прямо связаны с используемыми ЯВУ и способами их применения.

Затраты третьего и четвертого этапов жизненного цикла ПО и аппаратуры ВС определяются принятыми решениями на вторых этапах ПО и ВС.

Анализ затрат на программное обеспечение

Рассмотрим функциональные зависимости затрат от уровня языка, объемов программ и способов их реализации в ВС на приведенных этапах жизненного цикла систем.

Запишем затраты на программное обеспечение в течение цикла жизни системы без учета первого этапа:

$$S_{np} = S_{np2} + S_{np3} + S_{np4} \quad (1)$$

где S_{np2} — затраты второго этапа жизненного цикла ПО, которые включают затраты на написание программ, автономные и комплексную отладки ПО; S_{np3} — затраты третьего этапа жизненного цикла ПО, состоящие из затрат на совместную комплексную отладку ВС РВ и проведение комплексных испытаний; S_{np4} — затраты четвертого этапа жизненного цикла ПО, состоящие из затрат на эксплуатацию ПО.

Все затраты жизненного цикла ПО разделим условно на две части. Такое деление связано со спецификой затрат. При выполнении этапов жизненного цикла ПО имеются затраты человеческого труда в прямом виде и затраты на машинное время, связанные с эксплуатацией вычислительных машин.

Рассмотрим затраты второго этапа S_{np2} и запишем

$$S_{np2} = S_{np2}^ч + S_{np2}^м, \quad (2)$$

где $S_{\text{пр}2}^{\text{ч}}$ — затраты труда человека на написание программ, их проверку и отладку в автономном и комплексном программном режиме;

$S_{\text{пр}2}^{\text{м}}$ — затраты на машинное время, в течение которого проводилась трансляция и отладка оттранслированных программ на универсальных ЭВМ, а также проверка и отладка программ на встроенных системных машинах.

В свою очередь примем, что затраты на машинное время состоят из следующих составляющих:

$$S_{\text{пр}2}^{\text{м}} = S_{\text{тр}} + S_{\text{ош}} + S_{\text{пс}} + S_{\text{ошс}}, \quad (3)$$

где $S_{\text{тр}}$ — затраты на трансляцию программы, введенной на ЯВУ, в машинный язык; $S_{\text{ош}}$ — затраты на время, необходимое для обнаружения ошибок и корректировку программы, которая заключается в повторной трансляции модуля программы; $S_{\text{пс}}$ — затраты на проверку и отладку программы на встроенных системных машинах; $S_{\text{ошс}}$ — затраты на время, необходимое для обнаружения ошибок во встроенной машине и их корректировку.

Затраты на трансляцию зависят от: 1) уровня языка, на котором записана программа; 2) характеристики транслятора, а именно, от его коэффициента работы, т. е. усредненного количества команд при трансляции, приходящихся на один оператор языка записи программ; 3) сложности или длины программы модуля; 4) затрат на обеспечение работоспособности универсальной ЭВМ, т. е. затрат на ее эксплуатацию.

Отметим еще один важный показатель транслятора — коэффициент расширения программы, т. е. коэффициент, показывающий, насколько увеличилась длина программы, полученной после трансляции с ЯВУ, по сравнению с программой, написанной на ассемблере или непосредственно на машинном языке. Программа, полученная после трансляции с ассемблера, обычно на 3... 10% длиннее программы, написанной на машинном языке. Программа, полученная после трансляции с ЯВУ (Фортран, Алгол, Паскаль и др.), в среднем длиннее в 1,3... 2,4 раза и более по отношению к ассемблерным программам.

Коэффициент расширения программы определяется построением и качеством транслятора. Для получения малого коэффициента расширения программы используются сложные оптимизирующие трансляторы, у которых коэффициент работы большой. При малых же коэффициентах работы транслятора коэффициент расширения программ получается большим.

Для усредненных данных, полученных на группе задач, запишем затраты на трансляцию в виде

$$S_{\text{тр}} = C_{\text{м}} l_{\text{т}} P_{\text{в}}, \quad (4)$$

где $C_{\text{м}}$ — затраты на выполнение 1 тыс. или 1 млн. команд на универсальной ЭВМ, руб. команду; $l_{\text{т}}$ — коэффициент работы транслятора, команд/опер.

$$l_{\text{т}} = \frac{t_{\text{тр}} V_{\text{кcy}}}{P_{\text{в}}} = \frac{M_{\text{тр}}}{P_{\text{в}}}, \quad (5)$$

$t_{\text{тр}}$ — время работы транслятора на универсальной ЭВМ при трансляции модуля алгоритма, с; $V_{\text{кcy}}$ — средняя скорость работы универсальной ЭВМ при трансляции, команд/с; $P_{\text{в}}$ — количество операторов-инструкций в написанной программе на ЯВУ модуля алгоритма, опер.; $M_{\text{тр}}$ — количество выполненных команд при трансляции модуля алгоритма, записанного на ЯВУ.

Затраты на время обнаружения и корректировки ошибок зависят от количества ошибок, допущенных в программе модуля алгоритма, от времени обнаружения ошибок и времени перетрансляции модуля или, если допускается структурной модуля, его части. Эти затраты

$$S_{\text{ош}} = n_{\text{ошy}} S_{\text{по}} + n_{\text{ошy}} S_{\text{тр}} \quad (6)$$

Первый член формулы оценивает затраты на поиск ошибок, а второй — затраты на их устранение, т. е. перетрансляцию. В формуле (6) приняты обозначения: $n_{\text{ошy}}$ — количество ошибок, обнаруженных в программе при отладке модулей на универсальной ЭВМ; $S_{\text{по}}$ — затраты на время работы машины при поиске одной ошибки:

$$S_{\text{по}} = T_{\text{срy}} C_{\text{м}} V_{\text{кcy}}, \quad (7)$$

где $T_{\text{срy}}$ — среднее время отыскания и проверки устранения ошибки, с. Это время определяется квалификацией программиста.

При выводе этой формулы предполагалось, что на период отыскания и проверки вся производительность

универсальной ЭВМ используется только для данной работы.

Определим затраты на проверку и отладку программ модулей на встроенной системной машине. Эти затраты будут определяться главным образом размером программы, которая выполняется на встроенной системной машине, а также затратами на выполнение команд на этой машине. Таким образом,

$$S_{пс} = C_c P_n, \quad (8)$$

где C_c — затраты на выполнение одной тысячи или одного миллиона команд-инструкций на встроенной системной вычислительной машине, руб./команд·с; P_n — число команд-инструкций, выполняемых встроенной системной вычислительной машиной (ВСВМ) при работе по программам модулей; это число команд-инструкций определяется либо прямым счетом их на ВСЕМ при выполнении оттранслированной программы, либо по формуле (для начального этапа проектирования)

$$P_n = P_v r_T K_d K_y, \quad (9)$$

r_T — коэффициент расширения программы при трансляции ее с ЯВУ:

$$r_T = M_{тр} / M_{пр}, \quad (10)$$

$M_{тр}$ — количество оттранслированных машинных команд модулей алгоритмов, $M_{пр}$ — количество машинных команд модулей при программировании на машинном языке или ассемблере; K_d — динамический программный коэффициент, который оценивает отношение количества выполняемых команд ВМ по сравнению с написанными в программе; K_y — коэффициент изменения языка; он оценивает изменения длины программы при переходе от одного языка программирования к другому.

Запишем затраты на время проверки и отладки программ модулей алгоритмов на ВСВМ после подстановки в (8) и (9) в виде

$$S_{пс} = C_c r_T K_d K_y P_v \quad (11)$$

Затраты на отыскание и устранение ошибок в программах модулей, выполняемых ВСВМ, определяются числом ошибок, обнаруженных при проверке, средним временем выявления ошибки и затратами на время работы ВСВМ. Кроме того, необходимо учесть затраты на перетрансляцию и на повторные проверки на ВСВМ. Поэтому уравнение затрат будет состоять из трех членов:

$$S_{ошс} = n_{ошс} T_{трс} V_{ксс} C_c + n_{ошс} S_{тр} + S_{пс} \quad (12)$$

где $n_{ошс}$ — количество ошибок, обнаруженных в программе при проверке и отладке на ВСВМ; $T_{трс}$ — среднее время отыскания ошибки на ВСВМ; $V_{ксс}$ — средняя скорость работы ВСВМ при выполнении программы модуля алгоритма.

Подставив в уравнение (3) величины затрат (4), (6), (11), (12) и выполнив преобразования, запишем

$$S_{пр2}^{M1} = C_l P_v + n_{ошс} \left(T_{сру} V_{ксс} C_c + l P C_m \right) + 2 C_c K_d K_y r_T P_v + n_{ошс} \left(T_{срс} V_{ксс} C_c + C_l P_v \right). \quad (13)$$

На основании статистических данных распределение числа ошибок между $n_{ошс}$ и $n_{ошс}$ определяется следующими отношениями:

$$n_{ошс} = n_{ошс} b_1; n_{ошс} = n_{ошс} (1 - b_1),$$

где b_1 — коэффициент, который оценивает долю ошибок, выявляемую при отладке на универсальных ЭВМ; $b_1 = 0,7 \dots 0,9$.

Затраты на машинное время при прямой аппаратурной реализации языка программирования состоят из следующих составляющих:

$$S_{пр2}^{M2} = S_{пс} + S'_{ошс} + S'_{пс}. \quad (14)$$

где $S_{пс}$ — затраты на проверку и отладку программ на ВСВМ; $S'_{ошс}$ — затраты на время, необходимое для обнаружения ошибок на ВСВМ и их корректировку; $S'_{пс}$ — затраты на проверку программ после их корректировки.

Сокращение числа составляющих и их содержания связано с тем, что отладка задачи ведется прямо на ВСВМ без трансляции.

Рассмотрим затраты на каждую составляющую.

Затраты на проверку и отладку программы на ВСВМ принимаем пропорциональными времени функционирования программ:

$$S_{пс} = C_k K_d P_v. \quad (15)$$

Затраты на время, необходимое для обнаружения ошибок и корректировку, запишем по аналогии в виде

$$S'_{ошс} = n_{ошс} T_{срс} V_{ксс} C_c, \quad (16)$$

где $n_{ошс} = n_{ошс} + n_{ошс}$.

Затраты на проверку программ после корректировки

$$S'_{nc} = n_{\text{ош}} S_n = n_{\text{ош}} C_c K_d P_v. \quad (17)$$

Подставив составляющие затрат в формулу машинного времени (14), запишем уравнение затрат на время работы аппаратуры при прямой аппаратурной реализации языка программирования (без использования транслятора):

$$S_{\text{пр}2}^M = C_c K_d P_v + n_{\text{ош}} (T_{\text{ср}c} V_{\text{к}c} C_c + C_c K_d P_v). \quad (18)$$

Определим затраты, связанные с использованием человеческого труда при написании программ, их проверке и отладке, с учетом исправления ошибок. На основании статистических данных для оценки принимаем, что затраты прямо пропорционально связаны с количеством команд-инструкций, или операторов (единица измерения берется в зависимости от уровня языка программирования) в программах модулей алгоритмов, т. е.

$$S_{\text{пр}2}^ч = C_n P, \quad (19)$$

где C_n — усредненные затраты на написание и отладку 10 или 100 команд-инструкций или операторов; в этих затратах учитывается время, необходимое для обнаружения и исправления ошибки.

Подставив значения составляющих (13), (19) в уравнение затрат второго этапа (2), получим затраты при использовании транслятора:

$$S'_{\text{пр}2} = P_v C_n + C_m l_T P_v + n_{\text{ош}v} (T_{\text{ср}v} V_{\text{к}c} C_m + C_m l_T P_v) + 2C_c K_d K_y r_T P_v + n_{\text{ош}c} (T_{\text{ср}c} V_{\text{к}c} C_c + C_c K_d P_v). \quad (20)$$

и при использовании прямой аппаратурной реализации языка программирования (18), (19):

$$S''_{\text{пр}2} = P_v C_n + C_c K_d P_v + n_{\text{ош}} (T_{\text{ср}c} V_{\text{к}c} C_c + C_c K_d P_v). \quad (21)$$

Оценим затраты третьего этапа жизненного цикла создания ПО. Эти затраты также условно разделим на две части: на затраты, оценивающие применение человеческого труда $S_{\text{пр}3}^ч$, и затраты, учитывающие время работы аппаратуры системы и вспомогательных служб $S_{\text{пр}3}^M$. Общие затраты третьего этапа жизненного цикла ПО запишем в виде

$$S_{\text{пр}3} = S_{\text{пр}3}^ч + S_{\text{пр}3}^M \quad (22)$$

Определим затраты, оценивающие человеческий труд при комплексных проверках и испытании. Эти затраты определяются главным образом временем, расходуемым на проверку пунктов программы испытаний и на проведение самих испытаний:

$$S_{\text{пр}3}^ч = K_1 m C_ч, \quad (23)$$

где m — количество пунктов программы испытаний; $C_ч$ — усредненные затраты, связанные с применением труда человека при выполнении каждого пункта программы испытаний с учетом корректировок, руб/ пункт; K_1 — коэффициент, учитывающий затраты на предварительную проверку всех пунктов программы и проведение самих испытаний; $K_1 = 2,3$ (1,3 — затраты на проверки, 1,0 — затраты на испытания). Затраты времени на работу аппаратуры системы при использовании транслятора запишем в виде

$$S_{\text{пр}3}^M = K_1 b_2 C_k r_T K_y K_d P_v + n_{\text{ош}k} (C_m l_T P_v + T_{\text{ср}k} V_{\text{к}c} C_k) + n_{\text{ош}k} C_k r_T K_y K_d P_v. \quad (24)$$

Первый член уравнения оценивает затраты на время работы аппаратуры системы при проведении проверок и испытаний. Второй и третий члены учитывают затраты, связанные с появлением и устранением ошибок. Второй член учитывает затраты на перетрансляцию на УЭВМ при появлении каждой ошибки и затраты на обнаружение этих ошибок при комплексных проверках, а третий — на проверку исправленных ошибок в комплексе. В уравнении использованы следующие обозначения: b_2 — коэффициент, учитывающий затраты на время работы аппаратуры системы при проведении проверок и испытаний; величина этого

коэффициента определяется программой испытаний, и он учитывает число прогонов программы, которое требуется для испытаний; $b_2=3...10$ и более; C_k — усредненные затраты на выполнение 1 тыс. или 1 млн. команд при работе всей аппаратуры системы (руб./команд), $C_k > C_c$, так как в этом случае работает аппаратура не только ВС, но и всей системы; исходя из соотношения объемов аппаратуры ВС и системы $C_k = \beta_3 C_c$ где $\beta_3 = 3...10$; $n_{\text{ош к}}$ — число ошибок, обнаруженное при проведении комплексных проверок и испытаний системы. На этом этапе обычно редко выявляются ошибки; их число практически оценивается единицами, и поэтому $n_{\text{ош к}}$ определяется не процентом от общего числа ошибок, а только их количеством, $n_{\text{ош к}} = 2... 7$; $T_{\text{ср к}}$ — среднее время поиска ошибки, можно принять равным $T_{\text{ср с}}$, учитывая, что используются идентичные средства $T_{\text{ср к}} = T_{\text{ср с}}$.

Подставив значения составляющих в уравнение затрат третьего этапа (22) и проведя преобразования, запишем

$$S'_{\text{пр3}} = K_1 m C_c + P_v [C_k r_T K_y K_d (2,3b_2 + n_{\text{ош к}}) + n_{\text{ош к}} C_m l_T] + n_{\text{ош к}} T_{\text{ср с}} V_{\text{к с}} C_k. \quad (25)$$

При работе системы без использования транслятора, т. е. с прямой аппаратурной реализацией языка высокого уровня, затраты запишем в виде

$$S''_{\text{пр3}} = K_1 m C_c + P_v [C_k K_d (2,3b_2 + n_{\text{ош к}} K_d C_c)] + n_{\text{ош к}} T_{\text{ср с}} V_{\text{к с}} C_k. \quad (26)$$

В этом уравнении изменился только второй член, в котором учтено, что отладка и исправления ведутся на ВСВМ.

Рассмотрим затраты на этап эксплуатации ПО в течение жизненного цикла. Эти затраты связаны с модернизациями ПО, возникающими в результате выявления более глубоких связей, которые дают возможность повышать эффективность работы ВС РВ. При модернизации производится перепрограммирование или замена отдельных модулей алгоритмов или их частей. В большинстве случаев необходимо для новых алгоритмов проходить первый, второй и третий этапы создания ПО, поэтому затраты на модернизацию целесообразно учитывать на начальном этапе коэффициентом модернизации β_1 , а после выявления ее содержания затраты определять в приведенной выше последовательности, как для новой разработки. Таким образом, затраты на эксплуатацию запишем в виде

$$S_{\text{прэ}} = (S_{\text{пр2}} + S_{\text{пр3}}) \beta_1, \quad (27)$$

где β_1 — коэффициент модернизации:

$$\beta_1 = \prod_{i=1}^u (1 + M_i); \quad (28)$$

M — степень i -й модернизации, т. е. доля изменяемого ПО системы; u — число модернизаций за цикл жизни системы.

Число модернизаций ПО системы определяется многими факторами, но одним из важных является фактор, оценивающий моральное старение аппаратуры системы. При цикле жизни 15 ... 25 лет число модернизаций ВС РВ составляет 5... 10. Среди них одна-две модернизации оцениваются степенью 0,5 ... 0,7, а остальные степенью 0,2 ... 0,3.

Анализ затрат на аппаратуру

Проведем анализ затрат по этапам жизненного цикла создания аппаратуры системы. Суммарные затраты представим уравнением

$$S_{\text{ап}} = S_{\text{ап2}} + S_{\text{ап3}} + S_{\text{апэ}}, \quad (29)$$

где $S_{\text{ап с}}$ — затраты на изготовление аппаратуры ВС; эти затраты определяются на основании требований, полученных при разработке ПО; $S_{\text{ап з}}$ — затраты на этапе комплексных отладок и испытаний аппаратуры системы; $S_{\text{ап э}}$ — затраты на эксплуатацию аппаратуры системы за цикл ее жизни.

Определим составляющие затрат по каждому этапу жизни системы. Рассмотрим затраты на изготовление аппаратуры ВС. Как известно, аппаратура ВС состоит из аппаратуры

запоминающих устройств, процессоров и, при необходимости, из резервных частей ЗУ, процессоров, средств коммутации и устройства управления резервированием. Затраты этого этапа запишем в виде

$$S_{\text{ан2}} = S_{3Y} + S_{\text{п}} + S_{\text{р}}, \quad (30)$$

где S_{3Y} — затраты на изготовление и отладку ЗУ; $S_{\text{п}}$ — затраты на изготовление и отладку процессоров; $S_{\text{р}}$ — затраты на резервируемую аппаратуру, аппаратуру коммутации и управления резервированием; здесь учитывается резервируемая аппаратура ЗУ и процессоров.

Определим затраты на изготовление составляющих ВС в зависимости от их технических характеристик. Затраты на изготовление ЗУ формируются из затрат на ЗУ для хранения команд или инструкций и затрат на ЗУ для хранения операндов:

$$S_{3Y} = S_{3Y}^{\text{к}} + S_{3Y}^{\text{о}} \quad (31)$$

Затраты на изготовление ЗУ для хранения команд запишем в виде

$$S_{3Y}^{\text{к}} = Q_{\text{к}} a_1, \quad (32)$$

где a_1 — усредненные затраты на изготовление аппаратуры ЗУ емкостью 1 или 1000-1 К ячеек памяти, имеющие требуемую скорость работы и число разрядов, руб. /ячеек; $Q_{\text{к}}$ — емкость памяти команд-инструкций, число ячеек.

Емкость памяти команд, необходимую для проведения вычислений по заданным алгоритмам, определим с учетом некоторого запаса ячеек. Размер этого запаса принимается исходя из степени знания и разработанности решаемых задач. Кроме того, известно, что минимальные удельные затраты аппаратуры для хранения ячеек получаются при емкостях ЗУ, кратных степени двойки. Поэтому емкости ЗУ с учетом запаса будем нормировать числами, кратными степени двойки. Запишем емкость памяти команд в виде

$$Q_{\text{к}}' = \left| P_{\text{в}} K_{\text{я}} r_{\text{т}} (1 + \varepsilon_1') \right|_{2^n}. \quad (33)$$

где ε_1' — доля запасных ячеек; в начале проектирования при использовании транслятора принимается $\varepsilon_1' = 0,8$; для прямой реализации (без трансляции) $\varepsilon_1'' = 0,6$; 2^n — нормировочная операция.

Полученная формула учитывает трансляцию программы; если работа ведется без трансляции, то $K_{\text{я}}$ и $r_{\text{т}}$ равны единице:

$$Q_{\text{к}}'' = \left| P_{\text{в}} (1 + \varepsilon_1'') \right|_{2^n}. \quad (34)$$

При нормировании выбирается большее число, кратное 2.

Затраты на изготовление ЗУ команд на основе формул (33) и (32) запишем в виде: для варианта с трансляцией

$$S_{3Y}^{\text{к}'} = \left| P_{\text{в}} K_{\text{я}} r_{\text{т}} (1 + \varepsilon_1') \right|_{2^n} a_1; \quad (35)$$

для варианта с прямой реализацией

$$S_{3Y}^{\text{к}''} = \left| P_{\text{в}} (1 + \varepsilon_1'') \right|_{2^n} a_1. \quad (36)$$

Определим затраты на изготовление ЗУ для хранения операндов

$$S_{3Y}^{\text{о}} = Q_{\text{о}} a_1, \quad (37)$$

где $Q_{\text{о}}$ — емкость памяти операндов, ячейки.

Емкость памяти операндов, необходимая для вычисления алгоритмов, состоит из двух частей: операндов входных и выходных данных $Q_{\text{и в}}$ и операндов, необходимых для проведения вычислений $Q_{\text{и о}}$. Для обеспечения устойчивого хода вычислительного процесса обычно предусматривается хранение входных и выходных данных до получения новых, а также хранение результатов промежуточных вычислений. По этим соображениям увеличивают требуемые емкости памяти операндов в два раза. Кроме того, необходимо предусмотреть и определенное количество запасных ячеек для корректировок при отладке программ. Полученную емкость памяти операндов так же, как и память команд, будем нормировать степенью двойки.

Емкость ЗУ операндов

$$Q_{\text{о}} = \left| 2(Q_{\text{и в}} + Q_{\text{и о}}) (1 + \varepsilon_2) \right|_{2^n}, \quad (38)$$

где ε_2 — доля запасных ячеек; в начале проектирования обычно принимается $\varepsilon_2 = 0,4$.

После подстановки в (37) затраты на изготовление ЗУ операндов запишем в виде

$$S_{3Y}^{\text{о}} = \left| 2(Q_{\text{и в}} + Q_{\text{и о}}) (1 + \varepsilon_2) \right|_{2^n} a_1. \quad (39)$$

. В приведенных формулах предполагается, что аппаратура ЗУ для хранения команд и операндов построена на одинаковых схмотехнических принципах, поэтому используется один коэффициент усредненных затрат a_1 . Если используются различные схмотехнические принципы построения ЗУ команд и ЗУ операндов, то в формуле

определения затрат на изготовление 3У операндов появляется коэффициент a'_1 . Таким образом, после подстановки (35) и (39) в (31) затраты на изготовление 3У при использовании транслятора

$$S'_{3У} = \left[P_{\text{в}} K_{\text{я}} r_{\text{т}} (1 + \varepsilon'_1) \right]_{2^n} + \left[2(Q_{\text{ив}} + Q_{\text{ио}}) (1 + \varepsilon_2) \right]_{2^n} a_1 \quad (40)$$

Подставляя (36) и (39) в (31), затраты на 3У при прямой реализации языка программирования запишем в виде

$$S''_{3У} = \left[P_{\text{в}} (1 + \varepsilon''_1) \right]_{2^n} + \left[2(Q_{\text{ив}} + Q_{\text{ио}}) (1 + \varepsilon_2) \right]_{2^n} a_1 \quad (41)$$

Для определения затрат на изготовление процессора используем известную формулу

$$S_{\text{п}} = a_2 + a_3 V_{\text{п}}, \quad (42)$$

где a_2, a_3 — коэффициенты аппроксимации. Скорость выполнения команд

$$V_{\text{п}} = P_{\text{в}} K_{\text{д}} / T_{\text{п}}, \quad (43)$$

где $T_{\text{п}}$ — время выполнения программы решения алгоритма в системе.

При использовании различных языков программирования, реализованных аппаратурно в ЭВМ, изменяются затраты на изготовление процессора. Эти изменения зависят от уровня языка программирования. На основании проведенного анализа примем, что изменения аппаратуры процессора линейно зависят от коэффициента изменения языка. При этом затраты на изготовление процессора

$$S_{\text{п}} = (a_2 + a_3 P_{\text{в}} K_{\text{д}} / T_{\text{п}}) (a_4 + a_5 K_{\text{я}}),$$

где a_4, a_5 — коэффициенты, определяющие влияние коэффициента изменения языка на затраты.

Учитывая определенную степень незнания в начале проектирования, обычно предусматривают запас скорости работы процессора. Затраты на изготовление перепишем в виде

$$S_{\text{п}} = [a_2 + a_3 P_{\text{в}} K_{\text{д}} (1 + \varepsilon_1) / T_{\text{п}}] (a_4 + a_5 K_{\text{я}}), \quad (44)$$

где ε_1 — доля запаса команд ($\varepsilon_1 = \varepsilon'_1$ при использовании транслятора, $\varepsilon_1 = \varepsilon''_1$ при прямой реализации языка).

Для оценки затрат на изготовление процессора при использовании транслятора необходимо учитывать изменение объема программы и соответственно скорости работы процессора. Скорость работы запишем в виде

$$V_{\text{п}}^T = P_{\text{в}} K_{\text{я}} K_{\text{д}} r_{\text{т}} / T_{\text{п}}$$

Однако запас скорости работы процессора с учетом разброса коэффициента расширения программы принимается значительно большим, чем для аппаратурной реализации программного языка. Запишем скорость работы процессора с учетом запаса:

$$V_{\text{п}}^T = \frac{P_{\text{в}} K_{\text{я}} K_{\text{д}} r_{\text{т}} (1 + \varepsilon'_1)}{T_{\text{п}}} \quad (45)$$

где ε'_1 — доля запаса команд для реализации скорости; ее в среднем принимают $\varepsilon'_1 = 0,8$.

На основании (42) и (45) уравнение для определения затрат на изготовление процессора при использовании транслятора

$$S_{\text{п}} = a_2 + \frac{P_{\text{в}} K_{\text{я}} K_{\text{д}} r_{\text{т}} (1 + \varepsilon'_1)}{T_{\text{п}}} a_3 \quad (46)$$

Затраты на изготовление резервирующей аппаратуры определяются требуемой надежностью ВС и характеристиками надежности устройств:

$$S_{\text{п}} = S_{3У}^k m_{\text{к}} + S_{3У}^o m_{\text{о}} + S_{\text{п}} m_{\text{п}} + s_{\text{п}} m_{\text{п}} \quad (47)$$

где $m_{\text{к}}$ — количество резервирующих устройств памяти команд; $m_{\text{о}}$ — количество резервирующих устройств памяти операндов; $m_{\text{п}}$ — количество резервирующих процессоров; $m_{\text{р}}$ — количество коммутирующей и управляющей аппаратуры резервирования; $s_{\text{п}}$ — затраты на единицу аппаратуры резервирования.

Для оценок объема затрат на аппаратуру управления резервированием примем

$$S_{\text{п}} m_{\text{п}} = S_{\text{п}} \beta_2, \quad (48)$$

где β_2 — коэффициент, учитывающий долю затрат на управление резервированием, $\beta_2 = 0,15 \dots 0,07$.

Таким образом, учитывая (47), затраты на резервирование запишем в виде

$$S_{\text{п}} = (S_{3У}^k m_{\text{к}} + S_{3У}^o m_{\text{о}} + S_{\text{п}} m_{\text{п}}) \frac{1}{1 - \beta_2} \quad (49)$$

Общие затраты на изготовление аппаратуры ВС получим, подставив значения (40), (46), (41), (44) и (49) в формулу (30). Уравнение напишем для двух вариантов применения языка программирования: а) при использовании транслятора, б) при прямой аппаратурной реализации. Получим

$$S'_{ан2} = P_{\text{в}} K_{\text{я}} r_{\text{т}} (1 + \varepsilon'_1) \left(1 + \frac{m_{\text{к}}}{\bar{\beta}_2} \right) a_1 + 2(Q_{\text{ив}} + Q_{\text{ио}}) (1 + \varepsilon_2) \times \\ \times \left(1 + \frac{m_{\text{о}}}{\bar{\beta}_2} \right) a_1 + \left[a_2 + \frac{P_{\text{в}} K_{\text{д}} K_{\text{я}} r_{\text{т}} (1 + \varepsilon'_1)}{T_{\text{п}}} a_3 \right] \left(1 + \frac{m_{\text{п}}}{\bar{\beta}_2} \right); \quad (50)$$

$$S''_{ан2} = P_{\text{в}} (1 + \varepsilon'_1) \left(1 + \frac{m_{\text{к}}}{\bar{\beta}_2} \right) a_1 + 2(Q_{\text{ив}} + Q_{\text{ио}}) (1 + \varepsilon_2) \times \\ \times \left(1 + \frac{m_{\text{о}}}{\bar{\beta}_2} \right) a_1 + \left[a_2 + \frac{P_{\text{в}} K_{\text{д}} (1 + \varepsilon'_1)}{T_{\text{п}}} a_3 \right] (a_4 + a_5 K_{\text{я}}) \left(1 + \frac{m_{\text{п}}}{\bar{\beta}_2} \right), \quad (51)$$

где

$$\bar{\beta}_2 = 1 - \beta_2 \quad (52)$$

Определим затраты на аппаратуру системы на этапе комплексных отладок и испытаний. Эти затраты разделим на две части. Первая часть затрат связана с трудом человека, вторая — с затратами на время работы аппаратуры. Труд человека на этом этапе используется для отладки связей устройств или частей ВС и их проверки, а также для обеспечения работоспособности аппаратуры ВС при проведении испытаний:

$$S''_{ан3} = \left(\sum_{i=1}^q d_i \right) C_0 + S_{ан2} T_{\text{п}} b_3 \quad (53)$$

где d_i — количество цепей в каждой i -й связи между двумя устройствами; q — количество связей в ВС; C_0 — усредненные затраты на отладку и проверку одной цепи, руб./цепь; b_3 — коэффициент, оценивающий усредненные затраты на обслуживание для обеспечения надежной работы в течение определенного времени (например, для 100 ч работы аппаратуры в среднем $b_3 = 0,05 \dots 0,005$); $T_{\text{п}}$ — время работы аппаратуры при проведении испытаний.

Для усредненного значения количества цепей в одной связи первый член уравнения (53) запишем в виде

$$q d_c C_0, \quad (54)$$

где d_c — усредненное количество цепей в одной связи.

Второй член уравнения оценивает затраты труда человека на эксплуатацию аппаратуры ВС в период испытаний. Эти затраты в самом начале создания системы оценим исходя из опытных данных как процент от затрат на изготовление аппаратуры ВС. Затраты $S''_{пр 3}$, связанные с временем работы аппаратуры при проведении испытаний, уже известны.

Таким образом, затраты на аппаратуру при проведении третьего этапа жизненного цикла системы

$$S_{ан3} = q d_c C_0 + S_{ан2} T_{\text{п}} b_3 \quad (55)$$

Как видим, эти затраты связаны с используемым языком программирования и способом его применения только через $S_{ан2}$.

Затраты на эксплуатацию аппаратуры ВС определяются рядом факторов: объемом аппаратуры, конструктивным оформлением и габаритными размерами, ее надежностью, потреблением энергии и длительностью работы. Следовательно, затраты на эксплуатацию аппаратуры в течение определенной единицы времени

$$S_{анэ} = [W(g_1 + g_2 + g_3) + A] t_{\text{п}}, \quad (56)$$

где W — объем аппаратуры вычислительной системы, дм^3 ; этот объем связан с конструктивным оформлением ВС, с количеством электронных схем и с потреблением электроэнергии; g_1 — затраты на электроэнергию, связанные с эксплуатацией ВС, руб./($\text{дм}^3 \cdot \text{вр}$); в эти затраты, кроме электроэнергии, потребляемой схемами ВС, входит электроэнергия, необходимая для охлаждения ВС; g_2 — затраты на ремонт единицы объема аппаратуры руб./($\text{дм}^3 \cdot \text{вр}$); в этих затратах учитываются затраты труда человека (ремонтных бригад) и затраты на сменяемые

элементы и узлы ВС; g_3 —затраты на обслуживание единицы объема аппаратуры руб/(дм³·вр); в эти затраты входит зарплата обслуживающего персонала, затраты на обеспечение условий обслуживания (площадь, занимаемая ВС, и др.); A — амортизационные отчисления; t_p — время работы ВС.

Определим объемы или габаритные размеры основных частей аппаратуры ВС. Для частей аппаратуры, построенных на единой конструктивно-технологической базе, можно принять объем прямо пропорциональным затратам на изготовление. Таким образом, для определения объема аппаратуры ВС необходимо разделить эту аппаратуру на конструктивно-технологические группы и оценить затраты на изготовление единицы объема каждой группы. В результате проведенного анализа выявилось, что вся аппаратура ВС делится на две части в том случае, если используются ЗУ, построенные на ферритах, трансформаторах, пленках и т. п. При построении ЗУ на полупроводниковых элементах ВС рассматривается как одно целое.

Для случая использования ферритовых ЗУ объем аппаратуры ВС

$$W = W_{3y} + W_{п}. \quad (57)$$

Значения составляющих будут :

$$W_{3y} = S_{3y}d_1; \quad (58)$$

$$W_{п} = (S_{п}+S_{p})d_2, \quad (59)$$

где d_1 и d_2 — коэффициенты, оценивающие затраты на единицу объема аппаратуры ЗУ и аппаратуры процессора и устройств резервирования соответственно, дм³/руб.

Подставим в формулы (58) и (59) значения из формулы (50) и после преобразований запишем

$$W_{3y} = \left[P_{в} K_{я} r_{т} (1 + \varepsilon'_1) \left(1 + \frac{m_k}{\beta_2} \right) + 2(Q_{ив} + Q_{ио}) (1 + \varepsilon_2) \times \left(1 + \frac{m_o}{\beta_2} \right) \right] a_1 d_1; \quad (60)$$

$$W_{п} = \left[a_2 + \frac{P_{в} K_{я} K_{д} r_{т} (1 + \varepsilon'_1)}{T_p} a_3 \right] \left(1 + \frac{m_{п}}{\beta_2} \right) d_2. \quad (61)$$

После подстановки в (57) и (56) и преобразований затраты на эксплуатацию аппаратуры системы в течение определенного времени при использовании транслятора запишем в виде

$$S'_{анэ} = \left[P_{в} K_{я} r_{т} (1 + \varepsilon'_1) \left(1 + \frac{m_k}{\beta_2} \right) + 2(Q_{ив} + Q_{ио}) (1 + \varepsilon_2) \times \left(1 + \frac{m_o}{\beta_2} \right) \right] a_1 \left(d_1 g_{\Sigma} + \frac{1}{T_a} \right) t_p + \left(a_2 + \frac{P_{в} K_{я} K_{д} r_{т} (1 + \varepsilon'_1)}{T_p} a_3 \right) \left(1 + \frac{m_{п}}{\beta_2} \right) \left(d_2 g_{\Sigma} + \frac{1}{T_a} \right) t_p, \quad (62)$$

где $g = g_1 + g_2 + g_3$; $A = 1/T_a$;

T_a — время амортизации аппаратуры.

Затраты на эксплуатацию аппаратуры системы при прямой аппаратурной реализации языка программирования с учетом формул (56)— (59) равны

$$S''_{анэ} = \left[P_{в} (1 + \varepsilon''_1) \left(1 + \frac{m_k}{\beta_k} \right) + 2(Q_{ив} + Q_{ио}) (1 + \varepsilon_2) \times \left(1 + \frac{m_o}{\beta_k} \right) \right] a_1 \left(d_1 g_{\Sigma} + \frac{1}{T_a} \right) t_p + \left(a_2 + \frac{P_{в} K_{д} (1 + \varepsilon''_1)}{T_p} a_3 \right) \times (a_4 + a_5 K_{я}) \left(1 + \frac{m_{п}}{\beta_2} \right) \left(d_2 g_{\Sigma} + \frac{1}{T_a} \right) t_p, \quad (63)$$

Для преобразования выведенных уравнений определим значения некоторых используемых коэффициентов. Коэффициент C_c — оценивает усредненные затраты на выполнение определенного количества команд на встроенной системной вычислительной машине. Учитывая, что известны затраты на эксплуатацию этой машины в зависимости от метода реализации языка высокого уровня, запишем:

при использовании транслятора

$$C'_c = \frac{S'_{\text{анэ}}}{P_{\text{в}} K_{\text{д}} K_{\text{я}} r_{\text{т}} t_{\text{п}}} = \frac{[W(g_1 + g_2 + g_3) + A] t_{\text{п}}}{P_{\text{в}} K_{\text{д}} K_{\text{я}} r_{\text{т}} t_{\text{п}}};$$

или, обозначив $W(g_1 + g_2 + g_3) + A = \overline{S'_{\text{анэ}}}$, получим

$$C'_c = \frac{\overline{S'_{\text{анэ}}}}{P_{\text{в}} K_{\text{д}} K_{\text{я}} r_{\text{т}}} \quad (64)$$

при прямой аппаратной реализации ЯВУ

$$C''_c = \frac{\overline{S'_{\text{анэ}}}}{P_{\text{в}} K_{\text{д}}} \quad (65)$$

Определим среднюю скорость выполнения команд встроенной системной вычислительной машиной для различных способов реализации ЯВУ. При использовании транслятора

$$V'_{\text{ксс}} = \frac{P_{\text{в}} K_{\text{д}} K_{\text{я}} r_{\text{т}} (1 + \varepsilon'_1)}{T_{\text{п}}} \quad (66)$$

при прямой аппаратной реализации ЯВУ

$$V''_{\text{ксс}} = \frac{P_{\text{в}} K_{\text{д}} (1 + \varepsilon''_1)}{T_{\text{п}}} \quad (67)$$

Количество команд или операторов в программе вычисления модуля алгоритма на выбранном языке программирования определяется формулой

$$P = \frac{3}{8} \mu_{\text{к}} Q_{\text{ив}} (K \log_2 Q_{\text{ив}} + 1), \quad (68)$$

$$\text{где } \mu_{\text{к}} = \frac{\alpha + 1}{\alpha} x; \quad x = \frac{\mu \log_2 (1 + \alpha)}{\log_2 \frac{1 + \alpha}{\alpha} + 2 \log_2 x};$$

α — коэффициент, определяющий соотношение операторов и операндов для различных языков программирования; μ — параметр, оценивающий элементность языка программирования; чем больше показатель элементности μ , тем ниже уровень языка программирования; K — коэффициент, оценивающий связь между входными и выходными операндами и операторами.

Коэффициент изменения языка программирования представляется отношением объема программ одного языка программирования к объему программ другого языка. Для одного модуля алгоритма коэффициент будет:

$$K_{\text{я}} = P_{\text{я н}} / P_{\text{я в}} = \mu_{\text{кн}} / \mu_{\text{кв}} \quad (69)$$

где $P_{\text{я н}}$, $P_{\text{я в}}$ — соответственно объемы программ, записанных на языках низкого и высокого уровней; $\mu_{\text{кн}}$, $\mu_{\text{кв}}$ — соответственно характеристики языков низкого и высокого уровней.

Выявим функциональную связь между объемом программы, записанной на языке программирования, и программой, которая реально выполняется цифровой вычислительной машиной, работающей на этом языке. Отношение объема команд-инструкций реально выполняемой программы алгоритма к объему команд-инструкций записанной программы получило название «динамический программный коэффициент». Запишем его в виде

$$K_{\text{д}} = Q_{\text{п}} / Q_{\text{к}} = \sum_{i=1}^k Q_{kj} n_j / \sum_{i=1}^k Q_{kj} \quad (70)$$

Как известно, программа вычисления алгоритма, реально выполняющаяся на ЭВМ, всегда больше программы, написанной на бумаге; в крайнем случае они могут быть одинаковыми.

Это увеличение вызвано компактностью записи циклов работы программы. Появление циклов в программе связано с алгоритмами решаемых задач, а именно, использованием переадресации, итерационных циклов вычислений и вычислений по рекуррентным формулам. Размер цикла определяется количеством команд или операторов между командами или операторами условного перехода или цикла. Число выполняемых циклов определяется либо характером алгоритма, либо задается заранее (оператор DO).

Для определения динамического программного коэффициента используем статистический показатель, который представляет собой среднее число команд записанной программы между двумя условными переходами реально выполняемой программы. Запишем

$$\bar{Q}_{cy} = Q_k / \sum_{j=1}^k n_j \quad (71)$$

Здесь Q_k — объем записанной программы вычисления алгоритма:

$$Q_k = \sum_{j=1}^k Q_{kj}$$

Q_{kj} — объем записанной программы, т. е. количество команд-инструкций или операторов (в зависимости от используемого языка программирования) между командами или операторами условного перехода; k — число команд или операторов условного перехода в написанной программе; n_j — число выполняемых циклов у каждого оператора условного перехода.

Объем реально выполняемой программы вычисления алгоритма

$$Q_p = \sum_{j=1}^k Q_{kj} n_j \quad (72)$$

Для каждой группы алгоритмов всегда известно среднее число команд написанной программы между двумя операторами условного перехода:

$$Q_y = Q_k / k. \quad (73)$$

После подстановки значений и преобразований получим

$$K_d = Q_y / \bar{Q}_{cy} \quad (74)$$

Представленная формула динамического программного коэффициента показывает его связь со статистическими характеристиками программ.

На основании проведенного исследования¹ было установлено, что количество ошибок зависит главным образом от длины программы:

$$n_{\text{ош}} = \frac{V}{B} = \frac{3/8 \log_2 (K_2 \log_2 Q_{\text{но}} + Q_{\text{но}})}{B}, \quad (75)$$

где B — коэффициент, определяемый экспериментально, B — 3000; K_2 — коэффициент, зависящий от используемого языка программирования и алгоритма.

После подстановки в уравнения коэффициентов и проведения преобразований запишем полученные уравнения в таблицу. Уравнения, приведенные в таблице, дают возможность оценивать объемы затрат на каждом этапе создания ВС в функции от основных параметров языка программирования, характеристик алгоритмов и способа использования языка программирования. Сравнивая затраты, можно выбрать рациональное решение по созданию ВС.

По выведенным формулам определяются величины затрат для следующих вариантов структуры ВС:

- 1) с использованием языка высокого уровня с транслятором и с прямой аппаратной реализацией этого языка;
- 2) с использованием различных языков программирования, имеющих свои трансляторы;
- 3) с использованием различных языков программирования с прямой аппаратной реализацией этих языков.

Эти варианты охватывают основные принципиальные решения, связанные с выбором языка

¹ Холстед М. Х. Начало науки о программах. — М.: Финансы и статистика, 1981.—128 с.

Этапы жизненного цикла		Выражения
$S_{\text{пр}2}$	$S'_{\text{пр}2}$	$P_{\text{В}}C_{\text{П}} + C_{\text{М}}l_{\text{T}}P_{\text{В}}(1 + n_{\text{ош}}) + \left[2 + n_{\text{ош}} \frac{T_{\text{срс}}}{T_{\text{р}}} (1 + \varepsilon_1') \right] \times \bar{S}'_{\text{ап} \varepsilon} + n_{\text{ош}} y T_{\text{ср}} y V_{\text{к}} y C_{\text{М}}$
	$S''_{\text{пр}2}$	$P_{\text{В}}C_{\text{П}} + \left[1 + n_{\text{ош}} + n_{\text{ош}} \frac{T_{\text{срс}}}{T_{\text{р}}} (1 + \varepsilon_1'') \right] \times \bar{S}''_{\text{ап} \varepsilon}$
$S_{\text{пр}3}$	$S'_{\text{пр}3}$	$K_2 m C_4 + \left[2,3b_2 + n_{\text{ош}k} + n_{\text{ош}k} \frac{T_{\text{срс}}}{T_{\text{р}}} (1 + \varepsilon_1') \right] \times \beta_3 \bar{S}'_{\text{ап} \varepsilon} + n_{\text{ош}k} C_{\text{М}} l_{\text{T}} P_{\text{В}}$
	$S''_{\text{пр}3}$	$K_2 m C_4 + \left[2,3b_2 + n_{\text{ош}k} + n_{\text{ош}k} \frac{T_{\text{срс}}}{T_{\text{р}}} (1 + \varepsilon_1'') \right] \times \beta_2 \bar{S}''_{\text{ап} \varepsilon}$
$S_{\text{пр} \varepsilon}$		$(S_{\text{пр}2} + S_{\text{пр}3}) \beta_1$
$S_{\text{ап}2}$	$S'_{\text{ап}2}$	$P_{\text{В}} K_{\text{я}} r_{\text{T}} \bar{A}_1 (1 + \varepsilon_1') + (Q_{\text{ив}} + Q_{\text{ио}}) \bar{A}_2 + \bar{a}'_2 + \frac{K_{\text{я}} K_{\text{д}} r_{\text{T}} P_{\text{В}} (1 + \varepsilon_1')}{T_{\text{р}}} \bar{a}'_3$
	$S''_{\text{ап}2}$	$P_{\text{В}} \bar{A}_1 (1 + \varepsilon_1'') + (Q_{\text{ив}} + Q_{\text{ио}}) \bar{A}_2 + \left[\bar{a}'_2 + \frac{K_{\text{д}} P_{\text{я}} (1 + \varepsilon_1'')}{T_{\text{р}}} \bar{a}'_3 \right] (a_4 + a_5 K_{\text{я}})$
$S_{\text{ап}3}$	$S'_{\text{ап}3}$	$q d_0 C_0 + S'_{\text{ап}2} T_{\text{п}} b_3$
	$S''_{\text{ап}3}$	$q d_0 C_0 + S''_{\text{ап}2} T_{\text{п}} b_3$
$S_{\text{ап} \varepsilon}$	$S'_{\text{ап} \varepsilon}$	$P_{\text{В}} K_{\text{я}} r_{\text{T}} A_1 (1 + \varepsilon_1') + (Q_{\text{ив}} + Q_{\text{ио}}) A_2 + \bar{a}_2 + \frac{K_{\text{я}} K_{\text{д}} r_{\text{T}} P_{\text{В}} (1 + \varepsilon_1')}{T_{\text{р}}} \bar{a}_3$
	$S''_{\text{ап} \varepsilon}$	$P_{\text{В}} A_1 (1 + \varepsilon_1'') + (Q_{\text{ив}} + Q_{\text{ио}}) A_2 + \left[\bar{a}_2 + \frac{K_{\text{д}} P_{\text{В}} (1 + \varepsilon_1'')}{T_{\text{р}}} \bar{a}_3 \right] (a_4 + a_5 K_{\text{я}})$

Обозначения:

$$\begin{aligned} \bar{A}_1 &= \left(1 + \frac{m_{\text{k}}}{\beta_2} \right) a_1; & A_1 &= \bar{A}_1 \left(d_1 g_{\Sigma} + \frac{1}{T_{\text{а}}} \right) t_{\text{р}}; \\ \bar{A}_2 &= (1 + \varepsilon_2) \left(1 + \frac{m_0}{\beta_2} \right) a_1; & A_2 &= \bar{A}_2 \left(d_1 g_{\Sigma} + \frac{1}{T_{\text{а}}} \right) t_{\text{р}}; \\ \bar{a}'_2 &= \left(1 + \frac{m_{\text{п}}}{\beta_2} \right) a_2; & \bar{a}_2 &= \bar{a}'_2 \left(d_2 g_{\Sigma} + \frac{1}{T_{\text{а}}} \right) t_{\text{р}}; \\ \bar{a}'_3 &= \left(1 + \frac{m_{\text{п}}}{\beta_2} \right) a_3; & \bar{a}_3 &= \bar{a}'_3 \left(d_2 g_{\Sigma} + \frac{1}{T_{\text{а}}} \right) t_{\text{р}} \end{aligned}$$

программирования и способом его использования.

Для выбора рационального языка программирования ВС и способа его использования необходимо провести сравнение затрат на всех этапах цикла жизни системы. Для этого разделим все затраты на две группы: капитальные и текущие.

Капитальные затраты на ВС состоят из затрат на проектирование ПО и аппаратуры, а также на их изготовление и отладку:

$$K = S_{\text{пр}2} + S_{\text{пр}3} + S_{\text{ап}2} + S_{\text{ап}3}.$$

Текущие затраты на ВС определяются затратами на эксплуатацию аппаратуры и ПО и состоят из

$$C = S_{\text{пр} \varepsilon} + S_{\text{ап} \varepsilon}.$$

Для оценки народнохозяйственного эффекта и выбора способа применения языка высокого уровня необходимо пользоваться известными экономическими методами, учитывающими динамику изменения затрат во времени и соответствующие коэффициенты приведения, так как

создание системы и период ее эксплуатации являются весьма длительными. Создание ВС с ПО требует от 2 до 6 лет в зависимости от принимаемых конструкторско-технологических решений и объема программного обеспечения. Период эксплуатации ВС оценивается 15...20 годами и в значительной мере определяется фактором морального старения аппаратуры.

Расчеты, проведенные по изложенной методике с целью сравнения затрат при использовании языка высокого уровня (типа Фортран) с прямой реализацией в аппаратуре и с применением транслятора, показали, что при числе команд в программе более 20 ... 30 тыс. и использовании неоптимизирующего транслятора прямая аппаратурная реализация ЯВУ дает значительные преимущества, которые возрастают с увеличением количества команд. При использовании оптимизирующего транслятора граница выигрыша при аппаратурной реализации повышается до 30... 40 тыс. команд. Полученные цифры являются оценочными и могут различаться затратами на этапах создания систем.

УДК 681.3

Л. Н. ИЛЬИН, Н. М. ШАРУНЕНКО

СИСТЕМА КОМПЛЕКСНОГО ЦЕНТРАЛИЗОВАННОГО ОБСЛУЖИВАНИЯ СРЕДСТВ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

Постоянно возрастает роль машинной обработки информации и управления процессами — важной отрасли народного хозяйства, определяющей научно-технический прогресс. В стране создана индустрия современных средств вычислительной техники (СВТ); для обработки информации уже имеется многотысячный парк ЭВМ, который ежегодно пополняется новыми техническими и программными средствами. В настоящее время затраты, требуемые на эксплуатацию СВТ, значительно превышают затраты на разработку и производство новых СВТ.

Повышение эффективности работы существующего парка ЭВМ — важнейшая народнохозяйственная задача. Для решения ее в СССР и странах социалистического содружества — участницах соглашения по совместному развитию вычислительной техники — были созданы национальные организации технического обслуживания, призванные выполнять комплексное централизованное обслуживание (КЦО) СВТ. С целью развития и совершенствования системы КЦО СВТ осуществляется взаимодействие по главным вопросам КЦО СВТ между национальными сервисными организациями стран социалистического содружества.

В СССР при министерствах, разрабатывающих и производящих ЭВМ, образованы сервисные организации по обслуживанию СВТ. Эти организации представляют собой региональную сеть предприятий, осуществляющих КЦО СВТ по всей территории страны. Главная цель системы КЦО СВТ — обеспечение необходимых условий для эффективного использования СВТ во всех отраслях народного хозяйства [1,2].

В процессе КЦО сервисные организации осуществляют установку и наладку ЭВМ у пользователей, ввод ЭВМ в эксплуатацию, гарантийное, послегарантийное техническое обслуживание и ремонт СВТ. Сервисные организации ответственны за оперативный выпуск в нужном количестве и распространение новых версий операционных систем, прикладных программ общего назначения, а также эксплуатационной, технической и учебной документации к СВТ. В функции системы КЦО входит также проектирование размещения СВТ и типовое внутреннее оформление машинных залов вычислительных центров (ВЦ). Значительную работу проводят сервисные организации по подготовке и переподготовке специалистов по СВТ; ежегодно проводится подготовка более 20 тыс. человек по сотням специальностей.

Система КЦО ЕС ЭВМ, автоматизированных рабочих мест (АРМ) на основе ЕС и СМ ЭВМ построена по территориально-иерархическому принципу и включает производственные объединения, состоящие из региональных центров обслуживания СВТ и научно-производственного объединения с учебными, научно-исследовательскими центрами,

экспериментальными и производственными базами. В рамках производственных объединений централизовано предоставление услуг по техническим средствам и программному обеспечению пользователям СВТ, а также по технологической подготовке КЦО новых СВТ. Научно-исследовательские и учебно-научные организации выполняют исследования и разработки, направленные на совершенствование и развитие системы КЦО, фондирование и производство программных изделий, проектирование ВЦ, а также подготовку и переподготовку специалистов по СВТ [3]. В зависимости от экономической и технической целесообразности, потребностей пользователей в СВТ и возможностей предприятий системы КЦО обслуживание организовано на основе хозяйственных договоров по различным категориям.

Практика функционирования системы КЦО ЕС ЭВМ и АРМ полностью подтвердила целесообразность ее создания. В настоящее время системой охвачено более 60 % парка ЕС ЭВМ, созданы фонды алгоритмов и программ и соответствующие производства, обеспечивающие все ВЦ (оборудованные ЕС ЭВМ) операционными системами и частично пакетами прикладных программ общего назначения, расширяющими возможности операционных систем. Учебные центры системы

КЦО практически полностью удовлетворяют потребности народного хозяйства в подготовке и переподготовке специалистов. Все это, и в первую очередь подготовка специалистов, а также обеспечение операционными системами последних версий позволило повысить эффективность использования ресурсов ЕС ЭВМ за последние годы на 30 ... 40 %. В результате централизации выполнения работ по техническому обслуживанию и ремонту технических средств, производству и сопровождению программного обеспечения дефицит специалистов по СВТ стал менее острым. Упорядочены обеспечение пользователей запасными частями (ЗИП) и централизованный ремонт восстанавливаемой части ЗИП на ремонтно-восстановительных предприятиях системы КЦО.

Парк СВТ, состоящий на КЦО, за XI пятилетку увеличился в 2,5 раза, с 1977 г. — в 10 раз (рис. 1). Поставка программных средств за последние четыре года увеличилась более чем в 3 раза, хотя потребности в услугах этого вида со стороны системы КЦО удовлетворяются пока не полностью. Число подготовленных в центрах обучения КЦО специалистов также возросло: по программным средствам в 2,4 раза, по техническим средствам в 2 раза, по организации вычислительных работ и операторов ЭВМ в 5 раз. Эффективность использования вычислительных установок ЕС ЭВМ, в которых произведена оптимизация конфигураторов под задачи пользователя для реализации интенсивных режимов, в несколько раз выше, чем ЭВМ с поставляемым стандартным конфигурактором. На вычислительных центрах, где проведена такая работа, адаптировано в среднем в 2 раза больше пакетов прикладных программ и надежность работы на установке повышается.

Следует ожидать, что развитие системы КЦО будет способствовать значительной интенсификации режимов

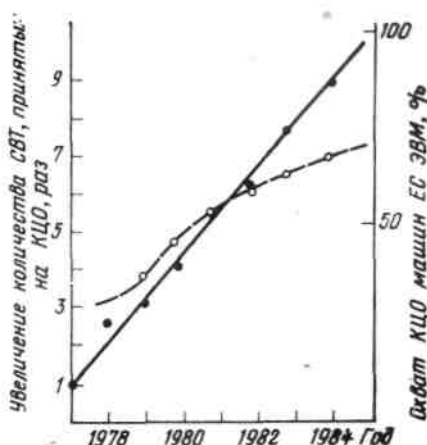


Рис. 1. Динамика развития системы КЦО СВТ:
— количество СВТ, принятых на КЦО; — — — охват ЕС ЭВМ КЦО

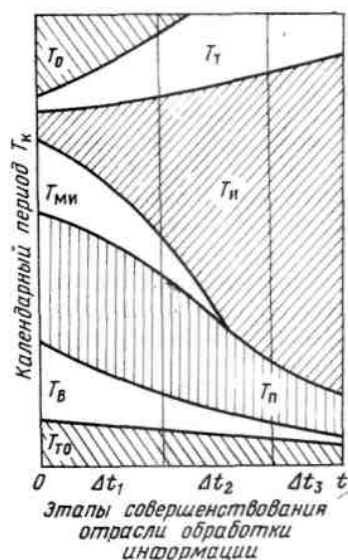


Рис. 2. Тенденция изменения режимов использования СВТ:

T_5 — интенсивные режимы работы; T_4 — отладка программ; T_3 — малоинтенсивные режимы работы; T_2 — техобслуживание; T_1 — восстановление СВТ после отказов; T_0 — тестирование (резервное время); T_0 — непланируемое время (например, простой из-за отсутствия задач)

работ СВТ (рис. 2), особенно при переходе к такой организации вычислительных работ, когда пользователь будет арендовать машинное время или по его заявкам будут выполняться заказы

на решение задач. При такой организации КЦО использование вычислительных ресурсов централизуется, а работы по программированию задач пользователей координируются. По мере внедрения на ВЦ типового прикладного программного обеспечения, накопленного в фондах алгоритмов и программ, должна значительно уменьшиться доля расходов машинного времени на отладку программ.

Для дальнейшего развития системы КЦО СВТ, достижения главной цели ее функционирования — повышения эффективности использования СВТ — необходимо осуществить ряд организационно-технических мероприятий. Крайне актуальна задача оптимального распределения и расходования средств, выделяемых на использование СВТ, в том числе на развитие программных средств и технологии обработки информации, расширение конфигураций ЭВМ. Экономический эффект, который может быть получен при этом, составит сотни миллионов рублей в год, так как улучшение технологии работ на вычислительной установке распространяется через систему КЦО на многие тысячи установок, применяемых в сфере обработки информации.

В области проектирования и производства новых СВТ необходимо:

1) создать и внедрить средства общения с ЭВМ, максимально приближенные к естественным, в частности средства восприятия типографского, машинописного и рукописного текстов, а также информации, передаваемой голосом, доступные и надежные средства телеобработки информации, специальные средства дистанционного контроля и диагностики СВТ, что создаст условия для дальнейшей индустриализации предоставления услуг по КЦО СВТ;

2) повышение на один-два порядка надежности технических средств и в таком же соотношении снижение трудоемкости технического обслуживания и ремонта, что позволит сократить потребности в трудовых ресурсах на единицу СВТ. Кроме того, при высокой надежности СВТ повышается экономическая целесообразность централизации обслуживания и эффективность использования СВТ и, наоборот, обслуживание в системе КЦО недостаточно надежных СВТ фактически нецелесообразно, так как они требуют индивидуального дорогостоящего обслуживания.

В сфере ввода в эксплуатацию, технического обслуживания и ремонта технических средств намечается дальнейшая индустриализация и автоматизация выполнения этих работ. Для этого разрабатываются и осваиваются в серийном производстве специализированные и универсальные средства диагностики и контроля СВТ; портативные в виде наборов активных высокочастотных пробников для поиска неисправностей в любом месте цифровой схемы без ее демонтажа; малогабаритные анализаторы логических состояний и временных диаграмм; программируемые модульные многоканальные анализирующие системы с быстродействием в сотни мегагерц, глубиной памяти на один канал 256 ... 1024 бит и более, управляемые от встроенных микроЭВМ или персональных ЭВМ. Предприятия КЦО оснащаются также производительными программируемыми тестерами, системами и станциями для контроля логических и специальных ТЭЗов всех видов, блоков и устройств СВТ. Перечисленные контрольно-диагностические средства могут использоваться как в ВЦ на этапах ввода и технического обслуживания СВТ, так и на ремонтно-восстановительных производствах в системе КЦО. Ведутся также работы по совершенствованию системы обеспечения ЗИП: создаются статистически обоснованные нормативы для определения номенклатуры и объемов ЗИП, иерархической системы складирования ЗИП, нормативы оборотных средств, соответствующих потребностям системы КЦО СВТ.

Совершенствование методов и технологии КЦО позволит значительно снизить трудозатраты на техническое обслуживание и ремонт СВТ. До настоящего времени сроки обслуживания СВТ определялись исходя из календарных плановых сроков их профилактики и предупредительных ремонтов. Начат переход на КЦО «по состоянию СВТ», когда сроки обслуживания определяются не календарным временем эксплуатации СВТ, а прогнозируемым состоянием СВТ. Прогноз состояния выполняется на основании измерений параметров текущего состояния СВТ, таких, как время активной работы средств, число сбоев устройств и т. д.

Существенно повысить эффективность и качество КЦО СВТ можно, лишь уменьшив трудоемкость вспомогательных операций (перемещение специалистов и бригад в регионах,

доставка ЗИП и т. п.), а также автоматизировав средства обслуживания и системы диагностики СВТ всех уровней.

Наличие специально разработанных технических и программных диагностических средств позволит перейти к телеобслуживанию СВТ— обслуживанию на расстоянии с помощью региональных автоматизированных информационно-справочных систем, включая теледиагностику, телесправочные услуги и телесигнализацию. При этом обязательно должна быть решена задача использования доступных коммутируемых каналов связи. Организация системы дистанционной диагностики и обслуживания требует создания как специальных внутримашинных средств (приемопередатчики диагностических данных, сервисные процессоры с соответствующим операционным и тестовым программным обеспечением и др.), так и немашинных (тандемные логические анализаторы, сервисные интеллектуальные терминалы для диагностических центров и др.). Телеобслуживание в системе КЦО предусматривает создание региональной сети консультационно-диагностических центров, оснащенных соответствующими базами данных о состоянии, надежности СВТ, наличии ЗИП,

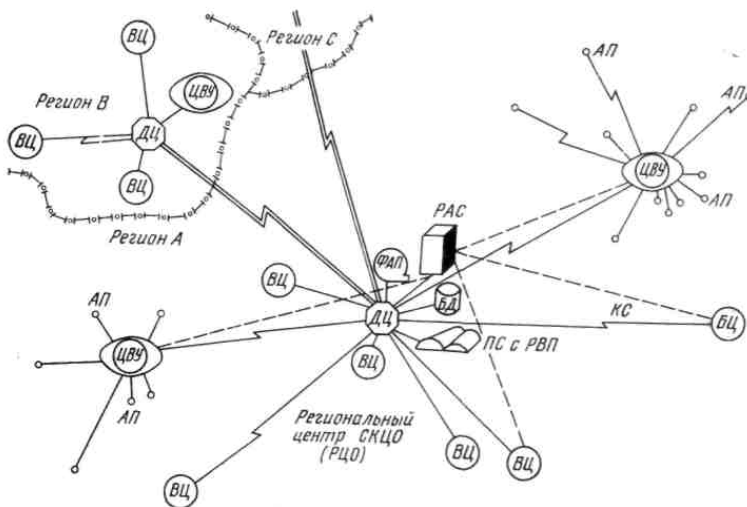


Рис. 3. Фрагмент структуры системы КЦО с телеобслуживанием: ДЦ - диагностический центр; ВЦ — вычислительный центр; ФАП — фонд алгоритмов программ; БД — база данных; РАС — региональный автоматизированный склад ЗИП; ПС с РВП — полигон-склад СВТ с ремонтно-восстановительным производством; ЦВУ — центр вычислительных услуг; АП — абонентский пункт; КС — канал связи

позволит эффективно эксплуатировать новые СВТ. Фрагмент структуры региональной системы КЦО СВТ показан на рис. 3.

Наибольшее развитие должно получить программное обеспечение системы КЦО. Развитие подсистемы программных средств должно одновременно вестись по нескольким направлениям. Одно из них — совершенствование технологии разработки программных средств как программного продукта. Значительное снижение трудоемкости разработки программных средств может быть получено за счет разработки промышленной технологии многократного применения программных модулей из соответствующих фондов типовых модулей и программ. Дальнейшему повышению производительности труда программистов будет способствовать комплексное внедрение мероприятий по широкому использованию системы виртуальных ЭВМ, средств автоматизации, современных методов и технологий разработок, опыта лучших программистов при подготовке программистов со строгим учетом их способностей и при улучшении условий труда и т. д.

До настоящего времени при разработке программных средств, в том числе и пакетов прикладных программ, используются различные языки программирования. Такое положение затрудняет контроль и диагностику программных средств, их освоение для эксплуатации и сопровождение, а также завышает требования к профессиональной подготовке специалистов, сопровождающих и эксплуатирующих программные изделия. Для решения этой проблемы необходимо стандартизировать применение языков программирования, в первую очередь при разработке пакетов прикладных программ различного назначения. Все еще велика доля

профилактических и ремонтных плановых операций, баз данных диагностического опыта по техническим и программным средствам, каталогов неисправностей и т. д. Дистанционное обслуживание позволит большинство отказов и сбоев СВТ устранять на местах и обойтись без выезда туда высококвалифицированных специалистов-аналитиков, так как с доставкой ЗИП и ремонтом СВТ, в основном методом замены элемента (блока), может справиться менее квалифицированный персонал. Только сочетание методов и средств глубокой самодиагностики (самотестирования) СВТ и дистанционной диагностики

собственных разработок программных средств пользователей по сравнению с разработками и использованием в программных системах типовых пакетов прикладных программ. Это приводит к дублированию, увеличению сроков разработки и стоимости программных систем. Чтобы устранить дублирование, повысить темпы роста наполнения фондов алгоритмов и программ, необходимо координирование усилий разработчиков программных средств единым центром.

Серьезной проблемой является повышение качества программного обеспечения СВТ. Целесообразно создание системы управления качеством программных средств в процессе их разработки на основе стандартов, организации государственного контроля и оценки качества создаваемого разработчиками программного изделия, организации государственных приемочных испытаний. Необходимо материально заинтересовать организации и программистов в фондировании созданных ими программных средств.

Весьма важным является совершенствование технологической подготовки ВЦ, включающей комплекс работ по проектированию интерьера и технологического оборудования ВЦ, размещению СВТ в помещениях ВЦ, изготовлению, поставке и монтажу технологического оборудования, разработке и внедрению технологии обработки данных. Выполнение всех этих работ обеспечит повышение качества подготовки к эксплуатации ВЦ, а также соответствие условий эксплуатации требованиям технических условий на СВТ.

Для дальнейшего повышения эффективности использования СВТ в народном хозяйстве необходима централизация управления вычислительными ресурсами и внедрение перспективных видов услуг; предоставление пользователям машинного времени, обеспечение необходимыми базовыми программными средствами, решение на предприятиях системы КЦО задач по заявкам пользователей. Для реализации такого обслуживания проводятся работы по созданию технологии обработки информации в так называемых центрах вычислительных услуг, принадлежащих системе КЦО. По мере накопления положительного опыта предполагается в рамках системы КЦО создать сеть центров вычислительных услуг, оснащенную необходимыми универсальными и специализированными программными средствами, в которой может быть реализована как локальная, так и дистанционная обработка информации для пользователей.

В перспективе централизация вычислительных работ с помощью мощных СВТ общего назначения и проблемно-ориентированных систем при привязке их к системе КЦО в виде ЦВУ должна гармонично сочетаться с децентрализацией обработки информации при приближении СВТ к пользователям посредством массового внедрения персональных и персонально-профессиональных ЭВМ.

Организация эффективного технического обслуживания и программного сервиса этого вида СВТ требует качественно нового подхода к проблемам обеспечения надежности персональных ЭВМ при их производстве и создание специализированных объединений, осуществляющих разработку и внедрение наборов программных средств вместе с персональными ЭВМ у пользователей.

В ближайшее время весьма актуальными задачами по развитию системы КЦО СВТ являются следующие:

1. Разработка, апробация и внедрение интеллектуальных вычислительных услуг пользователям, не имеющим достаточного опыта и ресурсов для проведения собственных вычислительных работ.

2. Освоение таких видов посреднических услуг, как предоставление «излишков» машинного времени, имеющихся у одних пользователей, другим, нуждающимся в вычислительных работах.

3. Объединение сервисных организаций, принадлежащих разным министерствам, в единые центры по обслуживанию различных СВТ, подготовка специалистов в единых научно-учебных центрах, что безусловно повысит качество подготовки и позволит снизить затраты по этому важнейшему виду услуг пользователям со стороны системы КЦО СВТ.

4. Расширение и углубление подготовки специалистов по программным средствам, в особенности по прикладным.

5. Наделение сервисных организаций системы КЦО СВТ большими материальными и юридическими правами во взаимодействии как с пользователями, так и с заводами-

изготовителями СВТ. Это позволит, с одной стороны, повысить требовательность к пользователям в части целесообразности использования и нагрузки СВТ, условий их эксплуатации, а с другой,— положительно повлиять на качество и надежность изготавливаемых СВТ. На решение затронутой проблемы позитивное влияние оказало бы устранение ведомственности при организации сервиса СВТ различного типа в масштабе отрасли обработки информации.

Следует отметить, что проблему эффективного использования СВТ в народном хозяйстве можно решить только при наличии развитой системы КЦО СВТ, обязательно обладающей достаточной материально-технической базой. Этого можно достичь в том числе перераспределением ресурсов, выделяемых на вычислительную технику в целом. Необходимо значительно увеличить мощности системы КЦО, так как в последние годы центр тяжести проблем по машинной обработке информации смещается в сторону оптимизации использования СВТ в народном хозяйстве. Такое решение позволит не только повысить эффективность использования СВТ, но и высвободить из сферы эксплуатации значительное число квалифицированных специалистов. По мере внедрения типовых прикладных программных средств на ВЦ через систему КЦО должна значительно уменьшиться доля расходов машинного времени для отладки программ.

Дальнейшее развитие системы КЦО требует продолжения ряда прикладных исследований и решения организационно-правовых вопросов по взаимодействию системы КЦО с производителями и пользователями СВТ.

Успешное решение задач по развитию и совершенствованию системы КЦО СВТ в значительной мере будет способствовать повышению эффективности использования СВТ во всех отраслях народного хозяйства страны.

СПИСОК ЛИТЕРАТУРЫ

1. **Горшков Н.В.** Сотрудничество в областях комплексного обслуживания средств вычислительной техники // Вычислительная техника социалистических стран.— М.: Финансы и статистика, 1982.— Вып. 12.— С. 3—8.
2. **Ильин Л.Н., Шаруненко Н.М.** Тенденции развития системы комплексного централизованного обслуживания и использования средств вычислительной техники // Вычислительная техника социалистических стран.— М.: Финансы и статистика. 1984.— Вып. 16.— С. 139—145.
3. **Ильин Л.Н., Шаруненко Н.М.** Задачи НИОКР в интересах развития комплексного централизованного обслуживания и использования средств вычислительной техники // Вопросы радиоэлектроники. Сер. ЭВТ.— 1983. — Вып. 14. — С. 3—16.

II. ТЕХНИЧЕСКАЯ БАЗА ЭВМ

УДК 621.3.049.77

Б. Н. ФАЙЗУЛАЕВ

ТЕОРИЯ МАТРИЧНЫХ БИС И СБИС ЭВМ

Быстрое развитие технологии БИС и переход к СБИС открывает широкие возможности совершенствования ЭВМ. В то же время с появлением БИС и СБИС возникли новые проблемы, связанные с проектированием и изготовлением большой номенклатуры сложных функциональных схем ЭВМ на полупроводниковых кристаллах [1,2]. Наиболее успешно эти проблемы решаются на основе использования базового матричного кристалла, который представляет собой матрицу нескоммутированных компонентов (или вентиляей), регулярно расположенных на кристалле.

Базовые матричные кристаллы обеспечивают значительное сокращение сроков разработки заказных интегральных микросхем высокой степени интеграции. Непрерывное совершенствование технологии и схемотехники элементов базового матричного кристалла, а также методов и средств автоматизированного проектирования БИС на их основе будет способствовать все более широкому и быстрому внедрению достижений микроэлектроники в высокопроизводительные вычислительные машины и системы.

В условиях быстрого развития микроэлектронной технологии, различных схемотехнологических направлений, а также высокой сложности и трудоемкости опытно-конструкторских работ особенно остро ощущается необходимость опережающего развития теории построения элементной базы ЭВМ, повышается практическая значимость научного прогноза.

В данной работе делается попытка систематизированного изложения основных закономерностей построения матричных БИС и СБИС ЭВМ, учитывающих как фундаментальные свойства самих элементов, так и особенности построения логических схем быстродействующих ЭВМ.

ТЕОРЕМА 1 (об асимптотическом сигнале). *В цепи последовательно включенных логических элементов БИС формируется асимптотический сигнал $U_a(t)$, параметры которого определяются нелинейной передаточной характеристикой $U_{\text{ВЫХ}} = f(U_{\text{ВХ}})$ и переходной характеристикой переключения $h(t)$ логического элемента.*

Пусть логический элемент (ЛЭ) цепи имеет нелинейную передаточную характеристику (рис. 1, а) и переходную характеристику в активном режиме (рис. 1, б). Точки А и В на передаточной характеристике

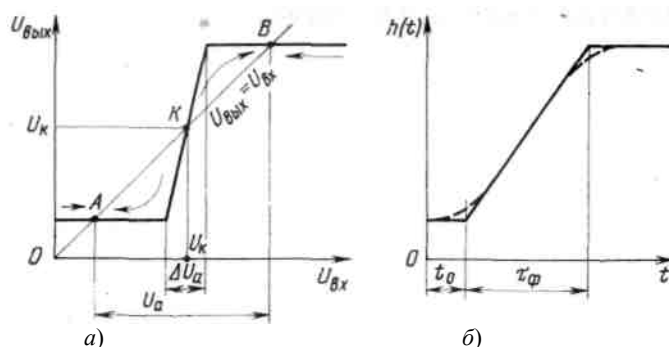


Рис. 1. Передаточная (а) и переходная (б) характеристики ЛЭ

определяют нижний и верхний уровень и амплитуду асимптотического сигнала¹,

¹ Понятие асимптотического сигнала впервые введено и исследовано В. К. Левиным. Более общий случай формирования асимптотического сигнала рассмотрен в работе [3].

устанавливающегося в цепи ЛЭ, точка K соответствует порогу квантования сигналов.

Асимптотический фронт сигнала определяется временем установления фронта τ_ϕ переходной характеристики ЛЭ в активном режиме $h(t)$ и коэффициентом нелинейности передаточной характеристики $K_{нл} = U_a/\Delta U_a$. Учитывая, что входной сигнал активно воздействует на ЛЭ лишь в зоне переключения ΔU_a (рис. 2), и используя закон суммирования дисперсии переходных процессов, можно получить оценку длительности фронта $\tau_{\phi а}$ асимптотического сигнала

$$\tau_{\phi а} = \frac{\tau_\phi}{\sqrt{1 - (1/K_{нл})^2}}. \quad (1)$$

При достаточно большой нелинейности передаточной характеристики ($K_{нл} \gg 1$) длительность фронта асимптотического сигнала близка к времени установления переходной характеристики $h(t)$:

$$\tau_{\phi а} \approx \tau_\phi \quad (2)$$

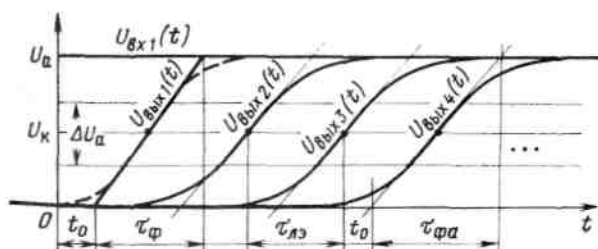


Рис. 2. Формирование асимптотического фронта и задержки сигнала в цепи ЛЭ

и соответственно асимптотическая задержка переключения ЛЭ

$$\tau_{лэ} \approx 0,5\tau_\phi + t_0, \quad (3)$$

где t_0 — начальная задержка переходной характеристики $h(t)$.

Таким образом, асимптотический сигнал в цепи ЛЭ, определяемый характеристиками одиночных ЛЭ, позволяет судить о параметрах сложных логических схем ЭВМ (быстродействию, помехоустойчивости).

ТЕОРЕМА 2 (о быстродействии логических элементов). *Задержка переключения логических элементов БИС и СБИС $\tau_{лэ}$ обратно пропорциональна удельной мощности $q_{лэ} = P_{лэ}/S_{лэ}$ и прямо пропорциональна коэффициенту потерь мощности K_p и квадрату амплитуды сигнала:*

$$\tau_{лэ} \sim K_p U_a^2 / q_{лэ}. \quad (4)$$

В общем случае задержка переключения ЛЭ складывается из среднего времени переключения транзистора и емкостной нагрузки. Для БИС и СБИС на переключателях тока задержка определяется в основном временем переключения цепи нагрузки [4—6]:

$$\tau_{лэ} \approx R_n C_n, \quad (5)$$

где R_n , C_n — сопротивление и емкость нагрузки. Это связано с ограничениями общей мощности рассеяния на кристалле, высоким быстродействием транзисторных структур и значительной емкостной нагрузкой межсоединений и входов ЛЭ. Учитывая, что мощность, потребляемая ЛЭ, $P_{лэ} = K_p (U_a^2 / R_n)$, $C_n = C_0 S_{лэ}$ (где C_0 — усредненная удельная емкость ЛЭ; $S_{лэ}$ — площадь ЛЭ с учетом межсоединений), выражение (5) можно переписать в виде

$$\tau_{лэ} \approx C_0 K_p (U_a^2 / q_{лэ}), \quad (6)$$

Из выражения (6) следует, что повышение быстродействия ЛЭ на кристалле БИС может быть достигнуто либо за счет снижения амплитуд рабочих сигналов U_a и коэффициента потерь мощности K_p (т. е. совершенствования схемотехники ЛЭ), либо за счет повышения удельной мощности рассеяния $q_{лэ}$.

Следствие 1. Для БИС и СБИС максимальной степени интеграции ($N = N_{\max}$, т. е. когда вся площадь кристалла $S_{\text{кр}}$ занята ЛЭ) быстродействие ЛЭ на переключателях тока не зависит от геометрических размеров самих ЛЭ и определяется схемотехническими параметрами ЛЭ (K_p , U_a) и удельной мощностью рассеяния на кристалле $q_{\text{кр}} = P_{\text{кр}} / S_{\text{кр}}$:

$$\tau_{\text{лэ}} \sim K_p U_a^2 / q_{\text{кр}}. \quad (7)$$

При максимальной степени интеграции удельная мощность

$$q_{\text{лэ}} = q_{\text{кр}}.$$

При уменьшении геометрических размеров ЛЭ и повышении степени интеграции на кристалле из-за тепловых ограничений приходится во столько же раз снижать потребляемую каждым ЛЭ мощность ($S_{\text{лэ}} = S_{\text{кр}}/N$; $P_{\text{лэ}} = P_{\text{кр}}/N$). В результате быстродействие ЛЭ в составе БИС максимальной степени интеграции практически не изменяется. Единственным эффективным способом повышения быстродействия ЛЭ при заданной схемотехнике ЛЭ и максимальной степени интеграции БИС является повышение удельной мощности рассеяния на кристалле за счет совершенствования системы охлаждения.

Следствие 2. При заданных энергии переключения ЛЭ $P\tau$ и мощности рассеяния на кристалле $P_{\text{кр}}$ быстродействие ЛЭ $F_{\text{лэ}} = 1/\tau_{\text{лэ}}$ обратно пропорционально степени их интеграции на кристалле (рис. 3):

$$F_{\text{лэ}} N = N / \tau_{\text{лэ}} = P_{\text{кр}} / P\tau. \quad (8)$$

Это достаточно очевидное следствие требует некоторых оговорок относительно тепловых режимов работы ЛЭ. Строгий анализ тепловых режимов при матричном размещении ЛЭ на кристалле с топологическими зазорами показывает, что в этом случае при $P_{\text{кр}} \text{ const}$, $S_{\text{кр}} \text{ const}$ перегрев $p - n$ -переходов незначителен в широком диапазоне снижения степени интеграции, и, следовательно, повышения удельной мощности ЛЭ [5—7]. Предел повышения удельной мощности ЛЭ определяется практически допустимой плотностью тока через транзистор.

Следствие 3. При заданных значениях K_p , U_a , $q_{\text{лэ}}$ предельное быстродействие ЛЭ на переключателях напряжения в Q раз выше, чем быстродействие ЛЭ на переключателях тока:

$$\tau_{\text{лэ}} \sim K_p U_a^2 / (Q q_{\text{лэ}}), \quad (9)$$

где $Q = T_0 / \tau_{\phi}$ — скважность переключения ЛЭ; T_0 — длительность такта переключения.

Переключателем напряжения будем называть схемы ЛЭ с двухтактным выходом (типа push pull), в которых оба фронта переключения являются активными, т. е. определяются усилительными свойствами транзисторов. В этих схемах ток потребляется только на фронтах переключения, в статическом режиме потребление тока практически отсутствует. Учитывая импульсный характер потребления мощности на фронтах переключения, можно записать $q_{\text{лэ}} = q_{\text{лэ}} Q$, откуда непосредственно следует соотношение (9).

Перезаряд емкости нагрузки ЛЭ в переключателях напряжения происходит через транзисторы с постоянной времени $\tau = C_H / S$, где S — крутизна характеристики транзисторов. Для реализации предельного быстродействия ЛЭ этого типа и максимальной загрузки кристалла по мощности необходимо, чтобы крутизна характеристики переключающих транзисторов была равна

$$S_{\text{max}} = Q / K_p U_a^2 N.$$

В первом приближении можно считать, что максимальная скважность Q численно равна глубине логической цепи в машинном такте (такте синхронизации ЭВМ) и обычно составляет 10 ... 20 каскадов. Поэтому предельное быстродействие ЛЭ СБИС на переключателях напряжения более чем на порядок превышает быстродействие ЛЭ на переключателях тока.

Наиболее удачным вариантом реализации ЛЭ с двухтактным выходом являются схемы КМОП и квази-КМОП. Несмотря на большее число транзисторов требуемых для реализации логических функций, КМОП- и квази-КМОП-схемы являются наиболее перспективными элементами

для сверхбыстродействующих БИС и СБИС благодаря пренебрежимо малой потребляемой мощности в статическом режиме и переключению емкостной нагрузки на фронте и срезе сигнала в активном режиме. В этой связи в ближайшие годы следует ожидать значительных успехов в создании сверхскоростных полевых БИС и СБИС КМОП типа, которые длительное время считались «медленными» и не конкурировали по быстродействию с биполярными схемами.

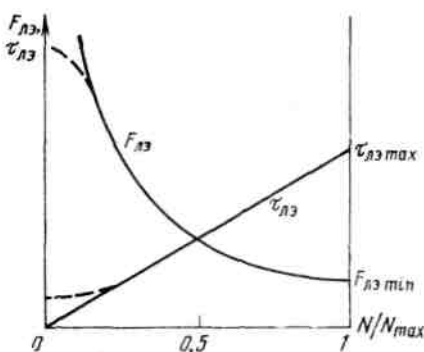


Рис. 3. Зависимость быстродействия и задержки переключения ЛЭ от степени интеграции на кристалле

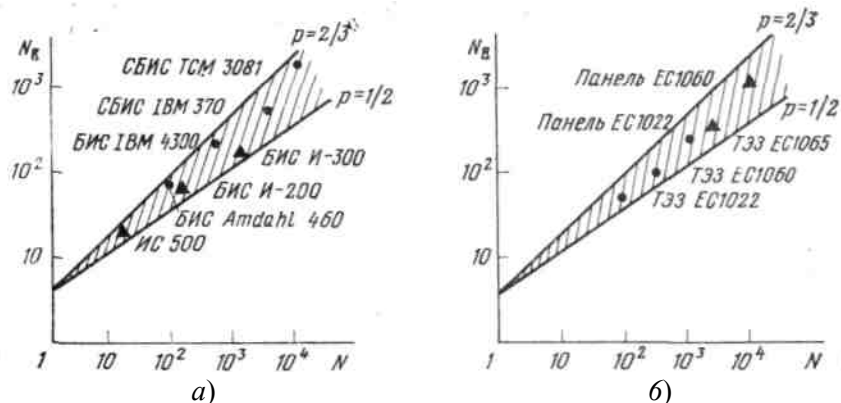


Рис. 4. Зависимость числа внешних связей $N_{в}$ от степени интеграции N для микросхем (а) и конструктивных модулей (б)

ТЕОРЕМА 3 (о зависимости числа внешних связей от степени интеграции). Число внешних связей (входных и выходных выводов) $N_{в}$ зависит по закону степени p от числа логических элементов N на кристалле БИС и СБИС:

$$N_{в} = \alpha N^p, \quad (10)$$

где α — среднее число входных и выходных выводов ЛЭ; p — показатель, характеризующий быстрдействие логической схемы ($0 < p < 1$).

Это соотношение, известное как закон (правило) Рента, было обнаружено им в 1960 г. экспериментально путем статистической обработки параметров логических схем процессоров IBM 1401 и 1410. Соотношение, полученное Рентом экспериментально, экстраполировалось зависимостью [8] $N_{в} \leq 4,2 N^{0,65}$, и соответственно для средних значений $N_{в} = 2,5 N^{0,62}$. Экспериментальные значения показателя p для процессоров различной производительности, полученные Рентом, а затем Ландманом и Руссо [8], 0,5... 0,75. Причем более высокие значения p относятся к высокопроизводительным ЭВМ, а более низкие — к ЭВМ средней производительности. Соотношение Рента неоднократно подтверждалось всем опытом проектирования ЭВМ II и III поколений (рис. 4).

Кажется весьма странным, что столь фундаментальное соотношение в вычислительной технике до сих пор не доказано аналитически. Попытаемся сделать это.

Представим модель функционального поля логической схемы в виде множества цепей ЛЭ со средней глубиной h_k , равной числу последовательных каскадов, и шириной, определяемой числом внешних связей (рис. 5). Число ЛЭ в первых каскадах цепей пропорционально числу входов $N_{в\text{ вх}}$, в последних каскадах — числу выходов $N_{в\text{ вых}}$. Суммарное число ЛЭ схемы может быть определено как «площадь» модели функционального поля:

$$N = (1/\alpha) N_{в} h_k. \quad (11)$$

Значение коэффициента α определяется из двух предельных случаев:

$h_k = 1$ — однокаскадной реализации всех цепей схемы (случай предельного параллелизма обработки), когда все выводы ЛЭ являются выводами микросхемы. Из выражения (11) следует, что в этом случае $N_{в} = \alpha N$ и, таким образом, коэффициент α равен среднему числу выводов ЛЭ (например, для двухвходового вентиля $\alpha = 3$);

$h_k = N$ — последовательное включение всех ЛЭ в длинную цепь глубиной $h_k = N$ (случай предельно-последовательной обработки). Из выражения (11) получаем, что α также равно среднему числу выводов ЛЭ.

Соотношение (11) может быть переписано в форме закона Рента (10) $N_{в} = \alpha N^p$, где

$$p = 1 - \lg h_k / \lg N. \quad (12)$$

Как следует из формулы (12), показатель p определяется средней глубиной h_k логических цепей и лежит в диапазоне $0 < p < 1$. Чем больше показатель p , тем меньше глубина h_k логических цепей, т. е. выше быстрдействие логических схем.

Таким образом, предложенная модель (рис. 5) позволяет аналитически доказать

соотношение Рента (10) и раскрыть параметрический смысл показателя быстродействия p .

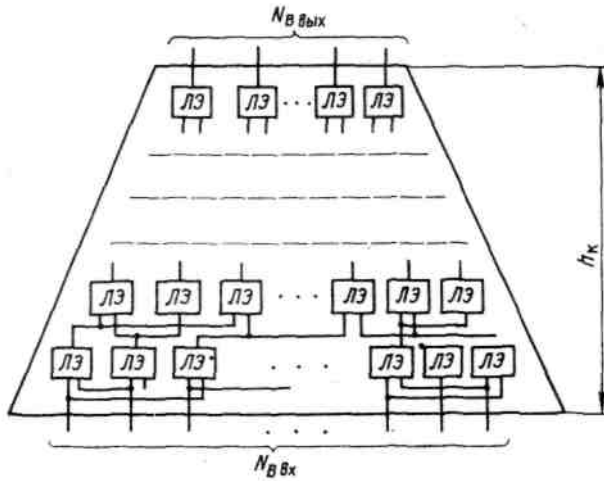


Рис. 5. Модель функционального поля логической схемы

Отдавая должное первым экспериментальным работам Рента, будем называть этот показатель показателем Рента.

Следствие 1. При заданной степени интеграции ЛЭ быстродействие логической схемы (БИС или СБИС) прямо пропорционально числу внешних выводов:

$$F_{\text{БИС}} \sim N_{\text{в}}. \quad (13)$$

Определяя быстродействие логической схемы (БИС или СБИС) как величину, обратную задержке сигнала в логической цепи $F_{\text{БИС}} \sim 1/(h_{\text{к}}\tau_{\text{лэ}})$, из выражения (11) получаем при заданных N и $\tau_{\text{лэ}}$

$$F_{\text{БИС}} = N_{\text{в}}/(a N \tau_{\text{лэ}}) \sim N_{\text{в}}.$$

Именно этим соотношением объясняется, что при одинаковой степени интеграции БИС быстродействующих ЭВМ имеют значительно больше выводов на кристалле, чем БИС ЭВМ малого и среднего быстродействия (например, микропроцессорные). Для размещения максимального количества выводов на кристалле БИС быстродействующих ЭВМ используется обычно вся площадь кристалла (матричные выводы).

Следствие 2. Средняя глубина логических цепей БИС и СБИС изменяется по закону степени $1 - p$ от числа ЛЭ на кристалле:

$$h_{\text{к}} = N^{1-p}. \quad (14)$$

Как следует из формулы (12),

$$h_{\text{к}} = \begin{cases} \sqrt{N} & \text{при } p = 1/2, \\ \sqrt[3]{N} & \text{при } p = 2/3, \end{cases} \quad (15)$$

Это соотношение учитывается при оценке системного быстродействия логических цепей, состоящих из нескольких БИС.

ТЕОРЕМА 4 (о средней длине связей на кристалле). При оптимальном размещении ЛЭ средняя длина межэлементных связей $\bar{l}_{\text{св}}$ на кристалле логических БИС и СБИС изменяется по закону степени $p - 1/2$ от числа ЛЭ N при заданном шаге между ЛЭ a :

$$\bar{l}_{\text{св}} \sim a N^{p-1/2} \quad (16)$$

и по закону степени $p - 1$ при заданном размере кристалла $L_{\text{кр}}$:

$$\bar{l}_{\text{св}} \sim L_{\text{кр}} N^{p-1/2} \quad (17)$$

При случайном (произвольном) размещении элементов и ортогональной трассировке средняя длина связей $\bar{l}_{\text{св}}$ определяется линейными размерами монтажного поля кристалла $L_{\text{кр}}$:

$$\bar{l}_{\text{св сл}} = \bar{l}_x + \bar{l}_y = \frac{2}{3} L_{\text{кр}} = \frac{2}{3} a \sqrt{N} \quad (18)$$

где $\bar{l}_x = 1/3 L_x$, $\bar{l}_y = 1/3 L_y$ — средняя длина связей в направлении

X и Y ; $L_{кр} = 1/2(L_X + L_Y) \approx \sqrt{S_{кр}}$ — усредненный линейный размер кристалла ($L_X + L_Y$ — полупериметр кристалла); $a = \sqrt{S_{кр}} / N$ усредненный шаг между ЛЭ на кристалле.

При оптимальном размещении ЛЭ средняя длина связей $\bar{l}_{св}$ значительно уменьшается. Представим матрицу элементов на кристалле в виде иерархической модели Доната [9], содержащей $N = 4^m$ ЛЭ, где m — уровень сложности матрицы (рис. 6).

Ограничимся рассмотрением внутренних межэлементных связей, поскольку для БИС и СБИС их число более чем на порядок превышает число внешних связей. Будем считать обеспеченным оптимальное размещение на всех уровнях иерархии матричного кристалла, когда внешние связи любой матрицы низшего уровня подчиняются соотношению (10), и все внутренние связи складываются из внешних связей между иерархическими уровнями $m - 1$ внутри уровня m , между $m - 2$ внутри $m - 1$, между $m - 3$ внутри $m - 2$ и т. д. Число внешних связей на каждом уровне матричного кристалла в соответствии с теоремой 3 определяется соотношением Рента

$$N_{св} = \alpha N^p, \quad (19)$$

где $N_{св}$ — среднее число внешних связей.

Учитывая, что: 1) число внешних связей на каждом иерархическом уровне матрицы подчиняется соотношению Рента, 2) средняя длина этих связей в пределах каждого уровня иерархии пропорциональна линейному размеру матрицы, 3) общее число связей пропорционально числу ЛЭ, из соотношения (19) получаем следующую качественную зависимость средней длины связей от степени интеграции:

$$\bar{l}_{св} \sim \frac{\alpha N^p a \sqrt{N}}{N} \sim a N^{p-1/2} \sim L_{кр} N^{p-1} \quad (20)$$

Количественная оценка может быть получена из асимптотической модели как отношение суммарной длины связей к общему числу связей на кристалле:

$$\bar{l}_{св\text{ опт}} = \sum_{i=1}^m n_{сви} \bar{l}_{сви} / \sum_{i=1}^m n_{сви},$$

где

$$n_{сви} = 2\alpha \cdot 4^{i-1} [(N/4)^i - (1/4)(N/4^{i-1})^p]$$

— суммарное число связей между уровнями $m - i$;

$$\bar{l}_{сви} \approx (2/3)a\sqrt{N} / 2^{i-1}$$

средняя длина связей между уровнями $m - i$ (здесь предполагается, что связи каждого уровня распределены равномерно и их средняя длина определяется формулой (18)). Выполняя суммирование по всем уровням m матрицы, получаем асимптотическую количественную оценку при достаточно больших значениях $N \gg N^p$ [10]:

$$\bar{l}_{св\text{ опт}} \approx \frac{4}{3} a \frac{2 - 4^{p-1/2}}{4^p - 2} (N^{p-1/2} - 1) \quad \text{для } p \neq 1/2; \quad (21)$$

$$\bar{l}_{св\text{ опт}} \approx a \lg N \quad \text{для } p = 1/2. \quad (22)$$

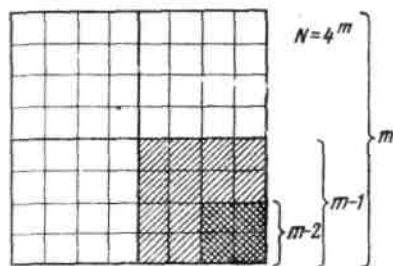


Рис. 6. Иерархическая модель матричного кристалла БИС ЭВМ, нормированные к шагу a

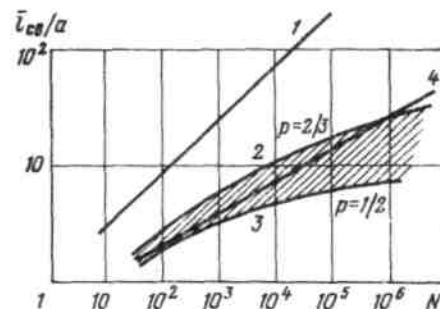


Рис. 7. Зависимости средней длины связей от степени интеграции БИС

Зависимости средней длины связей от степени интеграции N БИС, нормированные к шагу s , приведены на рис. 7. Прямая 1 дает верхнюю оценку средней длины связей при случайном размещении элементов на кристалле, при этом число шагов a на одну связь зависит от N по закону степени $1/2$. Кривые 2 и 3 отображают зависимость при оптимальном размещении ЛЭ на кристалле для различных значений показателя Рента ($p = 1/2$ и $p = 2/3$). При оптимальном размещении средняя длина связей растет значительно слабее с повышением степени интеграции N и для $p = 1/2$ изменяется прямо пропорционально $\lg N$ (рис. 7, кривая 3). Причем чем выше степень интеграции, тем больше выигрыш, даваемый оптимизацией размещения ЛЭ. Поэтому задача оптимального размещения ЛЭ и оптимальной трассировки связей является основной задачей проектирования БИС и СБИС в целом.

Статистический анализ результатов трассировки БИС и СБИС высокопроизводительных ЭВМ, проведенный Киизом [11], показывает, что реально достижимый уровень оптимизации средней длины связей лежит в зоне значений, ограниченных кривыми 2 и 3 (заштрихована на рис. 7), и подчиняется закону степени $1/3$ (прямая 4)

$$\bar{l}_{\text{св. опт}} \approx a \sqrt[3]{N} / 3 = L_{\text{кр}} / 3 \sqrt[3]{N} \quad (23)$$

Формула Кииза (23) дает хорошее приближение к реальным значениям средней длины связей для логических БИС высокопроизводительных ЭВМ и может быть использована для проектирования базовых матричных кристаллов и количественной оценки таких важных параметров, как быстродействие, помехоустойчивость, трассировочная способность, площадь кристалла. Нормированные зависимости средней длины связей от степени интеграции при заданном значении $L_{\text{кр}}$ для произвольного (18) и оптимального (23) размещения ЛЭ приведены на рис. 8 (1 и 2 соответственно).

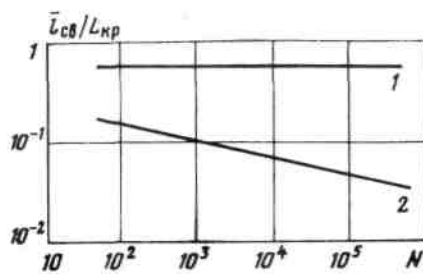


Рис. 8. Зависимости средней длины связей от степени интеграции БИС ЭВМ, нормированные к размеру $L_{\text{кр}}$

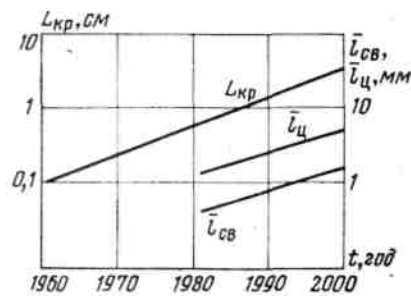


Рис. 9. Прогноз роста размеров кристалла $L_{\text{кр}}$, средней длины связи $\bar{l}_{\text{св}}$ и цепи $\bar{l}_{\text{ц}}$ матричных СБИС

Учитывая, что по мере развития микроэлектронной технологии, совершенствования технологического оборудования и полупроводниковых материалов размеры кристаллов БИС и СБИС непрерывно растут (рис. 9), следует ожидать постепенного увеличения средней длины связей при переходе от БИС к СБИС. На рис. 9 приведены также зависимости ожидаемого роста средней длины связей $\bar{l}_{\text{св}}$ и цепей $\bar{l}_{\text{ц}}$ СБИС по годам, показывающие, что средняя длина цепей на кристалле лежит в диапазоне 1...3 мм и возрастает с ростом степени интеграции и размеров кристалла СБИС.

ТЕОРЕМА 5 (о трассировочной способности базовых матричных кристаллов). Трассировочная способность T базовых матричных кристаллов БИС и СБИС ЭВМ возрастает по закону степени p от числа ЛЭ на кристалле N :

$$T \sim N^p. \quad (24)$$

Определим трассировочную способность T базового матричного кристалла с линейным размером монтажного поля $L_{\text{кр}}$ (рис. 10) как суммарное число трасс в обоих ортогональных направлениях $T_x + T_y$, предназначенных для размещения межэлементных связей или их отрезков. Считая, что длина каждой трассы равна линейному размеру кристалла $L_{\text{кр}}$, выражение для трассировочной способности T можно записать в общем виде

$$T = L_{\text{св}} / (\eta_{\Gamma} L_{\text{кр}}), \quad (25)$$

где $L_{св}$ — суммарная длина связей на кристалле; $\eta_{т}$ — коэффициент заполнения трасс кристалла.

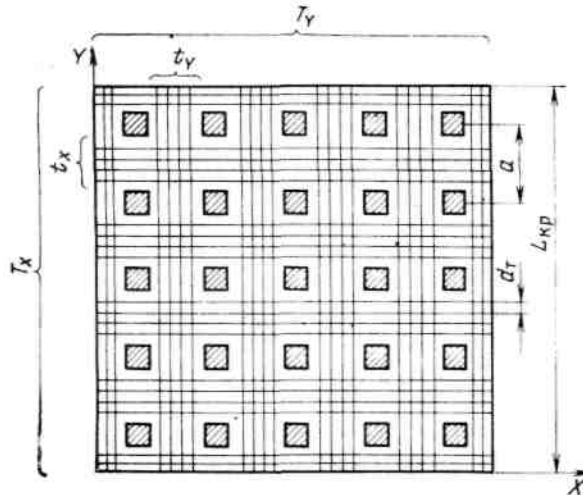


Рис. 10. Модель трассировочного поля матричного кристалла БИС

Из формул (20) и (25) может быть получена качественная зависимость трассировочной способности кристалла T и ячейки t от степени интеграции N :

$$T \sim \frac{n}{\eta_{т}} N^p; \quad t \sim \frac{n}{\eta_{т}} N^{p-1/2}, \quad (26a)$$

где $T = T_x + T_y$, $t = t_x + t_y$ (рис. 10).

Асимптотическая количественная оценка может быть получена из формул (21), (22), (25):

$$T \approx \frac{4}{3} \frac{n}{\eta_{т}} \frac{2 - 4^{p-1/2}}{4^p - 2} (N^p - N^{1/2}); \quad (26б)$$

$$t \approx \frac{4}{3} \frac{n}{\eta_{т}} \frac{2 - 4^{p-1/2}}{4^p - 2} (N^{p-1/2} - 1),$$

где n — коэффициент разветвления (средняя нагрузочная способность ЛЭ). В частном случае, когда $p = 1/2$ (ЭВМ средней производительности), выражения для оценки трассировочной способности упрощаются:

$$T \approx \frac{n}{\eta_{т}} \sqrt{N} \lg N; \quad t \approx \frac{n}{\eta_{т}} \lg N. \quad (26в)$$

С учетом статистической оценки средней длины связей (23) количественная оценка трассировочной способности базового матричного кристалла и ячейки высокопроизводительных ЭВМ принимает вид

$$T = nN^{5/6}/3\eta_{т}; \quad t = nN^{1/3}/3\eta_{т}. \quad (27)$$

В тех случаях, когда матричный кристалл строится на основе более сложного ЛЭ, чем простейший вентиль, под степенью интеграции N понимается число этих ЛЭ на кристалле или соответственно число межэлементных выходных цепей связи.

Статистический анализ показывает, что средние значения коэффициента заполнения трасс по всему монтажному полю обычно $\eta_{т} = 0,5 \dots 0,7$. Принимая во внимание, что в центре кристалла плотность связей всегда несколько больше, чем на периферии, можно считать такое значение коэффициента заполнения трасс оптимальным для БИС высокопроизводительных ЭВМ. При этом обеспечивается реальная возможность трассировки кратчайших связей и облегчается сама процедура трассировки. Реализация более высоких коэффициентов заполнения трасс ($\eta_{т} > 0,7$) неизбежно приводит к удлинению связей в центральной части кристалла, увеличению числа межслойных переходов и усложнению алгоритмов размещения и

трассировки.

В типовом случае, когда $\eta_T = 0,5$ и $n = 3$, формула (27) приводится к виду (рис. 11)

$$T = 2N^{5/6}; \quad t = T / \sqrt{N} = 2N^{1/3}. \quad (28)$$

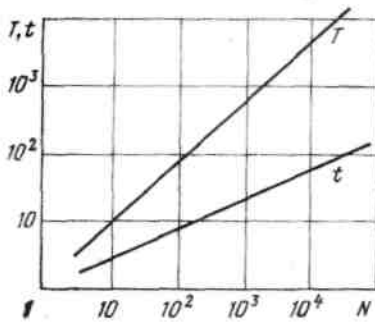


Рис. 11. Зависимость трассировочной способности кристалла T и каналов ячейки t от степени интеграции N ($n = 3$; $\eta_T = 0,5$)

При этом для симметричного матричного кристалла трассировочная способность по каждому направлению X и Y будет равна

$$T_X = T_Y = N^{5/6}; \quad t_X = t_Y = N^{1/3}. \quad (29)$$

Для успешного проектирования БИС и СБИС высокопроизводительных ЭВМ необходимо, чтобы на базовом матричном кристалле была отведена достаточная площадь для трассировки межэлементных связей или, другими словами, обеспечена достаточная трассировочная способность в ортогональных направлениях. Без этого реализовать схемы соединений будет невозможно или потребуются значительные затраты машинного времени и усилий разработчика на полную трассировку связей. Недостаточная трассировочная способность может привести к необходимости полной переделки базового матричного кристалла или к уменьшению количества задействованных ЛЭ на кристалле и

соответственно увеличению числа БИС в ЭВМ. Количественные оценки трассировочной способности (26)— (28) позволяют на ранних этапах проектирования рассчитать оптимальные размеры каналов и сбалансировать монтажное пространство и число ЛЭ на базовом матричном кристалле быстродействующих БИС и СБИС.

ТЕОРЕМА 6 (о площади связей на кристалле). *Площадь межэлементных связей ΣS_{CB} на кристалле быстродействующих БИС и СБИС возрастает с ростом степени интеграции N и при заданном шаге трасс изменяется при двухслойной трассировке по закону степени 5/3 от N :*

$$\Sigma S_{CB} \sim N^{5/3}, \quad (30)$$

при многослойной трассировке по закону степени 5/6 от N :

$$\Sigma S_{CB} \sim N^{5/6}. \quad (31)$$

В общем случае суммарная площадь связей ΣS_{CB} на кристалле БИС и СБИС с учетом зазоров между металлизированными проводниками и коэффициента заполнения трасс определяется как

$$\Sigma S_{CB} = L_{CB} d_T / \eta_T = T S_T, \quad (32)$$

где $d_T = k_T \Delta$ — шаг трасс ($k_T \geq 2$ — коэффициент пропорциональности; Δ — минимальный литографический размер); $S_T = L_{кр} d_T$ — площадь одной трассы; $L_{CB} = n N \bar{l}_{CB}$ — суммарная длина связей на кристалле. В общем случае средняя длина \bar{l}_{CB} зависит от показателя Рента и качества размещения (18), (21).

С учетом статистического приближения Кииза для средней длины связей (23) и трассировочной способности (28) из формулы (32) получаем количественную оценку суммарной площади связей на кристалле быстродействующих БИС при оптимальном размещении ЛЭ:

$$\Sigma S_{CB} = (n L_{кр} d_T / 3 \eta_T) N^{5/6}. \quad (33)$$

Из соотношения (33) следует, что при заданном размере кристалла $L_{кр}$ и заданном шаге трасс d_T (т. е. $S_T = \text{const}$) площадь связей, а следовательно, и число слоев $k_{сл}$, необходимых для реализации связей БИС и СБИС, будет возрастать с ростом числа ЛЭ на кристалле по закону степени 5/6:

$$k_{сл} \sim \Sigma S_{CB} \sim N^{5/6} \quad (34)$$

При двухслойной трассировке ($k_{сл} = 2$) повышение степени интеграции ЛЭ будет сопровождаться соответствующим увеличением площади кристалла. Предполагая, что вся площадь кристалла будет занята связями первого слоя трассировки ($S_{кр} \approx 0,5 \Sigma S_{CB}$), получаем для формулы (33) асимптотическую оценку зависимости площади связей ΣS_{CB} от степени

интеграции N :

$$\Sigma S_{CB} = 0,5(n/3\eta_T)^2 d_T^2 N^{5/3}. \quad (35)$$

В типовом случае, когда $\eta_T = 0,5$ и $n = 3$, зависимость (35) приводится к следующему виду:

$$\Sigma S_{CB} = 2d_T^2 N^{5/3} \quad (36)$$

и соответственно площадь кристалла, выделяемая для трассировки связей в первом слое,

$$S_{кр\ CB} = d_T^2 N^{5/3} \quad (37)$$

Суммарная площадь, занимаемая ЛЭ на кристалле $\Sigma S_{ЛЭ}$, связана со степенью интеграции N соотношением

$$\Sigma S_{ЛЭ} = N\chi_{ЛЭ}\Delta^2, \quad (38)$$

где $\chi_{ЛЭ}$ — число разрешающих элементов в одном ЛЭ (вентиле) на кристалле; Δ^2 — разрешающий элемент (квадрат со стороной, равной минимальному литографическому размеру).

Нормированные зависимости суммарной площади связей (36) и площади ЛЭ (38) от степени интеграции при двухслойной трассировке и типовых значениях параметров ($\eta_T = 0,5$; $n = 3$; $k_T = 2$; $k_{сл} = 2$; $\chi_{ЛЭ} = 400$) приведены на рис. 12. Из рисунка следует, что с ростом степени интеграции площадь связей растет значительно быстрее, чем площадь ЛЭ на кристалле. По мере дальнейшего совершенствования технологии и повышения степени интеграции площадь линий

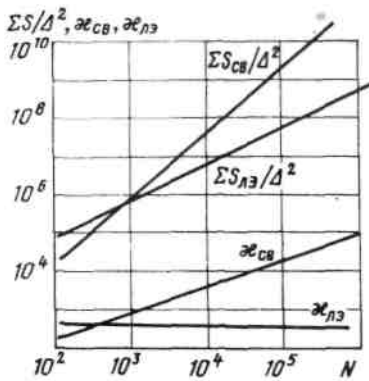


Рис. 12. Нормированная зависимость суммарной площади связей и площади ЛЭ на кристалле от степени интеграции

связи будет занимать все большую и большую часть кристалла и практически определять все основные параметры СБИС (быстродействие, степень интеграции, помехоустойчивость, энергию переключения ЛЭ, площадь кристалла) [12, 13].

Следствие 1. Отношение площади связей ΣS_{CB} к площади ЛЭ $\Sigma_{ЛЭ}$ БИС и СБИС ЭВМ растет по закону степени 2/3 от числа ЛЭ на кристалле:

$$\gamma_S = \Sigma S_{CB} / \Sigma S_{ЛЭ} \sim N^{2/3}. \quad (39)$$

Используя выражения (35) и (38), при двухслойной трассировке и оптимальном размещении ЛЭ получаем следующее соотношение площадей γ_S :

$$\gamma_S = 0,5 (nk_T / 3\eta_T)^2 (N^{2/3} / \chi_{ЛЭ}). \quad (40)$$

Соответственно отношение площади кристалла, занятой связями (первый слой трассировки) к площади, занятой ЛЭ $\gamma_{S_{кр}}$ будет равно

$$\gamma_{S_{кр}} = 0,5 \gamma_S \quad (41)$$

Пример. Оценим соотношение площадей на кристалле высокопроизводительных БИС ($N = 10^3$, $\Delta = 5$ мкм) и СБИС ($N = 10^4$, $\Delta = 2$ мкм) при $\chi_{ЛЭ} = 400$, $k_T = 2$, $n = 3$, $\eta_T = 0,5$.

Из выражений (40) и (41) следует, что для БИС $\gamma_S = 2$, $\gamma_{S_{кр}} = 1$, для СБИС $\gamma_S = 9$, $\gamma_{S_{кр}} = 4,5$.

Из рассмотренного примера видно, что для БИС ЭВМ площадь связей примерно равна площади ЛЭ на кристалле, а для СБИС ЭВМ даже при оптимальном размещении ЛЭ площадь связей значительно больше площади, занимаемой ЛЭ на кристалле.

Для микросхем малой степени интеграции (ИС, СИС), когда площадь связей много меньше, чем площадь, занимаемая ЛЭ ($\gamma_S \ll 1$), асимптотическое соотношение площадей изменяется по закону степени 1/3 от числа ЛЭ на кристалле. Учитывая, что в этом случае $L_{кр} \approx \sqrt{N \chi_{ЛЭ} \Delta^2}$, из (33) и (38) получаем

$$\gamma_S = \left(nk_T / 3\eta_T \sqrt{\chi_{ЛЭ}} \right) N^{1/3}$$

Из полученных выражений следует, что соотношение площадей γ_S может служить еще одной классификационной характеристикой сложности микросхем: $\gamma_S \ll 1$ — ИС, $\gamma_S \approx 1$ — БИС, $\gamma_S \gg 1$ — СБИС.

Следствие 2. Число разрешающих элементов в линии связи растет по закону степени 2/3 от числа ЛЭ на кристалле:

$$\chi_{CB} \sim N^{2/3}. \quad (42)$$

Увеличение площади связей с ростом степени интеграции быстродействующих БИС и СБИС приводит к тому, что среднее число разрешающих элементов в линии связи, подключенной к выходу ЛЭ, начинает превышать число разрешающих элементов в самом ЛЭ. Причем если с ростом степени интеграции N число разрешающих элементов в ЛЭ $\chi_{лэ}$ практически не изменяется или даже несколько уменьшается благодаря совершенствованию схемотехники и конструкции транзисторов, то число разрешающих элементов в линии связи растет очень быстро. Обозначая число разрешающих элементов на одну цепь связи $\chi_{св} = \Sigma S_{св} / (N\Delta^2)$, из выражений (33) и (35) получаем для двуслойной трассировки связей

$$\chi_{св} = 0,5 (nk_T/3\eta_T)^2 N^{2/3} \sim N^{2/3}; \quad (43)$$

для многослойной трассировки связей (здесь предполагается, что весь кристалл занят ЛЭ ($S_{кр} \approx N\chi_{лэ} \Delta^2$), а число слоев для трассировки связей не ограничено сверху)

$$\chi_{св} = \frac{1}{3} \frac{nk_T \sqrt{\chi_{лэ}}}{\eta_T} N^{1/3} \sim N^{1/3} \quad (44)$$

Для микросхем высокой степени интеграции ($N > 10^3$) $\chi_{св} \gg \chi_{лэ}$ (рис. 12).

Следствие 3. Если $p = 2/3$ и $N \sim 1/\Delta^2$, то число внешних связей (выводов) БИС и СБИС высокопроизводительных ЭВМ прямо пропорционально площади кристалла

$$N_B \sim S_{кр}. \quad (45)$$

Сравнивая зависимость (10) при $p = 2/3$ (что соответствует высокопроизводительным ЭВМ) и зависимость (35), получаем для $N \sim 1/\Delta^2$ и $p = 2/3$

$$N_B/S_{кр} \approx \alpha (\eta_T/nk_T)^2 = \text{const}. \quad (46)$$

Этим соотношением в значительной мере объясняется то, что для БИС и СБИС высокопроизводительных ЭВМ применяются базовые кристаллы с матричными выводами по всей площади кристалла. Использование для внешних выводов только периферии кристалла (по четырем сторонам) привело бы в рассматриваемом случае к существенному повышению линейной плотности размещения внешних выводов кристалла и корпуса СБИС с ростом степени интеграции.

Следствие 4. При заданной схемотехнике удельная мощность ЛЭ и соответственно плотность тока в транзисторных структурах быстродействующих БИС и СБИС повышаются с ростом степени интеграции:

$$q_{лэ}/q_{кр} \sim N^{2/3}. \quad (47)$$

Учитывая, что при $\gamma_s \gg 1$ и двуслойной трассировке связей ($S_{кр} \approx 0,5 \Sigma S_{св}$) $q_{лэ}/q_{кр} \approx 0,5 \gamma_s$, а также (40), получаем асимптотическую оценку зависимости удельной мощности рассеяния ЛЭ от степени интеграции:

$$q_{лэ}/q_{кр} = (1/4) (nk_T/3\eta_T)^2 (N^{2/3}/\chi_{лэ}). \quad (48)$$

При заданном напряжении питания плотность тока в ЛЭ прямо пропорциональна удельной мощности $q_{лэ}$ и, следовательно, изменяется по закону степени $2/3$ от N . Возрастание плотности тока в ЛЭ БИС при повышении степени интеграции является одним из серьезных препятствий на пути перехода от БИС к СБИС, ограничивающим быстродействие и надежность работы ЛЭ на переключателях тока. Использование в СБИС вместо переключателей тока переключателей напряжения позволит существенно отодвинуть этот предел.

ТЕОРЕМА 7 (о предельной степени интеграции). *Предельное значение степени интеграции N логических СБИС определяется отношением линейного размера кристалла $L_{кр}$ к шагу трасс d_T и показателем Рента p :*

$$N_{пред} \sim (L_{кр}/d_T)^{1/p}. \quad (49)$$

С ростом степени интеграции матричных БИС ЭВМ площадь связей (площадь трасс) быстро возрастает (теоремы 5, 6) и для логических СБИС значительно превышает площадь, занимаемую собственно ЛЭ ($\gamma_s \gg 1$). В результате даже при оптимальном размещении и пренебрежимо малых размерах ЛЭ существует предел повышения степени интеграции логических СБИС, определяемый не размерами самих ЛЭ, а площадью межэлементных связей на кристалле. Полагая в пределе, что $\Sigma S_{лэ} = 0$ и вся площадь кристалла занята межэлементными связями, выражение для предельной степени интеграции СБИС можно записать в общем виде

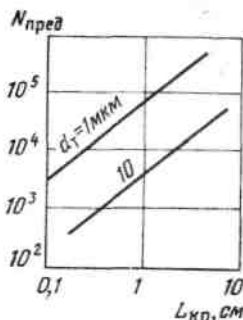


Рис. 13. Зависимость предельной степени интеграции от размера кристалла $L_{кр}$ и шага трасс d_T .

$$N_{\text{пред}} = \eta_{\text{T}} k_{\text{сл}} S_{\text{кр}} / (\bar{l}_{\text{св}} n d_{\text{T}}) \quad (50)$$

откуда при $\bar{l}_{\text{св}} \sim L_{\text{кр}} N^{p-1}$ непосредственно следует качественная оценка зависимости предельной степени интеграции:

$$N_{\text{пред}} \sim (\eta_{\text{T}} k_{\text{сл}} L_{\text{кр}} / n d_{\text{T}})^{1/p}. \quad (51)$$

Используя статистическое приближение Кииза для средней длины связей (23), из выражения (50) можно получить расчетную формулу для предельной степени интеграции СБИС высокопроизводительных ЭВМ:

$$N_{\text{пред}} = [(3\eta_{\text{T}} k_{\text{сл}} / n)(L_{\text{кр}} / d_{\text{T}})]^{6/5}. \quad (52)$$

и соответственно в типовом случае, когда $\eta_{\text{T}} = 0,5$, $n = 3$, $k_{\text{сл}} = 2$,

$$N_{\text{пред}} = (L_{\text{кр}} / d_{\text{T}})^{1,2}. \quad (53)$$

Пример. Оценим предельную степень интеграции логических СБИС матричного кристалла площадью $S_{\text{кр}} = 1 \text{ см}^2$ при $d_{\text{T}} = 1 \dots 10 \text{ мкм}$ в типовом случае $\eta_{\text{T}} = 0,5$, $n = 3$.

Из формулы (52) следует, что при $d_{\text{T}} = 1 \text{ мкм}$ $N_{\text{пред}} \approx 60 \cdot 10^3$ и при $d_{\text{T}} = 10 \text{ мкм}$ $N_{\text{пред}} \approx 4 \cdot 10^3$. На рис. 13 приведены зависимости $N_{\text{пред}}$ от размера кристалла $L_{\text{кр}}$ и шага трасс d_{T} для типового случая.

Выражения (52) и (53) оценивают предельную степень интеграции СБИС высокопроизводительных ЭВМ с произвольной логикой и большими значениями показателя Рента ($p > 0,5$). Очевидно, что для СБИС ЗУ, имеющих регулярную логическую структуру и малые значения показателя Рента ($p < 0,5$), предельная степень интеграции имеет существенно большее значение и определяется в основном площадью ЛЭ, а не линий связи между ними.

Прогресс в развитии микроэлектронной технологии характеризуется непрерывным уменьшением минимальных литографических размеров компонентов Δ и увеличением размеров $L_{\text{кр}}$ полупроводниковых кристаллов (рис. 14). В соответствии с прогнозом [11] темпы изменения этих параметров будут сохраняться в ближайшем будущем вплоть до 2000 г. и экстраполируются следующими зависимостями:

$$\Delta [\text{мкм}] \approx 30 \exp [-0,13 (t - 1960)]; \quad (54)$$

$$L_{\text{кр}} [\text{см}] \approx 0,1 \exp [0,09 (t - 1960)], \quad (55)$$

где t — время в годах.

Исходя из этого прогноза развития микроэлектронной технологии СБИС, нетрудно прогнозировать темпы роста степени интеграции логических СБИС. Подставляя в выражение (52) временные зависимости Δ и $L_{\text{кр}}$ (54), (55), получаем предельную оценку темпов роста степени интеграции СБИС $N_{\text{пред}}$ в ближайшие десятилетия. В типовом случае, когда $\eta_{\text{T}} = 0,5$, $n = 3$, $k_{\text{T}} = 2$,

$$N_{\text{пред}} \approx 5,7 \cdot 10^3 \exp [0,26 (t - 1980)]. \quad (56)$$

Относительно медленный рост степени интеграции логических СБИС заставляет искать всевозможные конструктивные методы повышения плотности компоновки ЛЭ в устройствах высокопроизводительных ЭВМ, и в частности мультичипные методы электромонтажа кристаллов на многослойной керамической или кремниевой плате.

ТЕОРЕМА 8 (о предельной энергии переключения). *Предельная энергия переключения ЛЭ P_{T} в логических цепях быстродействующих СБИС ЭВМ прямо пропорциональна коэффициенту потерь мощности $K_{\text{р}}$, квадрату амплитуды сигнала $U_{\text{а}}$, удельной емкости металлизации C_0 , линейному размеру кристалла СБИС $L_{\text{кр}}$, ширине металлизированных проводников межэлементных связей d для переключателей тока:*

$$(P_{\text{T}})_{\text{пред ПТ}} \sim K_{\text{р}} U_{\text{а}}^2 C_0 L_{\text{кр}} d \quad (57)$$

и обратно пропорциональна скважности переключения ЛЭ Q для переключателей напряжения:

$$(P_{\text{T}})_{\text{пред ПН}} \sim K_{\text{р}} U_{\text{а}}^2 C_0 L_{\text{кр}} d / Q. \quad (58)$$

По определению энергия переключения представляет собой произведение мощности потребляемой ЛЭ $P_{лэ}$ на задержку переключения ЛЭ $\tau_{лэ}$:

$$P\tau = P_{лэ}\tau_{лэ} = (P_{кр}/N)\tau_{лэ}. \quad (59)$$

Используя выражения для задержки переключения (7), (8), и для максимальной степени интеграции (50), получаем аналитические выражения предельной (минимальной) энергии переключения СБИС для переключателей тока и переключателей напряжения:

$$(P\tau)_{пред ПТ} = \xi K_P U_a^2 C_0 L_{кр} d; \quad (60)$$

$$(P\tau)_{пред ПН} = \xi K_P U_a^2 C_0 L_{кр} d/Q, \quad (61)$$

где $\xi \approx \sqrt{d/L_{кр}}$ коэффициент пропорциональности ξ слабо зависит от $L_{кр}$ и d :

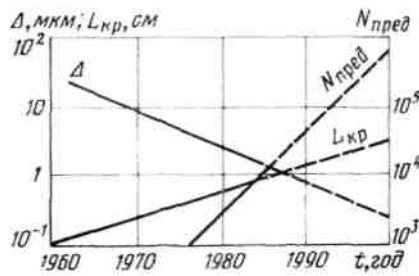


Рис. 14. Зависимости Δ и $L_{кр}$ от времени [11]

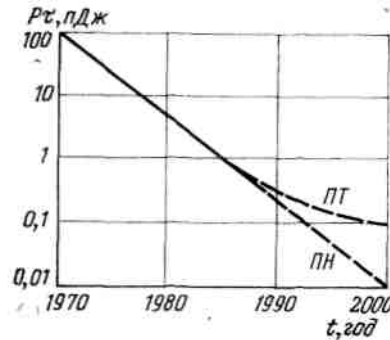


Рис. 15. Прогноз снижения энергии переключения ЛЭ СБИС

Как следует из формул (60) и (61), влияние связей на кристалле приводит к тому, что энергия переключения ЛЭ СБИС изменяется в асимптотическом приближении пропорционально первой степени от минимального литографического размера Δ ($P\tau_{СБИС} \sim \Delta$), а не второй степени от Δ , как это имеет место для ИС малой степени интеграции ($P\tau_{ИС} \sim \Delta^2$), где влиянием связей можно пренебречь [12].

Воспользовавшись прогнозом [11] уменьшения минимальных литографических размеров компонентов Δ (54) и увеличения размеров полупроводниковых кристаллов $L_{кр}$ (55) и полагая $d \approx \Delta$, можно прогнозировать предел снижения энергии переключения $P\tau$ к 2000 г. для ЛЭ быстродействующих СБИС ЭВМ на основе переключателей тока $P\tau_{ПТ} \approx 0,1$ пДж и переключателей напряжения $P\tau_{ПН} \approx 0,01$ пДж. На рис. 15 приведен прогноз снижения энергии переключения для типовых ЛЭ СБИС на основе переключателей тока и напряжения, учитывающий влияние линий связи на кристалле.

ТЕОРЕМА 9 (о быстродействии связей на кристалле). *Средняя задержка распространения сигнала в линиях связи логических СБИС при масштабировании размеров растет по закону степени 4/3 от числа ЛЭ на кристалле:*

$$\overline{\tau}_{св} \sim N^{4/3}. \quad (62)$$

Время переключения логических цепей СБИС в общем случае складывается из времени переключения собственно ЛЭ и времени переключения линий связи на кристалле СБИС. Если с уменьшением литографических размеров быстродействие собственно ЛЭ повышается либо остается неизменным (теорема 2, следствие 1), то быстродействие линий связей на кристалле снижается из-за возрастания как средней длины и площади связей, так и погонного сопротивления металлизированного проводника [10—13]. При этом линию связи на кристалле можно рассматривать как длинную линию с распределенными RC -параметрами (рис. 16), где

$$R_l = \frac{\rho}{d\delta}; C_l \approx \epsilon\epsilon_0 \left(a \frac{d}{h} + b \frac{\delta}{\theta} \right)$$

— погонное сопротивление и погонная емкость линий связи (здесь a и b — коэффициенты, учитывающие топологические особенности и двумерный характер распределения электрического поля линий связи кристалла ($1 < a, b < 3$)).

При масштабировании (пропорциональном уменьшении) размеров ($d \sim \theta \sim \delta \sim h \sim \Delta$) погонное

сопротивление линий связи возрастает прямо пропорционально квадрату коэффициента масштабирования M^2 , а погонная емкость не изменяется. Это приводит к росту задержки распространения сигнала в линиях связи СБИС пропорционально второй степени коэффициента масштабирования M^2 .

Используя операторное выражение для передаточной функции в распределенной RC -линии связи, разомкнутой на конце,

$$H(s) = 1 / chl_{cb} \sqrt{sR_l C_l}, \quad (63)$$

найдем среднее время распространения сигнала в линии связи как площадь искажений переходного процесса:

$$\bar{\tau}_{cb} = \left\{ \frac{1}{s} [1 - H(s)] \right\}_{s=0} = \frac{1}{2} l_{cb}^2 R_l C_l. \quad (64)$$

На рис. 17 приведены зависимости задержки сигнала в линии связи на кристалле от ширины проводника d при масштабировании размеров для $l_{cb} = 1$ см; $d/h = \theta/\delta = 3$; $\rho = 3 \cdot 10^{-6}$ Ом·см; $\epsilon = 5$; $a \approx b = 3$, а также погонной задержки распространения сигнала в идеальном проводнике ($R_l = 0$).

В общем случае средняя длина связи на кристалле определяется показателем Рента и

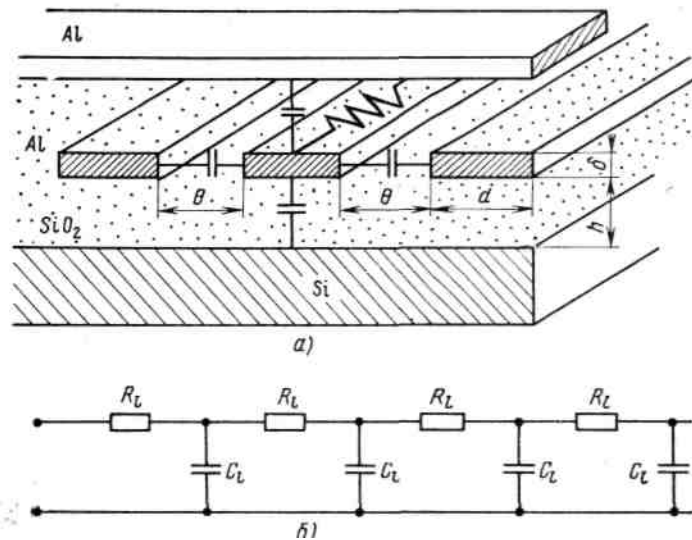


Рис. 16. Структура (а) и модель (б) линии связи на кристалле СБИС

степенью

интеграции СБИС (теорема 4) и для СБИС высокопроизводительных ЭВМ хорошо аппроксимируется выражением вида (23). Учитывая связь предельной степени интеграции N с размерами кристалла $L_{кр}$ (52), выражение для \bar{l}_{cb} может быть переписано в виде

$$\bar{l}_{cb} = \left(nd_{\tau} / 9 \eta_{\tau} k_{сл} \right) N^{2/3} \quad (65)$$

и соответственно для последовательной цепи из n нагрузок

$$\bar{l}_{ц} = n \bar{l}_{cb} \quad (66)$$

В типовом случае двухслойной трассировки, когда $k_{сл} = 2$, $\eta_{\tau} = 0,5$, $n = 3$, выражения (65), (66) принимают вид

$$\bar{l}_{cb} = \frac{1}{3} d_{\tau} N^{2/3}; \quad \bar{l}_{ц} = d_{\tau} N^{2/3}. \quad (67)$$

Подставляя в формулу (64) выражения для $R_l C_l \bar{l}_{cb}$, получаем аналитическую зависимость среднего времени распространения сигнала в линии связи СБИС при масштабировании размеров:

$$\bar{\tau}_{CR} = \frac{1}{2} \rho \epsilon \epsilon_0 \left(\frac{a}{\lambda_h \lambda_{\delta}} + \frac{b}{\lambda_d \lambda_{\theta}} \right) \left(\frac{\lambda_{\tau} n}{9 \eta_{\tau} k_{сл}} \right) N^{4/3}, \quad (68)$$

где $\lambda_h = h/\Delta$; $\lambda_\delta = \delta/\Delta$; $\lambda_d = d/\Delta$;
 $\lambda_\theta = \theta/\Delta$; $\lambda_T = d_T/\Delta = \lambda_d + \lambda_\theta$.

В средней цепи связи

$$\bar{\tau}_{\text{ц}} = n^2 \bar{\tau}_{\text{св}}. \quad (69)$$

В длинной цепи связи, равной линейному размеру кристалла, задержка распространения сигнала будет намного больше среднего значения, определяемого выражениями (68), (69). Подставляя в формулу (61) значение $l_{\text{ц}} = L_{\text{кр}}$, получаем максимальное значение задержки сигнала в СБИС при $l_{\text{ц}} = L_{\text{кр}}$:

$$\tau_{\text{ц max}} = \frac{1}{2} \rho \epsilon \epsilon_0 \left(\frac{a}{\lambda_h \lambda_\delta} + \frac{b}{\lambda_d \lambda_\theta} \right) \left(\frac{L_{\text{кр}}}{\Delta} \right)^2.$$

Используя аналитические выражения (54) — (56), нетрудно из (68), (69) получить прогноз зависимости для $\bar{\tau}_{\text{св}}$ и $\bar{\tau}_{\text{ц}}$. Расчет этих зависимостей от Δ при масштабировании для типового случая трехходовой вентиляционной матрицы с двухслойной А1-металлизацией ($k_{\text{сл}} = 2$; $n = 3$; $\eta_T = 0,5$; $\lambda_d = \lambda_\theta = 1$; $\lambda_T = 2$; $\lambda_h = \lambda_\delta = 0,3$; $\epsilon = 5$; $a \approx b = 3$; $\rho = 3 \cdot 10^{-6}$ Ом·см; $T = 300$ К) приведен на рис. 18. Из полученных зависимостей (см. рис. 18) видно, что при субмикронных поперечных размерах металлизированных проводников максимальные задержки сигнала в цепях связи возрастают до единиц наносекунд и существенно превышают ожидаемые задержки переключения собственно ЛЭ. Поэтому для реализации высокого системного быстродействия СБИС со степенью интеграции $N > 10^5$ радикальным средством снижения задержек в линиях связи следует считать использование низких рабочих температур кристалла (например, температуры жидкого азота

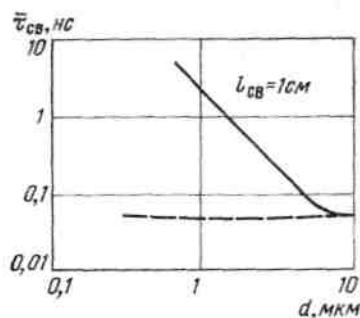


Рис. 17. Зависимость задержки сигнала в линии связи на кристалле (—) и в идеальном проводнике (---) от ширины проводника d при масштабировании

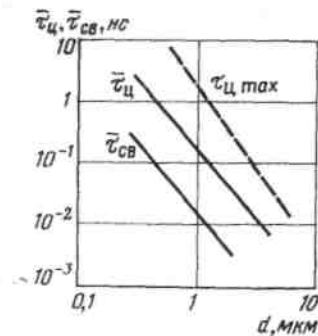


Рис. 18. Зависимости средней задержки сигнала в линии связи $\bar{\tau}_{\text{св}}$ и цепи $\bar{\tau}_{\text{ц}}$ СБИС (штриховой линией обозначена максимальная задержка в цепи $\tau_{\text{ц max}}$ при $l_{\text{ц}} = L_{\text{кр}}$)

$T = 77$ К), при которых обеспечивается резкое снижение удельного сопротивления металлизированных проводников и соответственно пропорциональное снижение погонных задержек сигналов в линиях связи на кристалле. Именно этим и определяется в первую очередь необходимость перехода в будущих конструкциях СБИС ЭВМ в область низких и сверхнизких рабочих температур.

СПИСОК ЛИТЕРАТУРЫ

1. Пржиялковский В. В., Ломов Ю. С., Файзулаев Б. Н. Проблемы и пути технической реализации высокопроизводительных ЭВМ на основе БИС//УСиМ. — 1980, — № 6, — С. 15—23.
2. Файзулаев Б. Н., Малярский Н. М. БИС на основе базового матричного кристалла — элементная база высокопроизводительных ЭВМ // Вычислительная техника социалистических стран. — М.: Финансы и статистика. — 1984. — Вып. 15. — С. 18—23.
3. Левин В. К., Файзулаев Б. Н. Анализ передачи импульсных сигналов в цепочке однородных формирующих каскадов // Радиотехника. — 1966

- Т. 21, № 4.—С. 56-61.
4. **Валиев К. А., Конгарев В. Я.** Полупроводниковая интегральная микроэлектроника и некоторые тенденции ее развития// Микроэлектроника.— 1972.- Т.1, вып. 1,—С. 10—19.
 5. **Файзулаев Б. Н., Первов А. С.** Взаимосвязь предельного быстродействия и степени интеграции БИС// Микроэлектроника и полупроводниковые приборы.— 1979.— Вып. 4.—С. 149—156.
 6. **Файзулаев Б. Н.** Проблема быстродействия элементной базы ЭВМ// Микроэлектроника и полупроводниковые приборы.— 1981.— Вып. 6. — С. 2—35.
 7. **Первов А. С.** Некоторые задачи стационарной теплопроводности при кусочно-постоянном потоке на границе // Инженерно-физический журнал.— 1981 — Т. 16, № 3,—С. 554—555.
 8. **Landman B. S., Russo R. L.** On a Pin Versus Block Relation Ship for Partion of Logic Graphs// IEEE Trans.— 1971.— V. Com. 20. — P. 1469—1479.
 9. **Donath W. E.** Placement and Average Interconnection Lengths of Computer Logic //IEEE Trans. — 1979.—V. CAS-26, N 4, — P. 272-276.
 10. **Файзулаев Б. Н.** Оценка средней длины и трассировочной способности связей матричных БИС ЭВМ//Микроэлектроника.— 1983.— Т. 12, вып. 5. — С. 457—463.
 11. **Keyes R. W.** The Evolution of Digital Electronics to Wards VLSI// IEEE J.— 1979.— V. SC-14, N 2,— P. 193—201.
 12. **Файзулаев Б. Н.** Предельное быстродействие и основные закономерности развития логических БИС ЭВМ//Микроэлектроника и полупроводниковые приборы.— 1984.— Вып. 8. —С. 5—14.
 13. **Елинсон М. И., Суханов А. А.** Проблемы межсоединений в современной микроэлектронике//Микроэлектроника.— 1984.— Т. 13, вып. 3. — С. 179 — 195.

УДК 621.396.6—181.5

Н. М. МАЛЯРСКИЙ, Ю. В. ТЕРЕХОВ

МИКРОЭЛЕКТРОННАЯ ЭЛЕМЕНТНАЯ БАЗА СРЕДСТВ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

Основные технико-экономические характеристики средств вычислительной техники (СВТ), такие, как производительность, стоимость и надежность, в значительной степени определяются уровнем развития микроэлектронной элементной и конструктивно-технологической базы. Основой микроэлектронной элементной базы (МЭБ) до настоящего времени были интегральные схемы (ИС), входящие в состав стандартных серий. Наибольшее распространение при создании СВТ Единой системы ЭВМ (ЕС ЭВМ) и Системы малых ЭВМ (СМ ЭВМ) получили серии, выполненные на основе ТТЛ- и ЭСЛ-схем.

На первом этапе развития средств вычислительной техники (1969— 1975 гг.) в состав стандартных серий ограниченной номенклатуры входили только ИС малой степени интеграции, которые выполняли простейшие логические функции. Так, первая модель Единой системы ЭВМ— ЕС1020 была построена всего на девяти ИС серии 155, выполнявших функции И — НЕ и И — ИЛИ — НЕ. Для этого периода развития характерны расширение состава используемых для построения СВТ стандартных серий ИС и усложнение функций, выполняемых интегральными схемами.

На втором этапе развития СВТ (1975—1980 гг.) с улучшением микроэлектронной технологии основными особенностями стали снижение энергии переключения и увеличение степени интеграции используемых ИС. Энергия переключения (фактор качества) представляет собой произведение потребляемой мощности на задержку переключения логического элемента.

На этом этапе были исключены из практического использования серии ИС с высоким значением энергии переключения (ТТЛ-схемы серий 131, 158; ЭСЛ-схемы серий 137, 187) и получили преобладающее применение серии с улучшенным в 2...7 раз фактором качества (ТТЛ-схемы серий 531, 555; ЭСЛ-схемы серии 500). Эти серии имеют достаточно широкую номенклатуру ИС малой и средней степени интеграции, выполняющих функции логических и специальных элементов, а также элементов памяти.

Применение ИС большой степени интеграции или больших интегральных схем (БИС) началось на третьем этапе развития (1980— 1985 гг.). Однако до настоящего времени

применение БИС в СВТ ограничивается в основном устройствами, имеющими регулярную структуру, такими как запоминающие устройства (ЗУ) различного назначения, в которых используются БИС ЗУ, а также малыми ЭВМ, некоторыми контроллерами устройств ввода-вывода и самими устройствами ввода-вывода, в которых было возможно применение БИС микропроцессорных комплектов.

Программная совместимость СВТ требует максимального сохранения архитектуры и принципов работы, а резервы повышения производительности за счет усложнения функциональной структуры отдельных узлов основных обрабатывающих устройств практически исчерпаны. Поэтому основным путем повышения производительности СВТ является увеличение системного быстродействия элементной базы, которое может быть достигнуто повышением быстродействия элементов за счет дальнейшего снижения энергии переключения, а также уменьшением задержек сигналов в межсоединениях за счет использования БИС и более совершенной конструктивно-технологической базы.

С ростом степени интеграции и быстродействия БИС возникает ряд конструктивно-технологических проблем: расширение номенклатуры БИС и уменьшение их повторяемости, увеличение количества выводов БИС, рост удельного тепловыделения БИС, повышение плотности электромонтажа.

Эти проблемы достаточно подробно рассмотрены в ряде работ [1—3], где отмечается, что они могут быть решены применением:

БИС микропроцессорных комплектов (МП БИС), настройка которых на выполнение конкретных функций осуществляется программным способом (обычно с помощью записанных в постоянном ЗУ микрокоманд), — для персональных ЭВМ, некоторых малых моделей ЕС и СМ ЭВМ и контроллеров устройств ввода-вывода;

полузаказных БИС на основе базовых матричных кристаллов (БМК) — для центральных обрабатывающих устройств ЭВМ и систем средней и высокой производительности.

Программная совместимость сейчас играет исключительно важную роль для разработчиков практически всех СВТ, включая разработчиков микропроцессорных комплектов БИС и микропроцессорных средств вычислительной техники. Это означает, что микропроцессорные комплекты БИС, создаваемые для перспективных СВТ, должны быть программно совместимы по центральным процессорам (ЦП) не только «вверх», но и «вниз». Тогда разработчики смогут создавать СВТ различной производительности, стоимости и функциональных возможностей при полной совместимости программных средств.

Наиболее широкое распространение получили БИС микропроцессорных комплектов К580 и К1810. Эти комплекты отвечают международным стандартам, имеют широкую номенклатуру БИС различного назначения, для них существуют развитые аппаратурные и программные средства автоматизации проектирования, в том числе и кросс-системы (трансляторы, интерпретаторы), функционирующие на ЕС ЭВМ.

В соответствии с концепцией развития микроэлектронной элементной базы для СВТ важнейшими направлениями развития микропроцессорных комплектов БИС являются создание и применение: 16- и 32-разрядных микропроцессорных комплектов БИС, программно совместимых с уже используемыми комплектами; специализированных вспомогательных процессоров (сопроцессоров), например процессоров с системой команд ЕС ЭВМ и СМ ЭВМ; функционально развитой номенклатуры интерфейсных схем и БИС контроллеров для устройств связи с реальными объектами; БИС специализированных процессоров обработки аналоговых сигналов.

Появление полузаказных матричных БИС открывает новый этап в развитии вычислительной техники, который должен привести к сокращению сроков и затрат на разработку БИС и СВТ, к дальнейшему росту производительности, снижению стоимости и увеличению надежности СВТ. При проектировании и использовании матричных БИС первоначально разрабатывается и изготавливается базовый матричный кристалл, содержащий некоторое количество регулярно расположенных полупроводниковых структур. Каждая повторяющаяся полупроводниковая структура (ячейка матрицы или макроячейка) может содержать одну или несколько логических схем либо набор компонентов, с помощью которых можно реализовать целую серию различных логических элементов (реализовать библиотеку

логических элементов).

На основе БМК проектируются различные типы матричных БИС, при этом функциональная настройка макроячеек и матрицы в целом осуществляется с помощью специально проектируемых межэлементных соединений. Для различных типов матричных БИС переменными являются слои металлизации межсоединений, а комплекты фотошаблонов для изготовления собственно БМК не изменяются.

Основной задачей создания матричных БИС широкой номенклатуры является задача бездефектного проектирования. Матричные БИС для высокопроизводительных ЭВМ, как правило, не являются функционально законченными частями ЭВМ, поэтому правильность их функционирования может быть проверена достаточно хорошо только при взаимодействии с другими БИС в составе ЭВМ. С этой целью при разработке высокопроизводительных ЭВМ на матричных БИС целесообразно не только использование традиционных методов проверки правильности проектирования и функционирования БИС (моделирование на этапе проектирования БИС и ЭВМ, контроль функционирования при изготовлении и т. д.), но и изготовление физических макетов ЭВМ на основе типовых элементов замены (ТЭЗ), являющихся прототипами ЭВМ на БИС.

Создание таких переходных моделей-прототипов обеспечивает практически бездефектный технологический переход к созданию ЭВМ на основе БИС по принципу реализации «ТЭЗ → БИС» [3] и позволяет провести физическое и функциональное моделирование БИС в составе ЭВМ на отработанном программном обеспечении, выверить таблицы соединений на всех конструктивных уровнях ЭВМ, отработать систему проектирования тестов и средства контроля матричных БИС.

Базовые матричные кристаллы принято характеризовать быстродействием логических элементов (задержкой переключения логического элемента как внутренних, так и периферийных ячеек) и степенью интеграции. Для БМК степень интеграции — это максимальное число эквивалентных вентилях (максимальное число элементарных двух или трехходовых логических элементов типа И—НЕ, ИЛИ—НЕ, реализуемых при полном использовании матрицы внутренних макроячеек и всех периферийных ячеек БМК с учетом возможных монтажных функций).

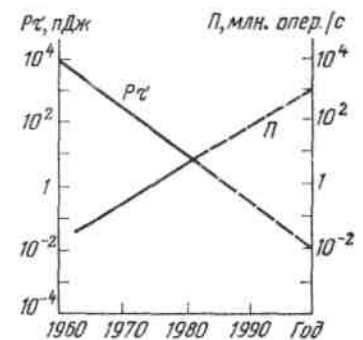
Улучшить основные характеристики БМК можно совершенствованием схемотехники и технологии, снижением амплитуды рабочих сигналов, использованием новых полупроводниковых материалов, а также повышением удельной мощности на элементах, применением эффективных методов охлаждения БИС, увеличением допустимой мощности рассеивания на кристалле и числа входных-выходных контактных площадок на кристалле.

За последние двадцать лет энергия переключения полупроводниковых логических элементов снизилась почти на три порядка, уменьшаясь ежегодно в 1,5 ... 2 раза (см. рисунок). К 2000 г. предполагается дальнейшее ее снижение примерно до уровня 10^{-2} пДж [4].

Прогнозируемое развитие микроэлектронной технологии элементной базы может обеспечить к 2000 г. значительное улучшение основных технико-экономических характеристик СВТ, расширение их функциональных возможностей и повышение быстродействия центральных процессоров высокопроизводительных ЭВМ примерно на два порядка. В табл. 1 приведены ожидаемые основные характеристики изделий МЭБ и характеристики центральных процессоров высокопроизводительных ЭВМ [51].

В качестве основной элементной базы центрального процессора ЭВМ 1985—1990 гг. будут использоваться матричные БИС на основе БМК, выполненного по технологии ЭСЛ-схем со степенью интеграции $N = 10^3$ вентилях и задержкой на логический элемент $t_3 \approx 1$ нс. Это позволит обеспечить техническую реализацию машинного цикла ЭВМ $T_{ц} \approx 40 \dots 50$ нс и соответственно максимальное быстродействие процессора $\Pi \approx 8 \dots 10$ млн. опер./с.

Для создания центрального процессора ЭВМ 1990—1995 гг. с быстродействием порядка 100



Прогноз снижения энергии переключения элементов (P_c) и роста производительности процессоров (Π)

млн. опер./с требуются матричные БИС на основе БМК со степенью интеграции $N = (5 \dots 10) \cdot 10^3$ вентиля и задержкой на логический элемент $t_3 = (0,1 \dots 0,2)$ нс.

В соответствии с прогнозом [4] к 2000 г. работа переключения логических элементов снизится примерно до 0,01 пДж, площадь кристалла БИС увеличится до $2 \dots 3 \text{ см}^2$, мощность рассеивания на кристалле возрастет до 20 Вт, а минимальный литографический размер компонентов будет определяться возможностями электронно-лучевой литографии и достигнет субмикронных размеров. Естественно предположить, что при указанном уровне технологии можно будет разместить на одном кристалле электронную часть всего центрального процессора высокопроизводительных ЭВМ.

Известно приближенное соотношение (правило Рента) между числом вентиля N и числом внешних выводов N_k какого-либо конструктивного уровня ЭВМ (БИС, ТЭЗ, панель): $N_k = \alpha N^p$, где $\alpha = 2,5 \dots 3,5$; p — показатель Рента, равный $0,5 \dots 0,75$.

Как следует из приведенного соотношения, для БИС с «произвольной логикой» ($p = 0,5$) при $N = 10^3$ вентиля потребуется $N_k = 80 \dots 100$ выводов, при $N = 5 \cdot 10^3$ вентиля — $175 \dots 245$ выводов, при $N = 10^4$ вентиля — $250 \dots 350$ выводов и при $N = 10^5$ вентиля до 1000 выводов.

Возможности микроэлектронной технологии по увеличению интеграции БИС в настоящее время опережают технику создания многовыводных корпусов микросхем (или модулей) и разъемов (соединителей) для различных конструктивных уровней ЭВМ. Для устранения этого разрыва прилагаются усилия по конструированию многоконтактных (многовыводных) корпусов БИС и разъемов; рассматриваются возможности применения распределенной памяти (по процессору, по ТЭЗ и по матричным БИС), которая занимает значительную часть оборудования, но не требует большого числа выводов и т. п. Тем не менее нарушение соотношения между

Таблица 1

Характеристики МЭБ для процессоров высокопроизводительных ЭВМ [5]

Характеристики	Этапы развития СВТ		
	1985—1990 г.	1990—1995 гг.	1995—2000 гг.
Энергия переключения логического элемента (ЛЭ), пДж	10	0,2	0,01
Задержка переключения, ЛЭ, нс	1	0,1...0,2	0,05
Степень интеграции матричных БИС, экв. вентиля	500...1000	$5 \cdot 10^3$	10^3
Число контактных площадок БМК под сигнальные цепи	100	300	1000
Мощность рассеивания на кристалле, Вт	5	10	20
Число матричных БИС в процессоре	600	50	1
Мощность, потребляемая процессором, Вт	$2,5 \cdot 10^3$	500	20
Конструктивный объем процессора, м ³	0,2...0,3 (однорамный)	0,01 (одноплатный)	0,001 (однокристалльный)
Машинный цикл процессора, нс	30...50	3...5	1
Быстродействие процессора, млн. опер./с	10	10^2	10^3

Таблица 2

Характеристики корпусов различных типов

Характеристики	Тип корпуса		
	ДИП	плоский, КВИП	кристалло-носитель
Число выводов	8...64	6...80	16...156
Шаг между выводами, мм	2,54	1,27	1,27 или 1,0
Плотность монтажа на плате, выводов/дм ²	800	1000	1000
Сопротивление выводов (макс.), Ом	До 1,1	До 0,5	0,1...0,2
Индуктивность выводов, мкГн	20...75	20...75	5
Межвыводная емкость (макс.), пФ	До 7	До 5	2
Максимальная частота, МГц	500	500	1000
Тепловое сопротивление кристалл—среда, °С/Вт	75-25	35 (5...15 на теплообменнике)	50...40

N и N_k существует и может увеличиваться, что может привести к недоиспользованию степени интеграции БМК, увеличению числа матричных БИС и снижению быстродействия ЭВМ.

Проблема создания многоконтактных корпусов решается в настоящее время разработкой и освоением производства как модернизированных вариантов конструкции обычных корпусов типа ДИП и плоских корпусов (плоские корпуса с выводами по четырем сторонам, корпуса типа КВИП), так и совершенно новых (керамические и пластмассовые кристаллоносители, корпуса с матрицей выводов) [6].

Под кристаллоносителем понимают семейство корпусов, объединенных следующими общими признаками: квадратная форма основания; расположение внешних контактов (укороченных выводов) по четырем сторонам корпуса; шаг между контактами (выводами) 1,27 (1) мм или 0,63 (0,5) мм.

Несмотря на бесспорные технические преимущества (табл. 2), применение кристаллоносителей расширяется в мировой практике пока медленно. Причины этого заключаются в трудности обеспечения их надежного монтажа на платах, относительно высокой стоимости по сравнению с обычными корпусами и в отсутствие стандартов на их конструкции. Проблема надежности монтажа кристаллоносителей на платах вызвана различием коэффициентов термического расширения (КТР) керамики кристаллоносителя и материала печатной платы.

Эта проблема может быть решена разными способами, из которых выделяют два основных: замена традиционных плат новыми из специально разработанных материалов, согласованных по КТР с керамикой кристаллоносителей;

изменение конструкции или способа монтажа кристаллоносителей (контактные разъемы, упругие короткие выводы и т. п.).

Корпус с матрицей выводов — это керамический многослойный корпус квадратной формы с выводами по всей площади основания корпуса, расположенными с шагом 2,54 (2,5) мм или 1,27 (1,25) мм по обеим осям координат. Известно несколько вариантов конструкции корпуса: с полной матрицей выводов и с неполной матрицей выводов, расположенных по периметру корпуса в 2...3 ряда.

Важное преимущество корпуса с матрицей выводов — постоянное, не зависящее от числа выводов, значение удельной плотности монтажа, т. е. количество выводов, приходящееся на единицу монтажной площади платы. Корпуса с матричным расположением выводов и шагом между выводами 1,27 (1,25) мм позволяют получить наивысшую плотность монтажа среди рассматриваемых типов корпусов. К недостаткам корпусов с матричным расположением выводов следует отнести «слепую» распайку выводов (невозможность визуального контроля пайки, особенно у корпусов с полной матрицей выводов) и относительно высокую стоимость.

Существуют обстоятельства, которые необходимо учитывать при оценке быстродействия процессора [7]:

в состав матричной БИС кроме основных логических элементов, обеспечивающих выполнение заданной функции, могут входить вспомогательные логические элементы, выполняющие функции преобразования сигналов на входе и выходе БИС, контроля функционирования БИС, перестройки структуры БИС или другие функции, которые не только требуют дополнительного оборудования, но и могут привести к увеличению числа каскадов в рабочих логических цепочках, определяющих машинный цикл ЭВМ;

выходные (а иногда и входные) элементы отличаются от внутренних элементов большей задержкой и большим потреблением мощности, кроме того, наружные элементы зачастую имеют слабые функциональные возможности и используются просто как буферные каскады для обеспечения связей между БИС, что увеличивает длину логической цепочки;

недостаточное количество выводов БИС и увеличенная фактическая интеграция матричных БИС за счет внешних и вспомогательных элементов могут привести к увеличению числа БИС, числа каскадов в рабочей логической цепочке, к разрыву между требуемым и реально имеющимся количеством выводов БИС, а в конечном счете к снижению быстродействия процессора.

Использование части элементов матричной БИС для контроля и функциональной перестройки БИС, избыточная мощность и задержка внешних элементов, недостаточное количество выводов БИС по-разному влияют на характеристики матричной БИС, но все три фактора приводят к увеличению времени цикла процессора при увеличении либо оборудования процессора, либо задержки логических элементов, либо «длины» логической цепочки элементов.

Для повышения эффективности использования БМК при построении матричных БИС для средств вычислительной техники целесообразно:

разработать ряд семейств (комплектов) БМК, различных по быстродействию и потреблению мощности (сверхбыстродействующий комплект БМК, микромощный комплект БМК и т.д.);

в составе комплекта иметь несколько электрически сопрягаемых БМК, отличающихся

степенью интеграции, задержками логических элементов, трассировочной возможностью и количеством выводов с кристалла;

в составе комплекта иметь БМК, включающие матрицы элементов— логических и запоминающих (схемы ЛЗУ, ПЗУ или ПЛМ).

С ростом степени интеграции на кристалле ИС и переходом к ИС сверхбольшой степени интеграции (СБИС) резко возрастает роль межэлементных линий связи [8]. Для СБИС со степенью интеграции $N > 10^3$ вентилях линии связи занимают более половины площади кристалла и начинают определять все основные характеристики СБИС (площадь кристалла, задержку переключения, помехоустойчивость и др.). Чем больше степень интеграции, тем значительней влияние линий связи на быстродействие логических цепей. Для уменьшения этого влияния и повышения быстродействия СБИС необходимо провести исследования в направлениях:

оптимизации размещения и трассировки связей на кристалле в целях сокращения длин связи;

совершенствования схемотехники элементов;

разработки новых материалов для металлизации и изоляции соединений, обеспечивающих уменьшение погонного сопротивления и емкости проводников при одновременном увеличении их плотности без снижения надежности;

реализации многослойных (три и более слоев проводников) межсоединений.

На всех этапах развития СВТ эффективность использования аппаратурных и программных средств во многом определяют запоминающие устройства. Это обстоятельство диктует необходимость, с одной стороны, повышения быстродействия, информационной емкости и надежности запоминающих устройств, а с другой, — снижения их стоимости и габаритных размеров.

Трудно совместимые между собой требования и отсутствие одного какого-либо типа ЗУ, обладающего одновременно всеми наилучшими характеристиками, вынуждают разработчиков СВТ идти по пути создания иерархических запоминающих систем, в которых сочетаются преимущества ЗУ различных типов и широкого использования идеи виртуальной памяти.

Обычно в состав иерархического ЗУ входят следующие виды памяти:

сверхоперативное ЗУ (регистры процессора) с очень малым временем выборки, близким к значению задержки логического элемента, и малой емкостью, которое предназначено для хранения наиболее часто используемой информации и освобождает от необходимости постоянного обращения к основному оперативному ЗУ;

быстродействующие буферные ЗУ, работающие с тактом процессора, которые позволяют сбалансировать работу быстродействующих процессоров с более «медленным» основным запоминающим устройством;

основное запоминающее устройство (ОЗУ), служащее для хранения информации (данных, программ, промежуточных и конечных результатов обработки), непосредственно используемой в процессе выполнения операций процессором;

внешние ЗУ сверхбольшой емкости, предназначенные для хранения больших объемов данных, в качестве которых в настоящее время используются накопители на магнитных носителях (дисках, лентах, кассетах и т. д.).

Сверхоперативные ЗУ выполняются, как правило, в виде ИС средней и большей степени интеграции, которые входят в состав стандартных серий. При переходе от ИС к БИС в СВТ последующих поколений целесообразно выполнять сверхоперативные ЗУ в составе БИС (МП БИС или матричной БИС).

По мере роста производительности ЭВМ емкость и быстродействие оперативных ЗУ должны увеличиваться, однако благодаря непрерывному росту степени интеграции БИС ЗУ количество БИС в оперативном ЗУ и конструктивный объем его будут сохраняться примерно на прежнем уровне.

Таблица 3

Характеристики основных запоминающих устройств высокопроизводительных ЭВМ

Характеристики	Этапы развития СВТ	
	1985-1990 гг.	1990—1995 гг.
Быстродействие процессора, млн. опер./с	10	10 ²
Машинный цикл, нс	30...50	3...5
Емкость ОП, Мбайт	32	256
Количество БИС в ОП	8·10 ³	8·10 ³
Емкость БИС ОП, Кбит	64	512
Время выборки из ОП, нс (при 8-кратном расслоении)	150	20
Емкость СБП, Кбайт	64	1024
Время выборки из СБП, нс	18	3...5
Емкость БИС СБП, Кбит	4	16(64)
Время выборки из БИС СБП, нс	8	1(10)

В современных высокопроизводительных ЭВМ быстродействие ОЗУ значительно меньше быстродействия процессора, поэтому практически все высокопроизводительные системы имеют двух- или трехуровневую иерархическую систему оперативного ЗУ, которая состоит из основной памяти (ОП) и одной (или двух) сверхбыстродействующей буферной памяти (СБП). Производительность иерархической системы СБП-ОП принято определять обобщенной характеристикой (эффективным временем доступа), которая является в общем случае сложной функцией технических характеристик обеих памятей системы, архитектуры ЭВМ, локальных свойств программ и т. д.

В работах [9—12] приведена оценка требуемых характеристик ОП, БИС ОП, СБП и БИС СБП для обеспечения быстродействия процессоров высокопроизводительных ЭВМ последующих поколений. Предполагается для ЭВМ с производительностью 100 млн. опер./с иметь СБП центрального процессора объемом от 64 до 128 Кбайт на БИС СБП емкостью 16 Кбит и временем выборки 1...2 нс и общую СБП объемом до 1 Мбайт на БИС СБП емкостью 64 Кбит и временем выборки порядка 10 нс (табл. 3).

Во многих СВТ в настоящее время используется микропрограммный принцип управления. Управляющая память микропрограмм может быть выполнена на любой физической основе (ферритах, пленках, полупроводниках). Однако из-за сравнительно низкого быстродействия магнитные ЗУ (довольно широко использовавшиеся на первых этапах развития СВТ) в новых разработках СВТ не применяются. Успехи технологии изготовления быстродействующих полупроводниковых ИС оперативных и постоянных ЗУ позволили полностью реализовать преимущества принципа микропрограммного управления.

В управляющих ЗУ могут быть использованы различные типы БИС ЗУ:

БИС оперативных ЗУ, информация в которые должна заноситься каждый раз после включения питающего напряжения;

БИС постоянных ЗУ (ПЗУ), информация в которые заносится в процессе изготовления;

БИС однократно программируемых постоянных ЗУ (ППЗУ), в которые информация заносится путем пережигания перемычек на кристалле;

БИС электрически программируемых ЗУ с возможностью стирания информации и новой записи (перепрограммируемые ПЗУ).

Существующий уровень технологии уже обеспечивает создание БИС управляющих ЗУ необходимой степени интеграции. Для построения высокопроизводительных СВТ в целях согласования по временам циклов работы процессора и управляющих ЗУ необходимо решить проблему существенного повышения быстродействия этих БИС.

СПИСОК ЛИТЕРАТУРЫ

1. **Пржиялковский В. В., Ломов Ю. С., Файзулаев Б. Н.** Проблемы и пути технической реализации высокопроизводительных ЭВМ на основе БИС/УСМ.— 1980.— №6.— С. 15—23.
2. **Основы построения технических средств ЭВМ ЕС ЭВМ на интегральных микросхемах/Н. М. Малярский, В. М. Микитин, В. А. Павлычев и др. Под ред. Б. Н. Файзулаева.** — М.: Радио и связь, 1981.—288 с.

3. **Файзулаев Б. Н., Малярский Н. М.** БИС на основе базового матричного кристалла — элементная база высокопроизводительных ЭВМ Единой системы// Вычислительная техника социалистических стран— М.: Финансы и статистика, 1984.— Вып. 15. —С. 18—24.
4. **Keyes R. W.** The evolution of digital electronics towards VLSI//IEEE J. — 1979.— V. SC-14, N 2. — P. 193—201.
5. **Ломов Ю. С., Файзулаев Б. Н.** Прогноз развития технической базы высокопроизводительных ЭВМ//Вопросы радиоэлектроники. Сер. ЭВТ.— 1981.— Вып. 5.— С. 37—45
6. **Чернышев А. А., Стадник А. А., Тюхин А. А.** Корпуса для больших интегральных схем и перспективы их совершенствования//Зарубежная радиоэлектроника, — 1984.— № 9. — С. 83—95.
7. **Иванов Л. В.** К вопросу оптимизации параметров логических БИС для процессоров максимального быстродействия// Вопросы радиоэлектроники. Сер. ЭВТ.— 1984.— Вып. 7.— С. 36—45.
8. **Файзулаев Б. Н.** Предельное быстродействие и основные закономерности развития логических БИС ЭВМ//Микроэлектроника и полупроводниковые приборы.— 1984.— Вып. 8. — С. 5—15.
9. **Кондратьев А. П., Фирсов С. В.** К вопросу о повышении эффективности иерархической системы памяти // Вопросы радиоэлектроники. Сер. ЭВТ. — 1983, — Вып. 13.— С. 45—49.
10. **Ломов Ю. С., Файзулаев Б. Н., Акинфиев А. Б.** Проблемы развития ОЗУ высокопроизводительных ЭВМ Единой системы // Вопросы радиоэлектроники. Сер. ЭВТ.— 1983.— Вып. 7. — С. 3—7.
11. **Акинфиев А. Б., Глаголев А. Е.** Требования к конструкции и элементной базе буферных ЗУ для перспективных высокопроизводительных ЭВМ // Вопросы радиоэлектроники. Сер. ЭВТ. — 1984.— Вып. 7. — С. 30 — 36.
12. **Ломов Ю. С., Андреев Ю. Г.** Проблемы структурной организации буферных ЗУ высокопроизводительных ЭВМ//Вопросы радиоэлектроники. Сер. ЭВТ.— 1984.— Вып. 7.— С. 82—90.

УДК 621.3.049.77

А. А. ОРЛИКОВСКИЙ, Б. В. ОРЛОВ, В. И. СТАРОСЕЛЬСКИЙ

БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ СВЕРХОПЕРАТИВНОЙ ПАМЯТИ

В многоуровневой иерархической структуре внутренней памяти высокопроизводительных ЭВМ особое место занимают сверхбыстродействующие оперативные запоминающие устройства (СОЗУ): регистры процессора, буферная (кэш) память и т. п. Требования к высокому быстродействию элементной базы таких устройств определяются быстродействием элементной базы процессоров, так как время выборки сверхбыстродействующей памяти непосредственно входит в цикл процессора. В связи с созданием матричных БИС на основе ЭСЛ-элементов с временем задержки на элемент от 0,4 до 1,5 нс становятся необходимыми БИС сверхоперативной памяти с временем выборки, равным по порядку величины единицам наносекунд [1].

В области высокого быстродействия лидирующее положение занимают биполярные статические БИС сверхоперативной памяти. Наряду с ними выпускаются БИС СОЗУ на базе *n*-МОП- и КМОП-элементов. Созданы экспериментальные БИС СОЗУ на основе арсенида галлия. Ведутся интенсивные исследования с целью создания гетеропереходных (полевых и биполярных) сверхбыстродействующих БИС.

Цель настоящей работы — оценить состояние и перспективы каждого из этих технологических направлений создания элементной базы сверхоперативной памяти.

Биполярные БИС СОЗУ

Темпы совершенствования биполярных БИС СОЗУ в направлении как повышения быстродействия, так и увеличения плотности размещения элементов и емкости накопителя на кристалле иллюстрируются соответствующими зависимостями на рис. 1. Совершенствование биполярных БИС СОЗУ достигается применением новой технологии, уменьшением размеров элементов топологии и внедрением улучшенной схемотехники. Чтобы убедиться в этом, рассмотрим три биполярные ЭСЛ БИС с одинаковой организацией (256 × 4) и подобными структурно-логическими схемами [2—4]. Основные параметры схем приведены в табл. 1.

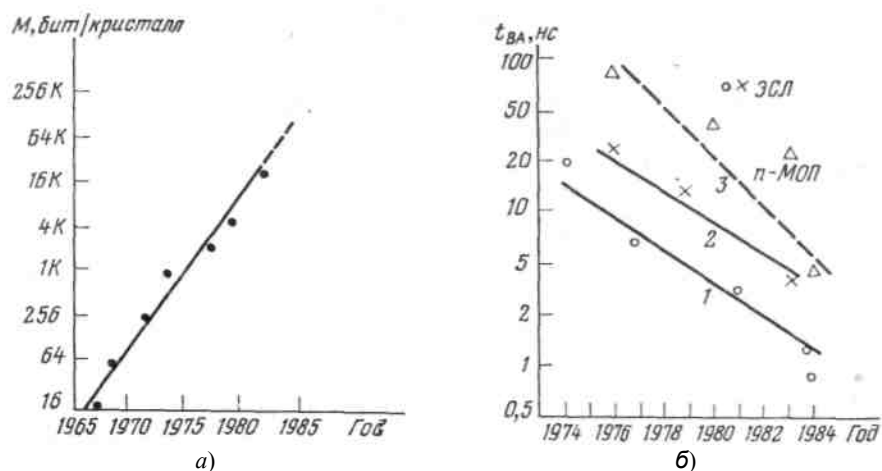


Рис. 1. Темпы увеличения емкости (а) и быстродействия (б) БИС СОЗУ:
 1) 1 Кбит ЭСЛ; 2) 4 Кбит ЭСЛ; 3) 4 Кбит n-МОП

Учитывая, что принципы используемой в этих СБИС схемотехники хорошо известны [5,6], не будем подробно их описывать. Отметим только, что в схемах применяются эмиттерно-связанные транзисторные элементы памяти (ЭСТ ЭП) с диодами Шотки (шунтирующими резисторы) в качестве нелинейной переключаемой нагрузки и принцип токового управления матрицей элементов памяти. В этих БИС использован один и тот же технологический маршрут, основанный на «принципе самосовмещения» (структура транзистора показана на рис. 2 [4]). Поэтому на приведенных примерах удобно проследить, какие приемы используются для улучшения параметров БИС.

Уменьшение времени выборки от 3 до 1,6 нс достигается главным образом совершенствованием схемотехники [3]. Во-первых, в элементы памяти введены ускоряющие емкости, шунтирующие резисторы нагрузки, что приводит не только к ускорению процесса переключения, но и к его стабилизации. Во-вторых, существенно сокращено число ЭСЛ-элементов в выходном усилителе считывания (с 3 до 1), в результате чего вдвое сократилось время задержки и уменьшилась потребляемая усилителем мощность. В-третьих, усовершенствована схема установки опорного напряжения во входных буферных схемах, в результате сократилось время задержки в этих схемах и дешифраторе адреса строки на 45 %. Таким образом, только улучшение схемотехники позволило вдвое уменьшить время выборки адреса.

Таблица 1.

Основные параметры трех ЭСЛ БИС СОЗУ 256×4 бит

Время выборки, нс	Потребляемая мощность, мВт	Минимальный топологический размер, мкм	Ширина эмиттера, мкм	Задержка/потребляемая мощность в отдельных блоках, нс/мВт		
				дешифратор	матрица	усилители считывания
3	500	2		0,9/125	0,8/170	1,2/100
1,6	700	2	1,2	0,5/205	0,5/179	0,6/72
0,85	950	1	0,5	0,25/455	0,2/175	0,4/120

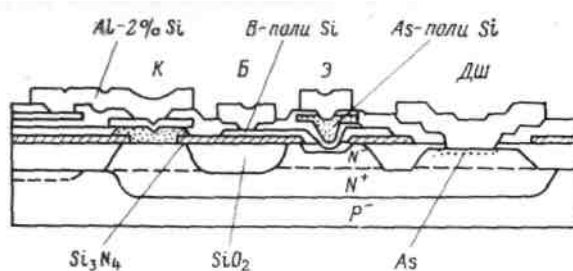


Рис. 2. Структура сверхбыстродействующего биполярного транзистора с «самосовмещением»

Сокращение времени выборки от 1,6 до 0,85 нс обеспечено двукратным уменьшением минимальных топологических размеров без изменения схемотехники. При этом потребляемая мощность возросла всего на 33 %. Если зависимость времени выборки адреса от минимального топологического размера принять линейной, то при $\Delta X_{\text{мин}} = 0,6$ мкм и минимальной ширине эмиттера 0,3 мкм, что соответствует задержке на один ЭСЛ-элемент в кольцевом генераторе 30 пс, время выборки для той же схемотехники составит 0,5 нс при потребляемой схемой мощности не более 1 Вт. Однако, по нашему убеждению, возможности улучшения схемотехники нельзя считать исчерпанными [1].

Применение МОП-технологии для создания БИС СОЗУ

На рис. 1, б иллюстрируется также динамика улучшения параметров статических n -МОП БИС СОЗУ емкостью 4 Кбит. Видно, что n -МОП-схемы характеризуются несколько более высоким темпом уменьшения времени выборки адреса, чем биполярные. Однако сохраняющаяся разница значительна и может быть определяющей в выборе биполярных схем для СОЗУ различного применения в суперЭВМ. Недостатком биполярных и n -МОП-схем для СОЗУ является

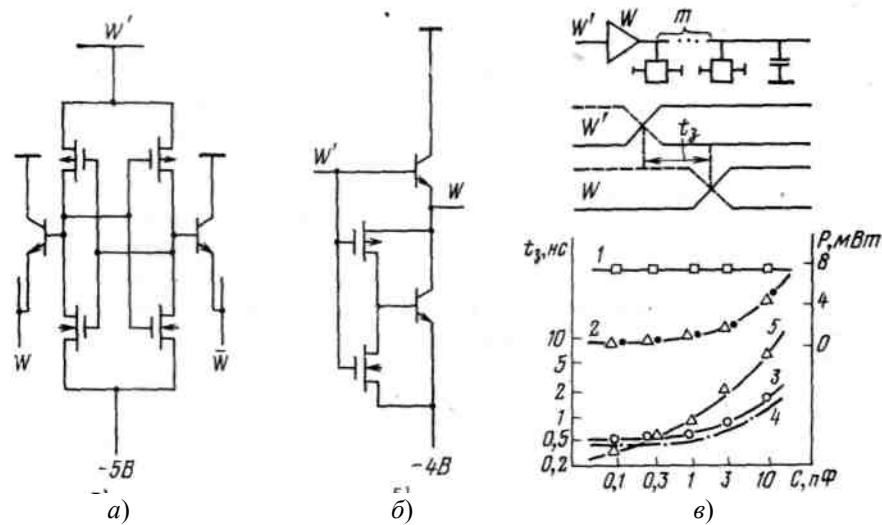


Рис. 3. Схемы ЭП (а) и формирователя импульса выборки строки (б), совмещающие n -МОП, p -МОП и биполярные транзисторы, и зависимости времени задержки и потребляемой мощности от емкости шины строки (числа ЭП в строке от) (в):

(1) $P(C)$ для БТ, 2) $P(C)$ для КМОП и БИП-КМОП, 3) $t_3(C)$ для БТ, 4) $t_3(C)$ для БИП-КМОП, 5) $t_3(C)$ для КМОП; на рис. а буквами W и \bar{W} обозначены сигналы по разрядным шинам

высокая потребляемая мощность (0,5 ... 1 мВт/бит). С этой точки зрения большой интерес представляют КМОП-схемы, не потребляющие мощность в отсутствие обращения. Однако статические КМОП-схемы памяти оказываются еще более медленными. Это объясняется тем, что МОП-схемы обнаруживают существенно более сильную зависимость времени задержки от емкости нагрузки (в БИС СОЗУ, например, емкости шин выборки или разрядных шин в накопителе), чем биполярные [1]. Возможно, что разумным окажется совмещение биполярных и КМОП-транзисторов на одном кристалле, причем биполярные транзисторы должны будут использоваться в элементах БИС СОЗУ, работающих на большую емкостную нагрузку. Такая возможность изучалась в работе [7] на тестовых кристаллах емкостью 16 бит (рис. 3). Из рисунка видно, что при емкости шины строки до 3 пФ применение совмещенных (БИП, КМОП) схем может дать значительный выигрыш в производстве потребляемой мощности на время задержки. Хотя такая схемотехника недостаточно изучена для того, чтобы сделать окончательные выводы, это направление совершенствования параметров БИС СОЗУ представляется перспективным.

Экспериментальные БИС СОЗУ на основе арсенида галлия

Улучшить параметры БИС СОЗУ можно также применением новых полупроводниковых материалов, и в частности арсенида галлия. Основными преимуществами GaAs перед Si являются в 5 ... 8 раз более высокая подвижность электронов, в 1,5...2 раза более высокая

предельная скорость дрейфа электронов, более широкая запрещенная зона и возможность применения высокоомной (до 10^8 Ом·см) подложки.

Технология изготовления арсенид-галлиевых БИС развивается быстрыми темпами. За 4 года, прошедших со времени создания первой ИС СОЗУ емкостью 8 бит, информационная емкость лабораторных образцов БИС СОЗУ достигла 16 Кбит.

Основными компонентами БИС на GaAs являются полевые транзисторы (ПТ) с затвором Шотки и диоды Шотки. В зависимости от порогового напряжения U_t ПТ различают 3 типа элементов БИС на GaAs: 1) на нормально открытых (НО) ПТ, $U_t = -0,5...-1,5$ В; 2) на нормально закрытых (НЗ) ПТ, $U_t = +0,1...0,3$ В; 3) на квазинормально закрытых (КНЗ) ПТ, $U_t = -0,15...+0,1$ В. Свойства логических элементов БИС на GaAs описаны в работе [8]. Электрические характеристики ПТ зависят от длины затвора и сопротивления пассивных областей стока и истока. Наиболее перспективными методами создания высококачественных ПТ считаются использование процессов селективного ионного легирования для формирования активного слоя канала и областей стока-истока, применение силицидов W или Ti — W для формирования самосовмещенного затвора Шотки. Эти методы позволяют получить транзисторные и диодные структуры с длиной затвора до 1 мкм при использовании оптической литографии и до 0,3 мкм при использовании электронной литографии.

В табл. 2 сведены основные параметры известных лабораторных образцов БИС СОЗУ. При существующем технологическом уровне на основе НО транзисторов могут быть созданы БИС СОЗУ емкостью до 1 Кбит с быстродействием, близким к рекордным значениям для кремниевых схем, при равном потреблении мощности. Применение НЗ транзисторов позволяет существенно снизить энергопотребление при равном или даже более высоком быстродействии, что принципиально дает возможность повысить информационную емкость схемы. Важным преимуществом БИС СОЗУ на НЗ транзисторах является более простая топология, позволяющая вдвое (по сравнению с НО) уменьшить площадь элементов памяти. Основная сложность реализации БИС на НЗ-транзисторах заключается в необходимости точного воспроизведения порогового напряжения, разброс которого на кристалле не должен превышать 0,1 В.

В экспериментальных БИС чаще использовались ЭП с транзисторными связями (рис. 4), подобные ЭП на МОП-транзисторах. Они отличаются более простой топологией и занимают на кристалле площадь около $(2...4) \cdot 10^3$ мкм². Малая величина порогового напряжения (она должна быть существенно меньше напряжения отпирания барьерного перехода) налагает ограничения на ток считывания из-за возможности ложной записи при считывании. Для ограничения тока

Таблица 2.

Основные характеристики экспериментальных образцов БИС СОЗУ на основе арсенида галлия

Фирма (страна, год разработки)	Организация	Тип применяемых транзисторов	Время выборки, нс	Другие данные
Thomson CSF (Франция, 1982)	1024×1	КНЗ	2,0	$P=850$ мВт
Lockheed (США, 1982)	1024×4	НЗ	2...4	$S_{эл} = 57 \times 40$ мкм ²
Mc Donnell (США, 1982)	256×4	НЗ	0,9	$P = 600$ мВт
	4096×1	НЗ	6,0	$P=100$ мВт
Rockwell (США, 1983)	1024×1	НО	5,5	$P = 9$ мВт (проект)
NTT	1024×1	НЗ	6,0	$P = 38$ мВт
(Япония, 1982)	1024×1	НЗ	2,6	$P = 450$ мВт
	256×1	НЗ	50,0	$P = 9,4$ мВт
Fujitsu				$P = 68$ мВт
(Япония, 1983)	1024×1	НЗ+НО	3,6	$P=850$ мВт
	1024×1	НЗ+НО	1,2	$S_{кр} = 5$ мм ²
Mitsubishi (Япония, 1983)	1024×1	НЗ	1,8	$P=67$ мВт
Algugi Ei. Com (Япония, 1984)	16 К	НЗ	2,0	$S_{кр} = 45$ мм ²

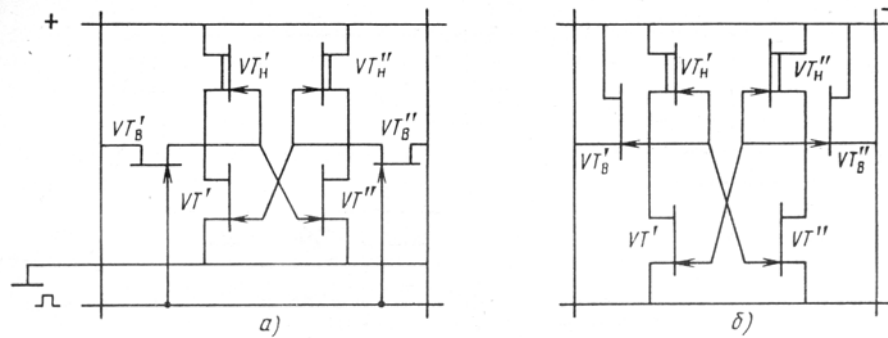


Рис. 4. Элементы памяти БИС СОЗУ на GaAs-ПТ:
 а — с транзисторными связями; б — с записью через барьерный переход

считывания приходится уменьшать ширину канала транзисторов связи VT_B , что приводит к снижению быстродействия. В ЭП на рис. 4, б запись информации производится через барьерный переход исток-затвор транзисторов VT_B . Цепь считывания отделена от элемента хранения, что позволяет снять ограничения на величину тока считывания. Выборка строки осуществляется по шине питания. При этом уменьшается число шин, однако возникают ограничения на скорость выборки строки ввиду опасности ложной записи через паразитную емкость затвор-исток транзисторов VT_B . Опасность ложной записи может быть полностью исключена при использовании двухзатворных транзисторов связи VT_B . Один из затворов подключается к элементу хранения информации, а другой — к шине выборки строки. Однако применение двухзатворных транзисторов усложняет топологию.

Быстродействие ОЗУ во многом зависит от задержки сигнала считывания в тракте ЭП — усилитель считывания. Ее уменьшение возможно, как и в кремниевых схемах, за счет увеличения тока считывания и уменьшения логического перепада на разрядных шинах. Увеличение тока считывания должно сопровождаться увеличением размеров транзисторов VT_B и, следовательно, площади накопителя. Как и в биполярных схемах, в БИС СОЗУ на GaAs возможно применение токового считывания [5], что позволяет исключить ложную запись при смене адреса строки в ЭП (рис. 4, а). Другим важным преимуществом токового считывания является ускорение записи информации в ЭП. Действительно, если на разрядных шинах постоянно поддерживаются высокие потенциалы, транзисторы VT_B в выбранной строке включены параллельно нагрузочным транзисторам VT_H . Это позволяет получить малое время переключения ЭП при сколь угодно малой потребляемой мощности в режиме хранения. По-видимому, при использовании токового считывания ЭП на рис. 4, а является оптимальным.

Периферийные устройства БИС СОЗУ на GaAs строятся на базе логических элементов на НЗ, НО или КНЗ транзисторах. Логический элемент на рис. 5, а требует использования двух типов транзисторов — НЗ (или КНЗ) и НО (элемент нагрузки). Отсутствие корреляции параметров нагрузочного и переключаемого транзисторов приводит к ужесточению допусков на пороговое напряжение, что является главным фактором, ограничивающим процент выхода годных изделий. Смягчить требования к допускам на пороговое напряжение примерно вдвое позволяет использование сложного нагрузочного элемента (рис. 5, б), состоящего из двух транзисторов VT_H и VT_H^* . При работе на значительные нагрузки целесообразно использовать буферные каскады в виде повторителей напряжения (транзисторы VT_3 , VT_{3H} и VT_{3H}^* на рис. 5, б). Применение буферных каскадов позволяет уменьшить практически до нуля уровень логического 0, что способствует повышению помехозащищенности. Буферный каскад потребляет мощность только во включенном состоянии. Особенно важно это в узлах дешифрации, так как

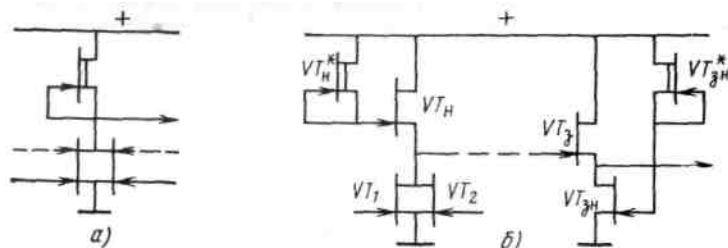


Рис. 5. Логические элементы GaAs-БИС на нормально закрытых полевых транзисторах с барьером Шоттки:
 а — с простой нагрузкой; б — со сложной нагрузкой

в этом случае потребляет мощность только один буферный каскад всех дешифраторов. Входные каскады дешифраторов строятся на элементах ИЛИ — НЕ. Элементы И — НЕ на основе многозатворных транзисторов не могут иметь более двух входов из-за увеличения уровня 0 при большом числе входов.

Важным вопросом при проектировании БИС СОЗУ является выбор внешних логических уровней. Наиболее естественными являются уровни $U^0 = 0$, $U^1 = 0,7$ В, совпадающие с внутренними логическими уровнями элементов на НЗ транзисторах. При этом выходные каскады БИС могут быть построены по схеме истокового повторителя, работающего на согласованный СВЧ-тракт с волновым сопротивлением 50 Ом. Согласование с кремниевым и ИС ЭСЛ-типа требует использования специальных трансляторов на основе GaAs или кремния.

Приведенные выше сведения о схемотехнике БИС СОЗУ на GaAs не являются исчерпывающими, а вопрос о выборе оптимальных схем нельзя считать изученным.

На рис. 6 представлены расчетные зависимости $t_{\text{ва}}(P)$ для БИС СОЗУ 1024×1 при оптимальных значениях параметров, длины затвора НЗ ПТ 1,5 мкм и шага металлизации 8 мкм.

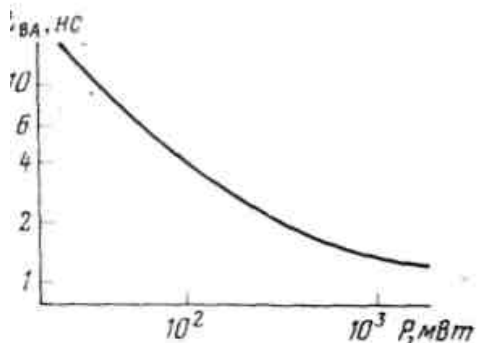


Рис. 6. Расчетная зависимость времени выборки от потребляемой мощности для БИС СОЗУ 1024×1 для ПТ с длиной затвора 1,5 мкм

Дальнейшее улучшение параметров БИС СОЗУ на GaAs может быть достигнуто за счет уменьшения длины затвора ПТ, шага металлизации, и, возможно, совершенствования схемотехники.

Важнейшими технологическими проблемами, решение которых обеспечит возможность перехода к серийному производству БИС СОЗУ на основе арсенида галлия, являются повышение воспроизводимости порогового напряжения ПТ, уменьшение поперечных размеров канала до 1,5 ... 2,0 мкм и создание малогабаритных высокоомных резисторов, что даст возможность повысить быстродействие и снизить энергопотребление накопителя.

Исследования гетеропереходных транзисторов и элементов сверхскоростных БИС

Фундаментальные исследования гетеропереходов [9] привели к созданию широкого класса гетеропереходных приборов, в том числе полевых и биполярных транзисторов [10,11].

Наиболее интенсивное развитие получила технология гетеропереходных полевых транзисторов (ГППТ) [10]. Транзисторы создаются на полуизолирующей подложке из GaAs методом молекулярно-пучковой эпитаксии со структурой: $i - \text{GaAs} - n - \text{Al}_{0,3}\text{Ga}_{0,7}\text{As} - n - \text{GaAs}$. На гетерогранице в $i - \text{GaAs}$ образуется тонкий проводящий электронный слой (двумерный электронный газ с концентрацией примерно 10^{12} см^{-2} при 300 К), в котором подвижность электронов при низких напряженностях поля при $T = 77 \text{ К}$ может достигать $10^5 \text{ см}^2/\text{В}\cdot\text{с}$. На общей подложке создаются транзисторы с обеднением и обогащением. Для формирования затвора Шотки используется принцип самосовмещения. В табл. 3 приведены параметры, достигнутые в экспериментальных кольцевых генераторах на инверторах с непосредственной связью на ГППТ.

На основе ГППТ фирмой Fujitsu была разработана экспериментальная БИС СОЗУ емкостью 1 Кбит ($1\text{К} \times 1$) на 6-транзисторных ЭП с длинами каналов переключающихся транзисторов 2 мкм и транзисторов в схемах управления 1,5 мкм на кристалле размером $3,0 \times 2,9 \text{ мм}^2$. Схема функционировала при 300 и 77 К. При 300 К время выборки адреса. $t_{\text{ва}}$ составило 3,4 нс при потребляемой кристаллом мощности $P = 290 \text{ мВт}$ и напряжении источника питания $U_{\text{и п}} = 1,3 \text{ В}$. При 77 К $t_{\text{ва}} = 0,87 \text{ нс}$ при $P = 360 \text{ мВт}$ и $U_{\text{и п}} = 1,6 \text{ В}$. Предполагается, что благодаря оптимизации схемы суб-500 пс диапазон будет достигнут при мощности $P = 1 \text{ Вт}$. Разработан также проект БИС СОЗУ емкостью 4 Кбит на кристалле $4,76 \times 4,35 \text{ мм}^2$, содержащем 26864 ГППТ. Предполагается, что в такой схеме будет достигнут субнаносекундный диапазон времени выборки при длинах каналах ГППТ 1 мкм.

Учитывая, что для биполярной кремниевой БИС 1 К (256×4) было достигнуто такое же быстродействие 0,85 нс (300 К, $P = 0,95 \text{ Вт}$, $\Delta X = 1 \text{ мкм}$), можно утверждать, что огромный интерес представляют исследования и разработки гетеропереходных биполярных транзисторов (ГПБТ).

Таблица 3.

Параметры экспериментальных логических элементов на ГППТ в кольцевых генераторах [10]

Фирма-изготовитель	Температура, К	Площадь канала ГППТ, мкм	Время задержки, ПС	Произведение времени задержки на потребляемую мощность, фДж
Fujitsu	77	1,7×13	17	16
	300	0,5×20	15	18
	300	0,5×20	25	4
Thomson CSF	300	0,7×20	18	17
AT & T	77	1×125	18	141
Bell Labs	300	1×125	300	135
Rockwell	300	1×20	12	14

В настоящее время реальные успехи в создании ГПБТ достигнуты с использованием гетеропереходов GaAs/(GaAl) As. Преимущества ГПБТ на GaAs/(GaAl) As перед традиционными биполярными транзисторами заключаются в возможности существенного уменьшения сопротивления базы, достижения высоких коэффициентов усиления в области

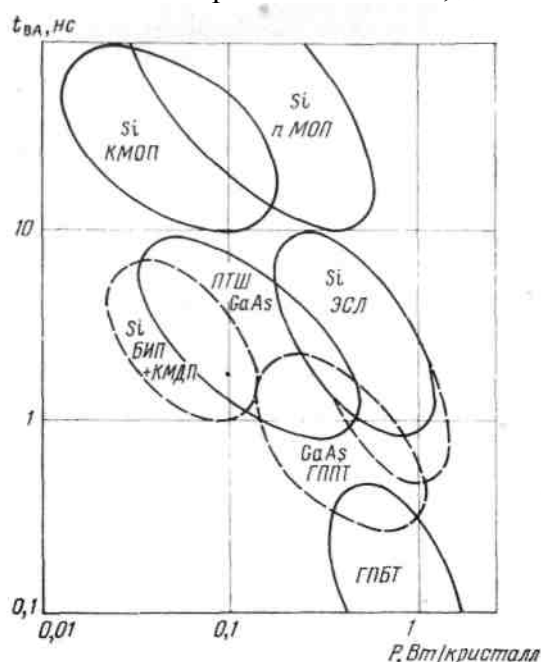


Рис. 7. Освоенные и достижимые области параметров статических БИС СОЗУ на основе различных физических и технологических принципов

больших плотностей токов эмиттера, использования полуизолирующей подложки, использования не только широкозонного эмиттера, но и коллектора, уменьшения барьерной емкости эмиттерного $p-n$ -перехода, достижения высокой радиационной стойкости. В настоящее время созданы интегральные кольцевые генераторы на основе непороговой логики ($\tau_3 = 29,3$ пс при $P = 4$ мВт и $\tau_3 = 60$ пс при $P = 0,4$ мВт), делители частоты на 8,6 ГГц на транзисторах с размерами эмиттера $1,6 \times 5$ мкм и концентрацией примеси в базе $5 \cdot 10^{18} \text{ см}^{-3}$ ($r_6 = 390$ Ом и время пролета 2,5 нс), созданы и испытаны интегральные ЭСЛ-инверторы. Показана возможность создания ГПБТ с сильнолегированной базой ($p = (1 \dots 2) \cdot 10^{19} \text{ см}^{-3}$, $W_6 = 0,1$ мкм), в которых коэффициент усиления составил 50 ... 200 в широких диапазонах коллекторного тока и температуры (77... 300 К).

Предполагается, что для ГПБТ более предпочтительными окажутся гетеропары, не имеющие общего аниона, например $\text{Ga}_x \text{In}_{1-x} \text{P} - \text{GaAs}$. Большой интерес представляет создание ГПБТ на Si с эмиттером из широкозонного материала и с сильнолегированной базой, что позволило бы, используя уже имеющийся промышленный опыт производства биполярных БИС, разработать новое поколение сверхбыстродействующих кремниевых БИС. В работе [121] сделана попытка реализовать Si-ГПБТ с эмиттером из GaP, осажденного методом молекулярно-пучковой эпитаксии. Это направление требует проведения дальнейших детальных исследований.

Таким образом, хотя исследования ГПБТ находятся пока на стадии изучения тестовых

кристаллов, можно предположить, что БИС СОЗУ на ГПБТ будут иметь более высокое быстродействие, чем на ГППТ, что приведет к возможности освоения субнаносекундного диапазона времени выборки БИС СОЗУ (рис. 7).

Заключение

Прогресс в биполярной технологии выразился в настоящее время в освоении субнаносекундного диапазона времени выборки статических БИС СОЗУ. Совершенствование биполярной технологии и схемотехники позволит создать БИС СОЗУ с временем выборки 0,5 нс и потребляемой мощности не более 1 Вт. Уменьшение потребляемой мощности в БИС СОЗУ до величин порядка 100 мВт на кристалл, по всей видимости, возможно применением совмещенной (биполярной, КМОП) технологии на Si и технологии полевых транзисторов с затвором Шотки на GaAs. Перспективны исследования для целей создания БИС СОЗУ гетеропереходных полевых и биполярных транзисторных схем. Это направление может привести к разработке БИС СОЗУ с временами выборки в диапазоне 100 ... 500 пс.

СПИСОК ЛИТЕРАТУРЫ

1. Орликовский А. А. Перспективы быстродействующих биполярных интегральных схем // Микроэлектроника.— 1981,— Т. 10. — Вып. 3. — С. 195—205.
2. Sakai T., Yamamoto Y., Kobayashi Y. A 3-ns 1K-bit RAM Using Super Self-aligned Process Technology // IEEE J.— 1981,— V. SC-16, N 5.— P. 424—427.
3. Miyanaga H., Yamamoto Y., Kobayashi Y., Sakai T. A 1,5-ns 1K Bipolar RAM Using Novel Circuit Design and SST-2 Technology // IEEE J.— 1984.— V. SC-19, N 3.— P. 291—298.
4. Miyanaga H., Konaka S., Yamamoto Y., Sakai T. A 0.85-ns 1Kb bipolar ECL RAM // Extended Abstracts of the 16th Int. Conf. Solid State Devices and Materials.— Kobe, 1984. — P. 225—228.
5. Валиев К. А., Орликовский А. А. Полупроводниковые интегральные схемы памяти на биполярных транзисторных структурах. — М.: Сов. радио, 1979.—296 с.
6. Орликовский А. А., Неклюдов В. А., Савенков В. Н., Сергеев А. Г. Схемотехнические принципы построения биполярных накопителей БИС и сверх-БИС ОЗУ // Микроэлектроника.— 1984,— Т. 13, вып. 1. — С. 15—23.
7. Kitsukawa G., Homma N., Higuchi H. e.a. Low power, high-speed BiCMOS memory circuits // Extended Abstracts of the 16th Int. Conf. Solid State Devices and Materials,— Kobe, 1984. — P. 233—236.
8. Кравченко Л. Н., Сапельников А. Н., Старосельский В. И. Интегральные схемы субнаносекундного диапазона на основе арсенала галлия // Микроэлектроника.— 1980. — Т. 9, № 5. — С. 387—399.
9. Алферов Ж. И. Полупроводниковые гетероструктуры // Физика и техника полупроводников.— 1977.— Т. 11, № 11.— С. 2072—2083.
10. Abe M., Mimura T., Nishiuchi K. e.a. HEMT LSI circuits // Extended Abstracts of the 16th Int. Conf. Solid State Devices and Materials.— Kobe, 1984.— P. 359—362.
11. Бутакова Н. Г., Валиев К. А., Зубов А. В., Орликовский А. А. Гетеропереходные биполярные транзисторы // Микроэлектроника. 1985.— Т. 14, вып. 1.— С. 3—9.
12. Wright S. L., Kroemer H., Inada M. Molecular Beam Epitaxial Growth of GaP on Si / J. Appl. Phys.— 1984.— V. 55, N 8.— P. 2916—2927.

УДК 681.327.6

А. А. ВАСЕНКОВ, А. И. МАЛЬЦЕВ, А. П. НАГИН, А. Т. ЯКОВЛЕВ

ЭНЕРГОНЕЗАВИСИМЫЕ МИКРОЭЛЕКТРОННЫЕ ЗУ

Для разработчиков аппаратуры большой интерес представляют микросхемы, содержимое которых можно менять электрическим путем. К такому классу схем относятся электрически репрограммируемые ПЗУ (ЭРПЗУ) и энергонезависимые ОЗУ (ЭНОЗУ) [1,2]. Выпуск таких схем по сравнению с другими типами приборов памяти пока невелик, однако по крайней мере ЭРПЗУ уже завоевали прочное место в иерархии ИС ЗУ и дальнейшее развитие их прогнозируется впечатляющими темпами [3]. В настоящее время ряд зарубежных фирм (Seeq T., Xicor, Exel, NCR, Inmos, Hitachi, Motorola, Intel) вслед за созданием микросхем ЭРПЗУ емкостью 16 Кбит сообщили о разработке СБИС данного типа емкостью 32, 64 и 256К (Seeq T.)

[1—8]. Освоение их в производстве знаменует становление качественно новой области применения микросхем ЭРЗУ — перестраиваемых пользователем и самонастраивающихся микропроцессорных систем широкого назначения, поскольку при такой емкости ИС ЗУ в пределах одной платы может быть создан высококачественный блок памяти требуемой емкости.

Несмотря на функциональную гибкость ИС ЭРЗУ по сравнению с масочными ПЗУ и репрограммируемыми ПЗУ со стиранием УФ-излучением, все же для некоторых областей применения, например, там, где необходима быстрая запись информации, ее оказывается недостаточно. В этом случае потребности разработчиков аппаратуры может удовлетворить лишь энергонезависимое ОЗУ.

Острая потребность в ЭНОЗУ привела к появлению нескольких технических решений этой проблемы. По существу их три.

1. Размещение в корпусе микросхемы аварийной батареи. Этот подход не требует каких-либо новых технологических процессов для изготовления схемы и опирается лишь в создание миниатюрной, долговечной батареи и в обеспечение минимальной потребляемой мощности схемы в пассивном режиме. Однако такая защита информации оказывается приемлема и надежна не при всех условиях эксплуатации ИС, в частности при наличии воздействия мощного импульса ионизирующего излучения.

2. Использование энергонезависимых элементов памяти. Идея создания такого «идеального» ЭНОЗУ родилась на начальном этапе развития ЗУ на запоминающих структурах окисел — нитрид кремния (МНОП-структурах). В тот момент разработчикам казалось, что применение одного МНОП-транзистора позволит реализовать на нем ячейку памяти ЭНОЗУ и достичь при этом существенно большей плотности размещения ячеек, чем у традиционных ОЗУ. Однако ограниченное число циклов переключения МНОП-элемента (а для ЭНОЗУ необходимо, чтобы их число было по крайней мере 10^{15}), значительные времена записи и стирания 0,01—1 мс, разнополярное управление, дрейф порога включения под действием напряжения полувыборки не позволили создать «идеальное» ЭНОЗУ, хотя эта идея все еще остается перспективной и ведется поиск новых элементов, пригодных для таких ЭНОЗУ.

3. ОЗУ с резервной энергонезависимой памятью. Из сложившейся в области ЭНОЗУ ситуации был найден интересный выход — было предложено [9] в качестве ячейки ЭНОЗУ применять традиционный элемент памяти статических ОЗУ — триггер, снабдив его энергонезависимыми элементами памяти, используемыми в ЭРЗУ, и некоторыми вспомогательными элементами. Анализ работы данного устройства показывает, что оно не сильно проигрывает «идеальному» ЭНОЗУ, так как в реальной ситуации его режим работы является вполне естественным и существенных ограничений на его функциональные возможности не налагает.

В настоящее время такая организация ЭНОЗУ стала традиционной. Разработанные микросхемы ЭНОЗУ различаются лишь конструкцией триггерной ячейки и элементов памяти ЭРЗУ. На основе такого подхода зарубежными фирмами разработаны и серийно выпускаются микросхемы ЭНОЗУ емкостью от 256 бит до 4 Кбит [10—13]. Далее под ЭНОЗУ будем понимать микросхемы именно этого типа.

Начнем рассмотрение с ЭРЗУ, поскольку энергонезависимые элементы в ЭНОЗУ те же, что и в ЭРЗУ, и успехи в области ЭРЗУ фактически определяют пути развития и совершенствования ЭНОЗУ.

Достижения в области разработок ЭРЗУ

Развитие ЭРЗУ идет двумя основными путями. Первый путь основан на использовании в качестве запоминающего элемента МНОП-транзистора, второй — на использовании элементов памяти с «плавающим» затвором. Исторически так сложилось, что МНОП-ЗУ долгое время развивали для своих потребностей только фирмы — изготовители систем и оборудования, а не фирмы — поставщики БИС массового применения. Поэтому практически до 1980 г. МНОП-ЗУ в СССР и за рубежом изготавливались по *p*-канальной МОП-технологии с А1-затвором, что ограничивало быстродействие данных устройств в режиме считывания до микросекунд. В то же время технология ЗУ с плавающим затвором оказалась близкой к стандартной МОП-технологии изготовления ЗУПВ и ПЗУ, что обусловило интерес к этому направлению фирм — поставщиков полупроводниковых БИС,

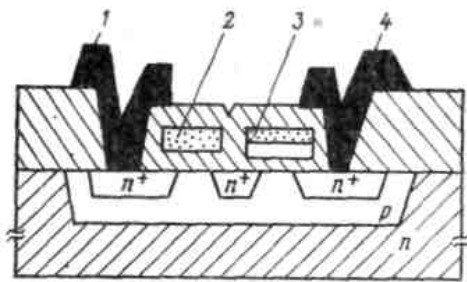


Рис. 1. Ячейка памяти фирмы Hitachi:
1, 4 — разрядные шины; 2, 3 — числовые шины

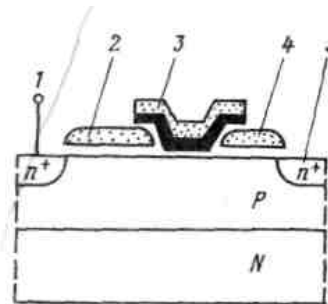


Рис. 2. Ячейки памяти фирмы Inmos, NCR:
1 — разрядная шина; 2, 3 — числовые шины; 4, 5 — шины управления

обладающих развитой *n*-канальной МОП-технологией. Поэтому ЭРПЗУ на плавающих затворах были быстро освоены промышленностью и на рынок поступило большое количество микросхем, более быстродействующих и с большей степенью интеграции, чем МНОП-ЗУ.

Долгое время по таким параметрам, как число циклов перезаписи, длительность цикла записи и стирания, МНОП-ЗУ превосходили все остальные в классе ЭРПЗУ на 2...3 порядка, но по времени хранения информации МНОП-ЗУ уступали приборам с плавающим затвором, особенно в режиме непрерывного считывания.

Однако после 1980 г. «соотношение сил» изменилось. Усилиями разработчиков фирмы Hitachi был разработан технологический маршрут, позволивший реализовать быстродействующие МНОП-ЭРПЗУ емкостью 16 К (HN 48016) по *n*-канальной технологии с поликремниевыми (включая и МНОП-транзистор) затворами [14]. При этом время хранения информации, в том числе и в режиме непрерывного считывания при температуре 85°C, гарантируется не менее 10 лет. Это достигнуто благодаря использованию запоминающей структуры окисел-нитрид кремния с поликремниевым электродом (ПНОП-структура) с отличными параметрами по переключению и хранению, а также выполнению на ее основе двухтранзисторной ячейки памяти, состоящей из МОП-транзистора выборки и МНОП-транзистора с изменяемым порогом включения (рис. 1), что позволяет считывать информацию при нулевом потенциале на затворе МНОП-транзистора и исключить тем самым разрушающее действие электрического поля. Ячейка памяти содержит две поликремниевые числовые и две *Al*-разрядные шины. Она выполняется в *p*-кармане, так как перепрограммирование элемента памяти необходимо осуществлять формированием на подзатворном диэлектрике напряжений различной полярности. В настоящее время такую идеологию кроме Hitachi развивают также фирмы NCR, Inmos. Их ячейка памяти (рис. 2) выполняется по близкой технологии и имеет три управляющих поликремниевых шины по строкам, одну *Al*-разрядную и одну общую диффузионную. Это позволяет несколько минимизировать размер ячейки при тех же проектных нормах. На основе данного подхода эти фирмы в настоящее время разработали СБИС ЭНОЗУ емкостью 32 и 64К (табл. 1).

Альтернативный подход к созданию ЭРПЗУ удалось успешно развить специалистам фирмы Intel. Одновременно с доработкой конструкции элемента с плавающим затвором им удалось создать ЭРПЗУ (2816) емкостью 16К [15], сравнимое по количеству циклов переключений, времени записи и стирания с МНОП-ЭРПЗУ фирмы Hitachi. Основу данного ЭРПЗУ составляет элемент, получивший название FLOTOX. Перезарядка островка поликремния в нем осуществляется через область туннельно-тонкого слоя окисла, созданного над *n*⁺-шиной записи (рис. 3).

Из-за того, что туннельный ток имеет очень резкую полевую зависимость, оказывается возможным, с одной стороны, за время 1...10 мс при действии напряжения 20 В изменять на плавающем электроде заряд, модулирующий порог

Таблица 1.

Основные параметры ЭРПЗУ

Тип схемы	Фирма	Емкость, бит	Технология	Время выборки, нс	Мощность акт./пас., мВт	Время записи, мс	Время хранения, лет	Число циклов программирования
2864	Intel	8К×8	<i>n</i> -МОП	200	—	10	10	10 ⁴
X2864A	Xicor	8К×8	<i>n</i> -МОП 3 поликремния	300	550/250	5	10	10 ⁴
52B33	Seeq T.	8К×8	<i>n</i> -МОП	200	550/200	10	10	10 ⁴
XL48C64	Exel	8К×8	КМОП	55	25/0,05	10	10	10 ⁴
IMS3630	Inmos	8К×8	<i>n</i> -ПНОП	200	750/100	10	10	10 ⁴
HN58064	Hitachi	8К×8	<i>n</i> -ПНОП	250, 300, 450	550/200	10	10	10 ⁴
52864.HR	NCR	8К×8	<i>n</i> -ПНОП	300, 350, 450	330/165	—	10	10 ⁴

открывания МОП-транзистора, и с другой — сохранять заряд в слабых полях (хранение, считывание) более 10

лет. Ключевой технологической проблемой при создании данных приборов является получение стабильного «бездефектного» туннельно-тонкого окисла или оксинитрида толщиной 10...20 нм, что связано с большими технологическими трудностями. В принципе в ячейке может быть использован лишь один элемент — FLOTOX. Однако это требует весьма сложного контроля знака накапливаемого заряда, и поэтому ячейка выполняется, как правило, либо двухтранзисторной, либо еще более сложной (рис.4). Кроме фирмы Intel эту идеологию развивают также Seeq T., Exel, Motorola, сообщившие о разработке СБИС ЭРПЗУ емкостью 32...256К (см. табл. 1).

Другой подход для облегчения процесса записи и стирания в приборах с плавающим затвором развивают специалисты фирмы Xicor [12]. Идея перезарядки плавающего затвора основана на использовании повышенной проводимости окисла на поликремнии благодаря игольчатым выступам на его поверхности. Элемент памяти ЭРПЗУ фирмы Xicor так же, как и FLOTOX, имеет область туннельной перезарядки, однако она располагается не в подложке над n^+ -областью, а на слоях поликремния — первом и втором уровнях.

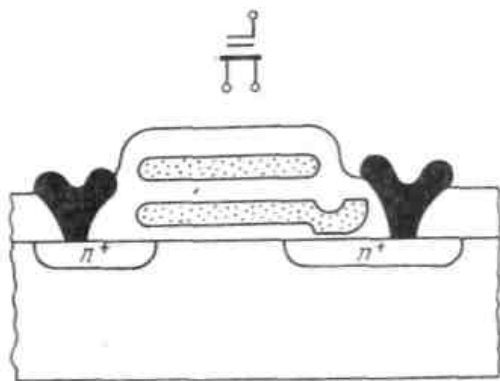


Рис. 3. Конструкция элемента памяти FLOTOX и его условное обозначение

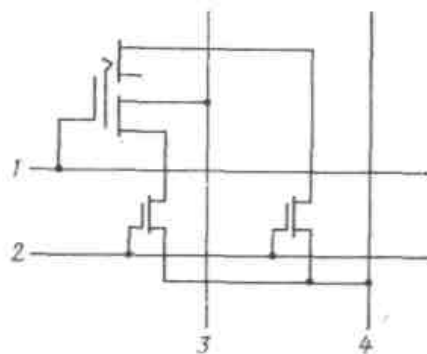


Рис. 4. Ячейка памяти на элементе FLOTOX:

1 — шины считывания; 2 — числовая шина; 3, 4 — разрядные шины

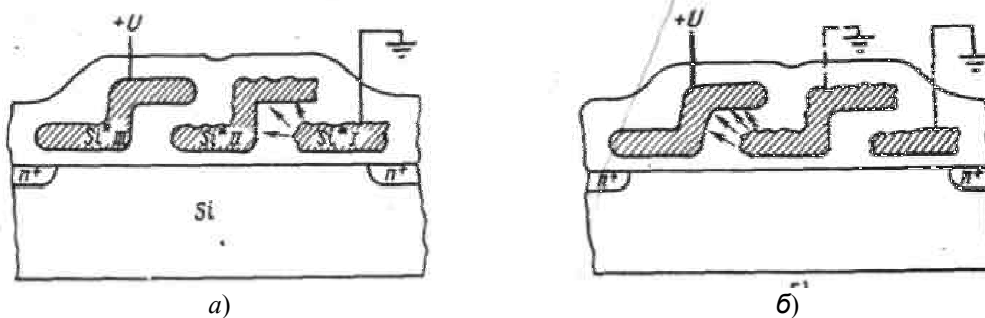


Рис. 5. Элемент памяти фирмы Xicor:
а — запись; б — стирание

Всего элемент имеет три уровня поликремния (рис. 5) с высокими требованиями к межслойной изоляции поликремниевых слоев и к поверхности первого и второго слоев, что представляется очень сложным технологическим моментом в процессе изготовления таких схем. На его основе также разработано ЭРПЗУ емкостью 64К (см. табл. 1).

Все современные СБИС ЭРПЗУ в основном выполняются по n -канальной технологии, и характерной тенденцией их развития является не столько наращивание объема и увеличение быстродействия, сколько создание максимальных удобств для пользователя. Это прежде всего наличие у схем регистров-зашелок адреса и данных, что позволяет не занимать магистраль на все время цикла записи информации, длительность которого составляет приблизительно 10 мс. У многих современных ИС ЭРПЗУ на кристалле имеется генератор высоковольтного напряжения, необходимый для программирования элементов памяти. В результате ИС имеет всего один источник питания + 5В, и требуемые импульсы амплитудой примерно 20 В формируются генератором.

Уменьшить эффективную длительность программирования можно, если за один цикл записи по каждому разряду одновременно программировать массив ячеек — страницу. Такой режим работы ЭРПЗУ при емкости страницы 64—256 бит позволяет почти на 2 порядка сократить время программирования кристалла, однако требует специального программного обеспечения и не всегда может быть эффективно использован.

В настоящее время почти все основные параметры СБИС ЭРПЗУ емкостью 64 К имеют близкие значения (см. табл. 1), поскольку технологическая база для МНОП-элементов и для приборов с плавающим затвором одна и та же.

Характерным достоинством элементов FLOTOX следует считать простоту управления. Запись и стирание информации в них производится импульсами лишь положительной полярности. Это позволяет легко реализовать в микросхемах ЭРПЗУ режим пословного стирания, что в МНОП-ЗУ сделать трудно. В МНОП-ЗУ чаще реализуются режимы страничного стирания или стирания всего массива.

В перспективе фирма Seeq T. [8] планирует использовать в элементах FLOTOX вместо окисла слой

оксинитрида, что по предварительным данным позволит несколько уменьшить амплитуду импульсов записи и стирания и довести число допустимых переключений элементов до 10^7 и более. Принцип хранения заряда на дискретных «ловушках» в ПНОП-элементах представляется более надежным, чем на эквипотенциальной проводящей области — плавающем затворе, так как поперечный перенос заряда между ловушками отсутствует, и поэтому появление локальной утечки заряда в слое окисла не приводит к полной потере информации в ПНОП-элементе в отличие от элемента FLOTOX. Достоинствами ПНОП-элементов памяти можно также считать их более высокую стойкость к радиационным воздействиям по сравнению с плавающим затвором.

СБИС ЭРПЗУ емкостью 64К (КМ 558PP3)

Данная микросхема выполнена по *n*-МОП-технологии с использованием в качестве энергонезависимых элементов памяти модифицированных ПНОП-транзисторов, управление которыми в отличие от традиционных осуществляется импульсами лишь положительной полярности. Для увеличения процента выхода и обеспечения ремонтоспособности как в отдельном корпусе, так и в составе блока, на кристалле имеются резервные строки и столбцы, необходимая коммутация которых выполняется с использованием тех же ПНОП-элементов памяти. СБИС имеет организацию $8К \times 8$ и размещается в 28-выводном корпусе. Расположение выводов в корпусе, их обозначение и функциональное назначение приведены в табл. 2. Основные блоки микросхемы и связи между ними показаны на рис. 6. Накопитель имеет 128 пар основных строк ячеек памяти и одну пару резервных. Каждый разряд имеет 32 основных столбца: один резервный. Дешифратор строк и формирователи числовых шин в соответствии с кодом адреса $A5 \dots A12$ обеспечивают выбор одной из 256 числовых шин. Если адрес $A5 \dots A11$ совпадает с адресом дефектной пары строк, хранимым в блоке управления резервированием, то дешифратор строк блокируется и выбирается резервная пара строк. Аналогично работает и схема управления по столбцам. Замена дефектного столбца с данным адресом $A0 \dots A4$ производится во всех разрядах одновременно. С помощью формирователей записи и запрета на накопитель от U_{pp} (высоковольтного программирующего входа) подаются необходимые высоковольтные сигналы. Для уменьшения потребляемой мощности при записи с помощью дешифратора формирователей записи обеспечивается возбуждение лишь части числовых шин. С целью упрощения сопряжения микросхемы с системами в ней предусмотрены регистры адреса и входных данных с отдельной

Таблица 2.

Функциональное назначение выводов ЭРПЗУ в корпусе (КМ558PP3)

Номер вывода	Обозначение	Назначение
1	U_{pp}	Высоковольтный программирующий вход
2...10	$A0 \dots A8$	Адресные входы
11...13	$D0 \dots D2$	Ввод-вывод данных
14	\perp	Общий
15... 19	$D3 \dots D7$	Ввод-вывод данных
20	\overline{CE}	Выбор кристалла, фиксация адреса
21	$A9$	Адресный вход
22	\overline{OE}	Строб считывания, фиксация данных при записи
23... 25	$A10 \dots A12$	Адресные входы
26	Eg	Стирание
27	PGM	Программирование, контроль резервирования
28	U_{cc}	Питание +5 В

во времени фиксацией. Фиксация адреса осуществляется на отрицательном фронте \overline{CE} , данных — \overline{OE} . Это позволяет при необходимости подключать любые 8 адресов и выходы ввода-вывода данных к общей магистрали. Выходные каскады в невыбранном состоянии имеют высокое сопротивление, которое сохраняется и при снятии питания. Основные режимы работы схемы: блочное стирание — осуществляется блочное стирание всего массива; запись — производится пословно; произвольная выборка; считывание — произвольная выборка.

Временная диаграмма работы показана на рис. 7. Все логические входные и выходные сигналы согласуются с уровнями ТТЛ.

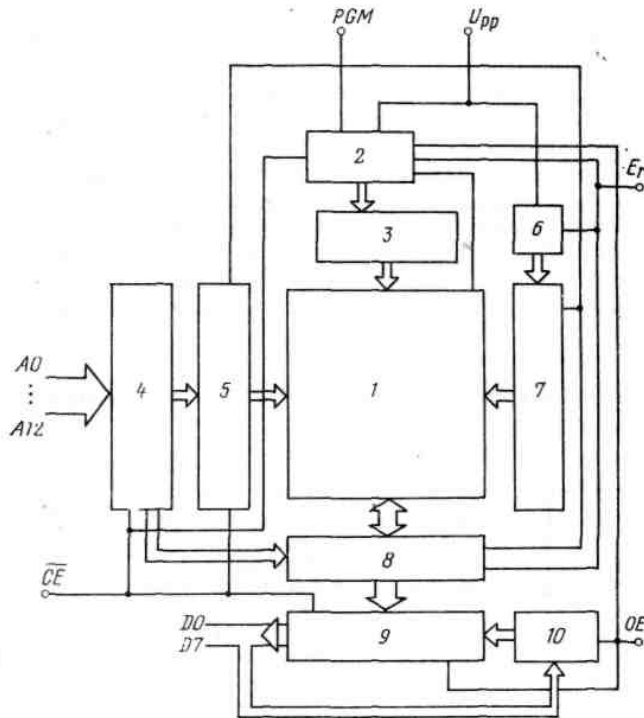


Рис. 6. Структурная схема ЭРПЗУ:

1 — накопитель; 2 — блок управления; 3 — формирователи запрета записи; 4 — блок управления адресами; 5 — дешифратор и формирователи числовых шин; 6 — дешифратор формирователей записи; 7 — формирователи записи; 8 — дешифратор столбцов; 9 — предусилители и выходные каскады; 10 — регистр данных

Наименование внешних выводов	Режимы функционирования		
	Считывание	Запись	Стирание
\overline{CE}	Следующий цикл	10 мкс, 10 мкс, 1 мкс, Следующий цикл	20 с
\overline{OE}	150-250 нс, 100 нс	150 нс	×
E_r	„1”	„1”	„0”
\overline{PGM}	×	„1”	„1”
U_{pp}	0	24 В	18 В
$D0-D7$	100-140 нс, 100 нс	50 нс, 50 нс	×
	10 нс, 50 нс	10 нс, 50 нс	×

Рис. 7. Временная диаграмма работы ЭРПЗУ

Вспомогательный режим работы — режим резервирования. Перевод в этот режим осуществляется повышением потенциала на PGM до + 10... 15 В. В этом случае комбинацией кодов на $D0$, $D3$ и $D4$ можно реализовать режимы: резервирование строки; резервирование столбца.

В микросхеме предусмотрена индикация резервирования. Например, можно узнать, резервировалась схема или нет, а также адреса зарезервированных строк и столбцов. Для этого достаточно перебрать все коды строк $A5...A12$ и столбцов $A0...A4$. В момент совпадения кодов с адресами зарезервированных строк и столбцов на выводе PGM появится уровень логического 0. Если в кристалле ничего не резервировалось, на PGM при любых $A0...A4$ и $A5...A12$ будет сохраняться высокий логический уровень и такая микросхема является ремонтпригодной.

Основные параметры СБИС ЭРПЗУ (КМ558РРЗ)

Время выборки, нс	400
Потребляемая мощность, мВт:	
активный режим	400
пассивный режим	100
Время записи, мс.....	5
Число циклов переключения.....	10 ²
Гарантированное время хранения при отключенных источниках питания, ч	15 000
Размер кристалла, мм ²	5,6 × 5
Проектные нормы, мкм	3 — 4

Микросхемы ЭНОЗУ

Схематически конструкцию ЭНОЗУ можно представить (рис. 8) как традиционное статическое ОЗУ, содержащее все типичные узлы и блоки и дополненное накопителем той же емкости, но из элементов ЭРПЗУ. Между всеми ячейками ОЗУ и элементами ЭРПЗУ возможен одновременный взаимный обмен информацией. Различаются режимы работы ЭНОЗУ: режим ОЗУ, программирование (копирование), регенерация, подготовка (стирание).

В режиме «ОЗУ» элементы ЭРПЗУ отключены и работа устройства полностью повторяет режим традиционных ОЗУ с характерными для них параметрами (такими, как потребляемая мощность, время выборки, записи и т. д.), которые определяются конструкцией только собственно ОЗУ.

В режиме «Программирование» информация из ячеек ОЗУ одновременно за один цикл заносится в элементы памяти ЭРПЗУ, где она способна сохраняться длительное время при отключенном питании. Основным параметром в этом режиме является время записи, т. е. время, необходимое для запоминания информации всеми элементами ЭРПЗУ.

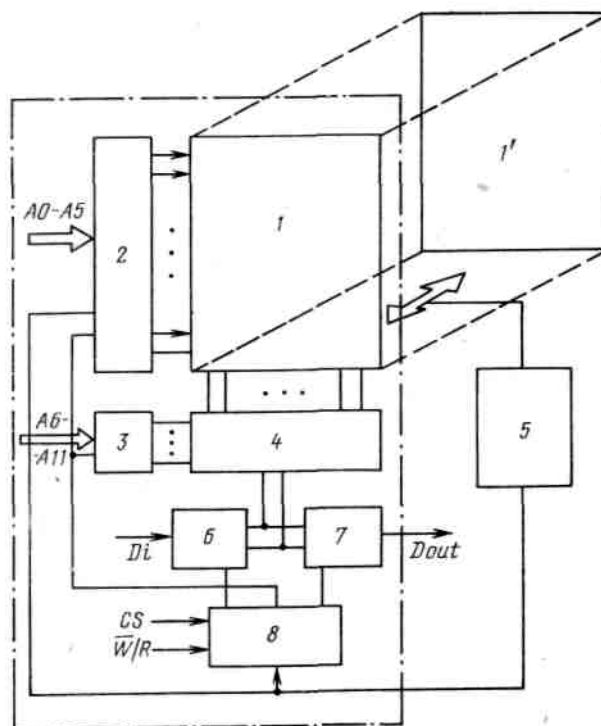


Рис. 8. Структурная схема ЭНОЗУ:

1 — накопитель ОЗУ; 1' — накопитель ЭРПЗУ; 2 — формирователи и дешифратор строк; 3 — формирователи адреса столбцов; 4 — дешифратор столбцов; 5 — блок управления программированием и регенерацией; 6 — входной формирователь данных; 7 — усилитель; 8 — блок управления

Такое копирование информации осуществляется при подаче высоковольтного импульса на все элементы ЭРПЗУ. Необходимая амплитуда и длительность целиком и полностью определяются

свойствами используемых элементов. Программирование проводится по специальной команде, вырабатываемой вне кристалла при снижении питания ниже заданного уровня. Информацию в ОЗУ необходимо сохранять до окончания программирования.

В режиме «Регенерация» производится восстановление информации в ОЗУ во всех ячейках одновременно автоматически либо по специальной команде при включении питания. Перенос информации из элементов ЭРПЗУ в ячейки ОЗУ можно повторять 10^4 раз и более. Информация в элементах ЭРПЗУ утрачивается лишь после проведения операции «Подготовка».

В режиме «Подготовка» производится стирание информации в энергонезависимых элементах и подготовка их тем самым для следующего цикла программирования. Стирание осуществляется во время работы устройства в режиме ОЗУ и какого-либо влияния на его работу не оказывает. Длительность стирания также определяется свойствами элементов ЭРПЗУ, и, как правило, этот параметр не является критичным.

Кроме вышеупомянутых специфических параметров, ИС ЭНОЗУ, как и ЭРПЗУ, характеризуются числом циклов программирования и временем хранения информации при отключенных источниках питания.

Основным узлом микросхемы, определяющим как конструкцию разработанных ЭНОЗУ, так и технологию их изготовления, является ячейка памяти. Во всех зарубежных микросхемах ЭНОЗУ — это ячейка статического ОЗУ (триггер на шести транзисторах), два из которых — нагрузочные элементы (транзисторы с обеднением). В качестве элементов ЭРПЗУ, хранящих информацию о состоянии триггера, используются приборы с плавающим затвором двух модификаций и приборы на основе запоминающей среды окисел — нитрид кремния.

Необходимо отметить, что не все известные элементы ЭРПЗУ подходят для использования в ЭНОЗУ. Определяющим параметром здесь является та мощность, которая необходима для записи информации в элемент ЭРПЗУ. Пригодны лишь элементы, допускающие потенциальное управление, т. е. с малым потреблением тока. Это элемент FLOTOX (трехзатворный элемент фирмы Xicor) и МНОП (ПНОП)-транзистор. Первые микросхемы ЭНОЗУ, как и ИС ЭРПЗУ, были *p*-канальными и выполнялись лишь на МНОП-транзисторах с *Al*-затвором.

Наибольших успехов в области создания ЭНОЗУ добились зарубежные фирмы NCR, Intel и Xicor (табл. 3). Фирма NCR развивает идеологию применения в ЭНОЗУ ПНОП-структур. Информационная емкость разработанных ею ИС в настоящее время достигла 4К, ячейка памяти такого ЭНОЗУ, кроме шеститранзисторного триггера, содержит два ПНОП-конденсатора и два управляющих МОП-транзистора. ПНОП-элементы имеют разнополярное управление и при наличии встроенного генератора (52004) [11] размещаются так же, как и в ЭРПЗУ, в изолированных «карманах», что практически не позволяет из-за размера кристалла увеличить емкость ИС более 4К. В ячейках фирмы Intel

Таблица 3.

Основные параметры ЭНОЗУ

Тип схемы	Фирма	Емкость, бит	Технология	Время выборки, нс	Время записи, мс	Число циклов перезаписи	Мощность акт./пас. мВт
X2201 } X2202 }	Xicor	1024×1	<i>n</i> -МОП 3 поли- кремния	250	2...4	$10^3... 10^6$	—
2004	Intel	4096	<i>n</i> -МОП	200, 250, 300	10	10^4	500 /300
EP1711	GI	256×4	<i>p</i> МНОП	900	1	10^4	—
NCR4485	NCR	512×8	<i>n</i> -ПНОП	250, 450	1... 10	10^4	575/—
EP5304	GI	4096	<i>n</i> -ПНОП	300	10	10^4	—
NCR52001	NCR	128×8	<i>n</i> -ПНОП	200, 250,	8	10^4	500/—
NCR52002		256×8		450			
NCR52004		512×8					

на элементах FLOTOX и фирмы Xicor использовано лишь по одному элементу ЭРПЗУ, тем не менее емкости большей, чем 4К, достичь из-за сложности всей ячейки пока не удалось.

С точки зрения применения в ЭНОЗУ ПНОП-элементы памяти представляются более перспективными, чем приборы с плавающим затвором, так как они потенциально способны работать при наличии ионизирующего излучения, здесь они конкурентов не имеют. У ЭНОЗУ на приборах с плавающим затвором есть серьезный конкурент — ИС ОЗУ с резервной батареей, информационная емкость которой достигает 16К при времени хранения 10 лет [2].

Заключение

В настоящее время лидирующие позиции по степени интеграции занимают динамические ОЗУ, масочные ПЗУ и репрограммируемые ПЗУ со стиранием УФ-излучением, емкость которых уже достигла 1 М и в ближайшие годы планируется взять рубеж 4 М. Это обусловлено успешным развитием кремниевой МОП-технологии с топологическими размерами, меньшими 1 мкм. Сейчас все достижения передовой кремниевой технологии могут быть использованы и при создании ЭРПЗУ, в том числе и на основе ПНОП-структур. То, что структура окисел-нитрид кремния является распределенной запоминающей средой, делает ее весьма перспективной для использования в СБИС ЭРПЗУ емкостью 1 М и выше. Анализ современного состояния в области разработок ЗУ различных типов и тенденций их развития показывает, что в ближайшие пять лет именно ЭРПЗУ на основе ПНОП-структур должны выйти на лидирующие позиции по информационной емкости.

Это обусловлено тем, что:

1. ПНОП-ячейка памяти может быть выполнена в виде одного транзистора, т. е. сочетает малые размеры и значительный выходной сигнал (подобно масочным ПЗУ).

2. Накопитель ЭРПЗУ на ПНОП-транзисторах может быть организован с использованием тройной системы адресных шин, что позволяет решить проблему разводки при шаге управляющих шин, меньшем 1 мкм.

3. ПНОП-транзистор — энергонезависимый элемент, поэтому его можно использовать одновременно и для реализации резервирования дефектных строк и столбцов накопителя и целых узлов схемы, что позволяет достичь большого процента годных кристаллов на пластине и даже реализовать сеть программируемых связей между кристаллами, т. е. организовать СБИС на всей пластине.

СПИСОК ЛИТЕРАТУРЫ

1. Twaddell W. Semiconductor Memories// END.— 1983.—V. 28, N 3.— P. 147—160.
2. Twaddell W. Erasable /Programmable Semiconductor Memories // EDN.— 1984.—V. 29, N 2.—P. 108—130.
3. Sylvester D. The EEPROM: Like an Elephant, it Never Forgets// Electronic Business. — 1984.— N 15.— P. 38.—40.
4. Jones F., Lancaster A. EEPROM Adapts Easily to in-System Changes//Electronic Design.— 1983.— V. 31, N 17.— P. 189—196.
5. Yatsuda Y., Hagiwara T., Minami S. e.a. A Byte Erasable 5v-only 64 Kbit EEPROM// Electronics Com. Japan,— 1984.— V. 67-C, N5. —P. 91—99.
6. Constlow T. 64 Kbit EEPROM Offers Choice of Write Times, Member of Storage Cycles // Electronic Design. — 1984. — V. 32, N14, — P. 305.
7. Гроссман С. ЭСППЗУ, позволяющие разработчику создавать новые прикладные микросистемы.// Электроника.— 1984.— Т. 57, № 7.— С. 47—55.
8. Мехотра С, Оуэн С., Ченг М., Дженк Ч. ЭСППЗУ емкостью 64 К с повышенной долговечностью по записи// Электроника. — 1983.— Т. 56, № 24. —С. 32—37.
9. Uchida Y., Saito S., Nakane M. e. a. 1 Kbit Nonvolatile Semiconductor Read/Write RAM// IEEE Trans.— 1978.— V. ED-25, N 8.— P. 1066—1070.
10. Иверсон У. Р. ЗУПВ емкостью 4К с аварийной энергонезависимой матрицей памяти //Электроника.— 1981.— Т. 54, № 19. —С. 100—101.
11. Иверсон У. Р. «Теневые» ЗУПВ емкостью 4К с одним 5 В питанием//Электроника. — 1983.— Т. 56, № 2.— С. 78—79.

12. Клейн Р., Оуэн У., Симко Р., Чон У. Первое энергонезависимое ЗУПВ с одним напряжением питания 5 В // Электроника. — 1979. — Т. 52, № 21. — С. 23—31.
13. Lee D. J., Becker N. J., Schlafly A. L., Skupnjak J. A. DhamV. K. Control Logic and Cell Design for a 4K NVRAM//IEEE J.— 1983.— V. SC-18, N5.— P. 525—532.
14. Утиуми А., Макимото Ц. Электрически стираемое ППЗУ емкостью 16К на МНОП-приборах // Электроника.— 1981.— Т. 54, № 4.— С. 73—77.
15. Джонсон У. С, Кун Дж. Л., Реннингер Э. Л., Перлегос Дж. Электрически стираемое ППЗУ емкостью 16К на туннельном эффекте с побайтовым измерением хранимой информации//Электроника.— 1980.— Т. 53, №5.— С. 27—34.

УДК 621.3.049.77

И. И. ШАГУРИН

БАЗОВЫЕ МАТРИЧНЫЕ КРИСТАЛЛЫ НА ОСНОВЕ ЭЛЕМЕНТОВ ЭСЛ

Одной из основных областей применения матричных БИС являются высокопроизводительные ЭВМ. Как показывают теоретические оценки, и уже имеющийся практический опыт, использование матричных БИС обеспечивает значительное увеличение производительности, повышение надежности и снижение стоимости ЭВМ, а также существенно сокращает сроки их разработки и внедрения в производство [1—3].

Анализ требований к элементной базе высокопроизводительных ЭВМ показал [4,5], что для каждого уровня их конструктивно-технологической реализации имеются оптимальные значения степени интеграции ($N_{\text{опт}}$) матричных БИС и задержки переключения ($\tau_{\text{опт}}$) логических элементов (ЛЭ), входящих в ее состав. В работе [1] показано, что при использовании конструктивно-технологических решений, принятых в отечественных высокопроизводительных ЭВМ серии ЕС, эти значения составляют $N_{\text{опт}} \approx 500 \dots 1000$ ЛЭ, $\tau_{\text{опт}} \approx 0,5 \text{ — } 1$ нс.

Для эффективного воспроизведения в виде МаБИС широкой номенклатуры функциональных узлов различного уровня сложности целесообразно использовать семейство из нескольких базовых матричных кристаллов (БМК), реализованных на единой схемно-конструктивной основе, но различающихся степенью интеграции и быстродействием элементов [6]. При этом БМК с меньшей степенью интеграции будут обеспечивать реализацию функциональных узлов малой сложности с повышенным быстродействием, в БМК с большой степенью интеграции — реализацию наиболее сложных функциональных узлов, но с меньшим быстродействием. Например, при построении высокопроизводительных ЭВМ можно использовать семейство из трех БМК, различающихся степенью интеграции и задержкой переключения элементов:

- 1) основного — $N_{\text{эл}1} = N_{\text{опт}} \approx 1000$, $t_{31} \approx \tau_{\text{опт}} \approx 0,7 \dots 0,8$ нс;
- 2) быстродействующего — $N_{\text{эл}2} = 500$ ЛЭ, $t_{32} \approx 0,5$ нс;
- 3) высокоинтегрированного — $N_{\text{эл}3} \approx 2000$ ЛЭ, $t_{33} \approx 1$ нс.

Применение семейства БМК позволит обеспечить оптимальное соотношение таких показателей, как производительность, надежность, масса и габаритные размеры.

Матричная БИС состоит из трех основных частей, размещенных на БМК (рис. 1):

- 1) матрицы базовых ячеек (БЯ);
- 2) многослойной¹ системы металлических проводников, соединяющих БЯ в соответствующую функциональную структуру;
- 3) вспомогательных схем, расположенных на периферии кристалл; (трансляторов уровней, схем контроля и диагностики, источников опорных напряжений и др.).

¹ В современных МаБИС чаще всего используется два слоя металлизации, хотя в отдельных разработках число слоев достигает трех-четырех [3].

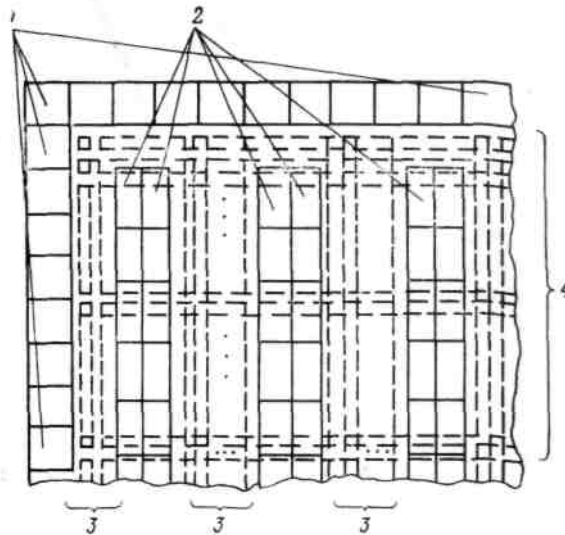


Рис. 1. Типовая структура БМК для цифровых матричных БИС:

1 — базовые ячейки; 2 - периферийные схемы и контактные площадки. 3 — трассы соединений в первом слое металлизации (вертикальные); 4 — трассы соединений во втором слое металлизации (горизонтальные)

Оптимальные характеристики МДБИС достигаются в том случае если схмотехническое и конструктивное проектирование всех трех составляющих частей выполняется взаимосвязанно, с учетом возможностей и особенностей используемой технологии изготовления.

Рассмотрим основные схмотехнические и конструктивные вопросы реализации БМК для создания сверхбыстродействующих МДБИС со степенью интеграции $N_{эл} = 10^3 \dots 10^4$ логических элементов, имеющих задержку переключения $t_3 < 1$ нс.

Выбор элементной базы

Элементной базой сверхбыстродействующих цифровых БИС сложат различные варианты элементов эмиттерно-связанной логики (ЭСЛ). Чаще всего используются (рис. 2): одно-или двухъярусные элементы ЭСЛ; одно-или двухъярусные элементы переключательно-токовой логики (ПТЛ); элементы ПТЛ с гистерезисом на передаточной характеристике (ГПТЛ); элементы непороговой логики (НПЛ).

Анализ и сравнение этих элементов даны, например, в работах [7,8]. Проведем оценку их основных параметров, определяющих эффективность использования данных схем в качестве базовых элементов БМК.

Минимальное напряжение питания можно оценить с помощью следующих выражений:

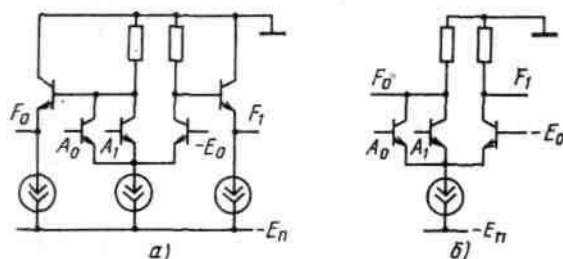
$$\text{для ЭСЛ: } E_{п \min} = U_{л \min} + (n + 1) U_T + U_{и \text{т} \min}; \quad (1a)$$

$$\text{для ПТЛ: } E_{п \min} = U_{л \min} + n U_T + U_{и \text{т} \min}; \quad (1б)$$

$$\text{для ГПТЛ: } E_{п \min} = U_{л \min} + U_T + U_{и \text{т} \min}; \quad (1в)$$

$$\text{для НПЛ: } E_{п \min} \approx 1,5 U_T; \quad (1г)$$

где n — число ярусов; $U_{л \min} = (U^1 - U^0)_{\min}$ — минимальный логический перепад; (U_T — падение напряжения на открытом эмиттерном переходе транзистора; $U_{и \text{т} \min} \approx (1,0 \dots 1,5) U_T$ — минимально допустимое падение напряжения на источнике тока. В табл.1 приведены значения $E_{п \min}$ для данных элементов.



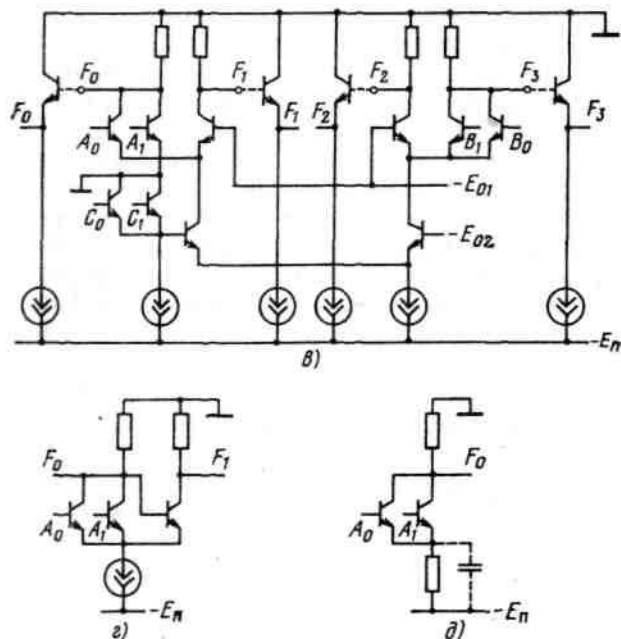


Рис. 2. Основные варианты базовых элементов сверхбыстродействующих МаБИС: *a* — одноярусный ЭСЛ; *б* — одноярусный ПТЛ; *в* — двухъярусный ЭСЛ (с подключенными выходными эмиттерными повторителями) и ПТЛ; *г* — ГПТЛ; *д* — НПЛ; *A, B, C* — логические входы; *F* — логические выходы; E_0 — опорные напряжения

Таблица 1

Параметр	ЭСЛ		ПТЛ		ГПТЛ	НПЛ
	1-й ярус	2-й ярус	1-й ярус	2-й ярус		
$U_{л\ min}$, В	0,4...0,5	0,4...0,5	0,4...0,5	0,4...0,5	0,15...0,20	0,6...0,8
$E_{п\ min}$, В	2,0...2,5 (3,0...3,5)	3,0...3,5 (4,0...4,5)	1,5...2,0 (2,5...3,0)	2,5...3,0 (3,5...4,0)	1,5...2,0	1,2...1,4
L	1,6...2,0	4,0...5,0	1,2...1,3	3,0...4,0	1,2...1,3	1,0
Q	0,6...0,7	0,4...0,5	0,8...0,9	0,5...0,6	0,8...0,9	1,0
σ	1,6...1,8	4,5...5,0	1,4...1,5	3,5...4,0	1,3...1,5	1,0

Логический перепад $U_{л}$ определяет запас работоспособности и скорость переключения элементов. Минимально допустимое значение перепада для элементов ЭСЛ, ПТЛ можно получить по формуле

$$U_{л\ min} = U_0 + 2U_{п} + \Delta(U^1 - E_0) + \Delta(E_0 - U^0), \quad (2)$$

где U_0 — ширина области переключения (зоны неопределенности между состояниями логического 0 и 1); $U_{п}$ — амплитуда перекрестной помехи, возникающей на входе при переключении других элементов МаБИС. Значения $\Delta(U^1 - E_0)$, $\Delta(E_0 - U^0)$ — отклонения уровней U^0 , U^1 относительно порогового потенциала E_0 — зависят от схемотехнических, конструктивно-технологических факторов, изменений рабочих условий: напряжения питания $E_{п}$, температуры T . Если при проектировании схемы для типовых рабочих условий обеспечивается равенство

$$(U^1 - E_0) = (E_0 - U^0) = 0,5U_{л\ н}, \quad (3)$$

где $U_{л\ н}$ — номинальная величина перепада, то на практике соотношение (3) нарушается вследствие влияния технологических разбросов параметров компонентов, разности потенциалов шин питания из-за падения напряжения на этих шинах, колебаний уровней U^0 , U^1 , E_0 при изменениях $E_{п}$, T . Соответствующие значения отклонений $\Delta(U^1 - E_0)$, $\Delta(E_0 - U^0)$, снижающих запас помехоустойчивости элементов, учитываются при определении допустимых значений $U_{л\ min}$ в уравнении (2). Величина U_0 для элементов ЭСЛ, ПТЛ определяется следующим выражением [7]:

$$U_0 = 2\varphi_{TЭ} \ln(mU_{л}/2\varphi_{TЭ}), \quad (4)$$

где $\varphi_{TЭ}$ — температурный потенциал для эмиттерного перехода (26 ... 30 мВ при $T = 20$ °С); m — число логических входов в переключателе тока. Величина $U_0 = 150$... 180 мВ при $U_{л} = 0,4$ В и типовых значениях $m = 2$, $T = 20$ °С и возрастает до $U_0 = 200$... 220 мВ при увеличении числа входов и температуры соответственно до $m = 4$, $T = 85$ °С.

Как следует из формулы (2), логический перепад для элементов ЭСЛ, ПТЛ может быть снижен до 250 мВ при низком уровне помех $U_{п} \leq (10...20)$ мВ и идеальной стабилизации уровней U^0 , U^1 , E_0 , когда $\Delta(U^1 - E_0)$, $\Delta(E_0 - U^0) \approx 0$. Современная технология изготовления БМК обеспечивает достаточно низкий относительный разброс параметров компонентов, однако уменьшение падения напряжения на шинах питания $\Delta U_{ш}$ остается проблемой. В существующих конструкциях БМК с двухслойной системой соединений это падение составляет $\Delta U_{ш} \approx 150$... 100 мВ. Значительно уменьшается $\Delta U_{ш}$ при введении дополнительного слоя металлизации, используемого для разводки шин питания. В этом случае можно обеспечить снижение $\Delta U_{ш}$ до 20 ... 40 мВ.

Следует отметить также важные схемотехнические и конструктивные проблемы, связанные с обеспечением необходимой стабильности значений $(U^1 - E_0)$, $(E_0 - U^0)$ при изменениях $E_{п}$ и T . Эта стабильность достигается использованием специальных схем источников опорных напряжений (ИОН), которые располагаются либо в непосредственной близости от соответствующих базовых элементов (в составе матрицы БЯ), либо на периферии БМК. К настоящему времени разработаны различные варианты схем таких источников, с помощью которых обеспечивается полная или частичная стабилизация логических уровней и порогов переключения. Полная стабилизация уровней U^0 , U^1 достигается при введении в схему элемента дополнительной резисторно-диодной цепочки. Ввиду усложнения схемы такой вариант обычно используется только для выходных трансляторов (рис. 3, а). В базовых элементах (рис. 3, б) чаще всего реализуется частичная стабилизация, при которой $E_0 = \text{const} \neq f(E_{п}, T)$, а логические уровни зависят только от температуры. При использовании соответствующих схем ИОН для этих элементов получают значения $\Delta(U^1 - E_0) \approx \Delta(E_0 - U^0) \approx -1$ мВ/°С.

Таким образом, для обеспечения работоспособности матричных БИС при пониженных температурах T_{\min} необходимо дополнительно увеличить $U_{л \min}$ на $2\Delta(U^1 - E_0) \approx 2\Delta(E_0 - U^0) \approx 2(T_{н} - T_{\min})$, мВ.

Стабилизация уровней U^0 , U^1 элементов ПТЛ достигается применением специальных источников стабильного тока [9]. В этом случае колебания уровней U^0 , U^1 в рабочем диапазоне изменения $E_{п}$ и T могут быть снижены до 10...20 мВ.

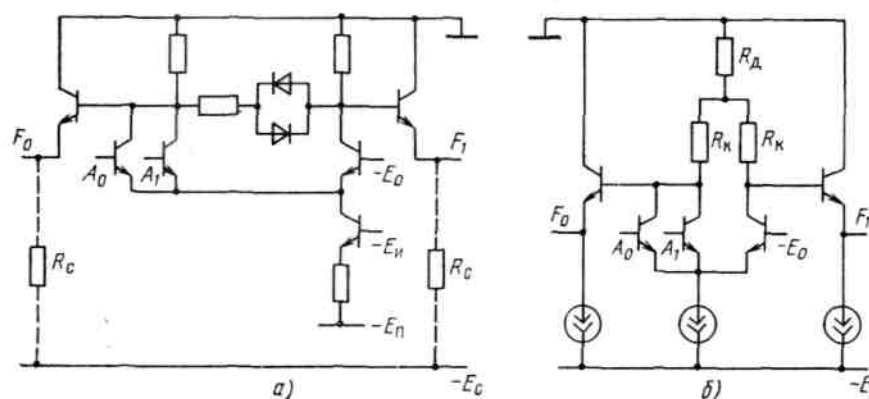


Рис. 3. Выходной транслятор со стабилизированными уровнями (а) и базовый элемент ЭСЛ, используемый в качестве входного транслятора (б)

Следует отметить, что для использования схем ИОН, обеспечивающих необходимую стабилизацию уровней U^0 , U^1 , E_0 , требуется повышенное напряжение питания. При этом значения $E_{п \min}$ (указаны в скобках в табл. 1) приблизительно на 1В превышают значения, полученные с помощью выражений (1а), (1б).

Для элемента ПТЛ определяем условия выбора величины $U_{л}$:

$$0,5U_{л}(1 - A) + \varphi_{TЭ} \ln[(1 + A)/(1 - A)] \geq \Delta U^1, \Delta U^0, \quad (5)$$

где $A = \sqrt{1 - (4\phi_{T_3} / U_{\text{п}})}$.

Значения отклонений логических уровней получаем из выражений

$$\Delta U^1 = \Delta U_{\text{ш}}, \Delta U^0 = (\Delta E_{\text{п}} + \Delta U_{\text{T}}) (E_{\text{п}} - U_{\text{T}}) / U_{\text{л}}, \quad (6)$$

где $\Delta U_{\text{ш}}$ — падение напряжения на шине «земля»; $\Delta E_{\text{п}}$ — отклонения напряжения питания элементов от номинального значения $E_{\text{п}}$; ΔU_{T} — температурные изменения напряжения U_{T} .

Как показывает анализ, обеспечить работоспособность данных элементов можно только при пониженных значениях $\Delta U_{\text{ш}} \leq 50$ мВ. В этом случае можно использовать элементы ГПТЛ с малыми значениями перепада (см. табл. 1).

Для элемента НПЛ допустимое значение перепада можно определить из условия работоспособности:

$$U_{\text{л}} \geq (E_{\text{п}} - U_{\text{T}}) + \Delta U^1 + \Delta U^0 + \Delta U_{\text{л}} + U_{\text{п}}, \quad (7)$$

где $\Delta U_{\text{л}} \approx 0,1$ В — запас, обеспечивающий запирающие транзисторы при $U_{\text{вх}} = U^0$; отклонения уровней ΔU^0 , ΔU^1 определяются выражениями (6).

Учитывая $\Delta E_{\text{п}}$ и ΔU_{T} — допустимые отклонения $E_{\text{п}}$ и U_{T} от номинальных значений, получаем

$$U_{\text{л min}} = (E_{\text{п}} - U_{\text{T}}) + (\Delta U_{\text{ш}} + \Delta U_{\text{л}} + U_{\text{п}}) / (1 - k), \quad (8)$$

где $k = (\Delta E_{\text{п}} + \Delta U_{\text{T}}) / (E_{\text{п}} - U_{\text{T}})$. При типовых значениях $(E_{\text{п}} - U_{\text{T}}) \approx 0,4 \dots 0,5$ В; $k \approx 0,4 \dots 0,5$; $\Delta U_{\text{ш}} + U_{\text{п}} \approx 20 \dots 40$ мВ величина $U_{\text{л min}} = 0,6 \dots 0,8$ В.

Помимо электрических характеристик, рассмотренные элементы различаются и логическими возможностями. Для их оценки целесообразно использовать предложенные в работе [10] параметры — логическую гибкость L и каскадность Q , значения которых приведены в табл. 1. Величина L определяется как среднее число элементов И — НЕ (либо ИЛИ — НЕ), замещаемых рассматриваемым базовым элементом при реализации заданного набора логических функций или функциональных устройств. Каскадность Q определяет средний коэффициент сокращения числа каскадов (элементов) между входами и выходами функциональных устройств, которое достигается при их построении на базовых элементах данного типа по сравнению с реализацией на элементах И — НЕ либо ИЛИ — НЕ (см. табл. 1). При выполнении оценок учитывались парафазность выходов для элементов ЭСЛ, ПТЛ, ГПТЛ, а также возможность реализации дополнительных логических функций монтажным объединением выходов эмиттерных повторителей (для элементов ЭСЛ) и объединением коллекторов транзисторов различных ярусов (для двухъярусных элементов ЭСЛ, ПТЛ). В этой же таблице приведены относительные значения

Таблица 2.

Параметр	ЭСЛ		ПТЛ		ГЭСЛ	НПЛ
	1-й ярус	2-й ярус	1-й ярус	2-й ярус		
$U_{\text{л}}$, В	0,4	0,4	0,4	0,4	0,2	0,6
$E_{\text{п}}$, В	3,0	4,5	3,0	4,5	2,0	1,2
t_{31}	0,6	1,0	0,5	0,8	0,25	0,17
(Qt_{31})	(0,39)	(0,45)	(0,43)	(0,44)	(0,21)	(0,17)
t_{32}	0,33	0,33	0,35	0,33	0,22	0,17
(Qt_{32})	(0,21)	(0,15)	(0,3)	(0,18)	(0,19)	(0,17)

площади σ , занимаемой на кристалле компонентами базовых элементов. Как видно из представленных данных, при использовании двухъярусных элементов ЭСЛ и ПТЛ для реализации сложнофункциональных устройств требуется в 3...5 раз меньше элементов; каскадность при этом уменьшается приблизительно вдвое.

Результаты сравнительной оценки быстродействия, достигаемого при использовании различных типов логических элементов, приведены в табл. 2.

При оценке приняты близкие к минимальным (см. табл. 1) значения $U_{\text{л}}$ и $E_{\text{п}}$, обеспечивающие работоспособность элемента при соблюдении рассмотренных выше условий. Для расчета задержек переключения t_{31} , t_{32} использовались аналитические выражения,

приведенные в работе [7]. Расчет проводился при средних значениях емкости нагрузки: $C_n \approx 2C_n$, где C_n — паразитная емкость компонентов, подключенных к коллекторному узлу переключателей тока. Для двухъярусных элементов ЭСЛ, ПТЛ в табл. 2 указаны значения задержек при переключении нижнего яруса, которые в 1,2 ... 1,3 раза больше, чем при переключении верхнего. Величина t_{31} представляет собой относительную задержку переключения элементов при одинаковой потребляемой мощности (за исходную единицу принята задержка двухъярусного элемента ЭСЛ)¹. В табл. 2 в скобках приведена задержка $Q_{t_{31}}$, которая учитывает уменьшение каскадности при построении функциональных устройств на элементах, реализующих более сложные логические функции, чем И — НЕ либо ИЛИ — НЕ. Расчет задержки t_{32} проводился с учетом логической гибкости элементов при заданном значении мощности для выполнения элементарной логической операции (И — НЕ либо ИЛИ — НЕ). В этом случае для элементов с увеличенной логической гибкостью можно пропорционально L повысить заданную потребляемую мощность, обеспечив снижение задержки. В табл. 2 значения t_{32} приведены для элементов, мощность которых увеличена пропорционально L по сравнению со значением, используемым при определении t_{31} .

Как показывает анализ полученных результатов, при одинаковом потреблении мощности элементы ЭСЛ, ПТЛ имеют близкие значения приведенной задержки, которые в 2...2,5 раза превышают задержку элементов ГПТЛ и НПЛ. Если же одинаковой задается мощность на одну логическую операцию (эквивалентный элемент И — НЕ либо ИЛИ — НЕ), минимальные приведенные задержки обеспечивают двухъярусные элементы ЭСЛ, ПТЛ и элементы ГПТЛ, НПЛ. Задержки одноярусных элементов ЭСЛ, ПТЛ в этом случае оказываются в 1,5 ... 2 раза больше.

Реализация трансляторов уровней

Схемы, осуществляющие трансляцию (преобразование) уровней логических сигналов, обычно располагаются на периферии кристалла рядом с контактными площадками для подключения соответствующих внешних выводов. Основной функцией этих схем является согласование уровней сигналов, формируемых базовыми элементами внутри матричной БИС, с уровнями сигналов, передаваемых в линиях связи между этими БИС. Используемые в БМК базовые элементы ЭСЛ обычно имеют перепад $U_n = 0,4, \dots, 0,6$ В (иногда до 0,2 ... 0,3 В). В то же время для выходных сигналов матричных БИС обычно принимаются значения $U_B^0 = - (1,6 \dots 1,8)$ В, $U_B^1 = - (0,8 \dots 1,0)$ В, т. е. $U'_n \approx 0,8$ В. Такие уровни обеспечивают достаточную помехоустойчивость при передаче сигналов по внешним линиям связи, а также позволяют совместно использовать в цифровых устройствах матричные БИС и серийные микросхемы ЭСЛ (серии 100, 500, 1500).

Выходные элементы — трансляторы выполняют две основные функции:

преобразуют уровни U^0, U^1 , формируемые базовыми элементами (ячейками), в выходные уровни U_B^0, U_B^1 ; обеспечивают необходимую нагрузочную способность, реализуя требуемые значения выходных токов $I_{\text{вых}}^0, I_{\text{вых}}^1$.

Высокие требования к значениям $I_{\text{вых}}$ определяются необходимостью использования согласованных линий связи для неискаженной передачи быстрых изменений выходных потенциалов (длительность фронтов около 1—2 нс и менее). Согласование линий связи обычно достигается включением на конце линии согласующего резистора (см. рис. 2, а) $R_c = Z_0$, где Z_0 — волновое сопротивление линии (типичные значения $Z_0 = 50 \dots 100$ Ом). При этом выходные токи

$$I_{\text{вых}}^0 = (E_c - U_B^0) / R_c; \quad I_{\text{вых}}^1 = (E_c - U_B^1) / R_c.$$

где E_c — потенциал, к которому подключаются согласующие резисторы (чаще всего $E_c = -2$ В). Таким образом, трансляторы должны обеспечивать выходные токи до 20 ... 25 мА.

Наиболее целесообразно использовать в качестве выходных трансляторов элементы ЭСЛ с полной стабилизацией выходных уровней (см. рис. 3, а). Такой элемент вместе с компенсированной схемой источника опорного напряжения обеспечивает постоянные значения уровней U^0, U^1 и E_0 в широком диапазоне изменений температуры и напряжения питания. Применение таких выходных трансляторов значительно снижает требования к стабильности напряжения питания и допустимому разбросу температур, что существенно упрощает разработку цифровых устройств. Однако выходные трансляторы потребляют большую мощность.

Средняя мощность одного эмиттерного повторителя, входящего в состав транслятора, равна

$$P_3 = 0,5(I_{\text{вых}}^0 + I_{\text{вых}}^1)(U_T + 0,5U_n) = (E_c - U_T - 0,5U'_n)(U_T + 0,5U'_n) / R_c. \quad (9)$$

Мощность входящего в транслятор переключателя тока

¹ Для проведения количественных оценок отметим, что при современной промышленной технологии изготовления (разрешающая способность $\Delta = 3$ мкм) двухъярусные элементы ЭСЛ обеспечивают задержку $t_3 \approx 1$ нс при $P = 5$ мВт.

$$P_{\text{п}} = E_{\text{п}} I_{\text{пт}} = E_{\text{п}} \chi I_{\text{вых}}, \quad (10)$$

где обычно выбирается $\chi = 0,1 \dots 0,2$. Таким образом, мощность одного транслятора $P_{\text{т}} = P_{\text{п}} + P_{\text{в}}$ оказывается весьма значительной: 20... 50 мВт, что в 5...10 раз превышает мощность базового элемента. Общая мощность выходных трансляторов в матричных БИС составляет $P_{\text{в}} = M_{\text{т}} P_{\text{т}}$, где $M_{\text{т}}$ — число используемых трансляторов. Поскольку допустимая мощность $P_{\text{к}} = P_{\text{м}} + P_{\text{в}}$, рассеиваемая БМК, ограничена, при проектировании матричной БИС необходимо следить за выполнением условия

$$M_{\text{т}} \leq (P_{\text{к}} - P_{\text{м}}) / P_{\text{т}}.$$

Как показывает анализ функциональных устройств, реализуемых в виде БИС, требуемое число логических выходов обычно не превышает $M_{\text{т}}$ (0,15... 0,20) $N_{\text{б.я}}$. При таких значениях $M_{\text{т}}$ величина $P_{\text{в}}$ близка к $P_{\text{м}}$. Следовательно, при заданных значениях $P_{\text{к}}$, $N_{\text{б.я}}$ включение выходных трансляторов вызывает необходимость уменьшения потребляемой БЯ мощности (приблизительно вдвое), что приводит к соответствующему снижению быстродействия.

В работе [11] предложено использовать БМК, в состав которых не включены трансляторы (безбуферные БМК). При этом предполагается разместить трансляторы в отдельных микросхемах, которые будут располагаться на плате в непосредственной близости от выводов матричной БИС. В этом случае можно достичь двойного повышения степени интеграции БМК или снижения задержки переключения базовых элементов в 1,5... 2 раза. Однако будет снижаться плотность размещения матричных БИС на плате и возрастать задержка во внешних линиях связи. Данный вариант размещения трансляторов может быть эффективным для некоторых конструктивных типов устройств ЭВМ, например для кассетной конструкции с малым числом матричных БИС.

Использование ПТЛ, ГПТЛ в качестве базовых элементов требует также включения входных трансляторов, преобразующих внешние сигналы с уровнями $U_{\text{в}}^0, U_{\text{в}}^1$ во внутренние сигналы с необходимыми уровнями. Эти трансляторы потребляют приблизительно такую же мощность, что и базовые элементы, т. е. существенно меньшую чем выходные элементы. Входными трансляторами обычно служат одноярусные элементы ПТЛ, имеющие опорное напряжение $E_0 = 0,5 (U_{\text{в}}^0 + U_{\text{в}}^1) \approx 1,2$ В, и выходные уровни U^0, U^1 такие же, как базовые элементы БМК.

В БМК на основе элементов ЭСЛ можно избежать использования входных трансляторов, если ввести в схему элемента дополнительный резистор $R_{\text{д}}$ (рис. 3, б), смещающий выходные уровни до значений

$$U^0 = -U_{\text{т}} - I_{\text{п}}(R_{\text{д}} + R_{\text{к}}), \quad U^1 = -U_{\text{т}} - I_{\text{п}}R_{\text{д}}.$$

Если обеспечить на этом резисторе падение напряжения

$$I_{\text{п}}R_{\text{д}} = 0,5 (U_{\text{в}}^0 + U_{\text{в}}^1 + U_{\text{л}}) - U_{\text{т}},$$

то для опорного напряжения E_0 будет выполняться соотношение

$$E_0 = 0,5 (U^0 + U^1) = -0,5 (U_{\text{в}}^0 + U_{\text{в}}^1).$$

При этом внешние сигналы с уровнем $U_{\text{в}}^0, U_{\text{в}}^1$ можно использовать непосредственно для переключения БЯ без каких-либо трансляторов. Элементы ЭСЛ с дополнительными резисторами $R_{\text{д}}$ применяются в качестве базовых элементов ряда сверхбыстродействующих БМК.

Конструктивная реализация БМК

При конструировании БМК необходимо обеспечить оптимальное соотношение числа базовых ячеек, выходных трансляторов, трасс для проведения металлических соединений и контактных площадок для подключения внешних вводов.

Наиболее часто используемая в современных БМК ЭСЛ двухслойная металлизация представляет собой два слоя для реализации ортогональной системы соединений. Первый (нижний) слой металла имеет меньшую толщину, чем второй (верхний), поэтому его сопротивление в 2...3 раза выше. В первом слое осуществляется соединение компонентов БЯ в функциональные ячейки, а также проложены трассы для размещения проводников в одном из направлений, например вертикальном (см. рис. 1). Во втором слое располагаются проводники другого направления, например горизонтального, а также шины для подачи питания и опорных напряжений (если ИОН размещены на периферии кристалла),

Для оценки числа трасс, необходимых для соединения БЯ в заданную структуру матричной БИС, можно использовать эмпирическое соотношение [12]:

$$N_{\text{тр}} = N_{\text{с1}} + N_{\text{с2}} = m_{\text{д}} (N_{\text{б.я}})^r, \quad (11)$$

где $N_{\text{с1}}, N_{\text{с2}}$ — число сигнальных трасс в первом и втором слое; $N_{\text{б.я}}$ — число БЯ в БМК; $m_{\text{д}}$ — среднее число логических входов и выходов в базовом элементе, реализуемом на основе БЯ; $r \approx 0,7 \dots 0,75$.

Число горизонтальных (n_x) и вертикальных (n_y) сигнальных трасс, приходящихся на одну строку или столбец БЯ, при форме матрицы, близкой к квадратной, приближенно получаем из

выражения

$$n_x \approx n_y \approx 0,5 N_{\text{тр}} / \sqrt{N_{\text{б.я}}} \approx m_{\text{л}} \sqrt[4]{N_{\text{б.я}}} \quad (12)$$

На рис. 4 представлены зависимости требуемого числа трасс $(n_x \approx n_y) = f(N_{\text{б.я}})$ для $m_{\text{л}} = 6$ (базовый элемент — двухъярусный ЭСЛ). Максимальное число трасс, которое можно провести

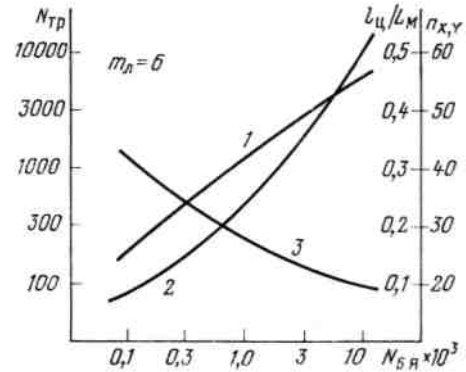


Рис. 4. Зависимости требуемого числа трасс и средней длины соединений от степени интеграции БМК:
1 — общее число трасс на кристалле $N_{\text{тр}}$; 2 — число трасс $n_x \approx n_y$ приходящееся на одну строку (столбец) матрицы БЯ; 3 — средняя относительная длина цепи соединений в матричной БИС $(l_{\text{ц}}/L_{\text{м}})$

в одном слое металлизации, определяется формулой

$$N_{\text{м}} = L_{\text{м}}/h_{\text{тр}} = K_{\text{с1}} N_{\text{с1}} = K_{\text{с2}} N_{\text{с2}}, \quad (13)$$

где $L_{\text{м}}$ — линейные размеры матрицы БЯ (считаем форму матрицы квадратной); $h_{\text{тр}}$ — минимальное расстояние между центрами трасс (шаг трассировки). Коэффициенты $K_{\text{с1}}$, $K_{\text{с2}}$ учитывают, что часть трасс занимают внутренние соединения функциональных ячеек (в первом слое), шины питания и опорных напряжений (во втором слое). Типовые значения $K_{\text{с1}}$, $K_{\text{с2}} \approx 1,5 \dots 2$. Используя формулы (11), (13), получаем выражение для оценки размеров матрицы БЯ:

$$L_{\text{м}} = 0,5 K_{\text{с}} m_{\text{л}} h_{\text{тр}} (N_{\text{б.я}})^{1/4} = 0,5 K_{\text{с}} h_{\text{тр}} N_{\text{тр}}, \quad (14)$$

где принято $K_{\text{с}} = K_{\text{с1}} \approx K_{\text{с2}}$. Выражения (11), (14) определяют взаимосвязь конструктивно-технологических характеристик матрицы БЯ и системы соединений. Например, для матрицы, имеющей $N_{\text{б.я}} = 32 \times 32 = 1024$, $m_{\text{л}} = 6$, необходима система соединений с числом сигнальных трасс в каждом слое $N_{\text{с}} \approx 500 \dots 550$. При размерах матрицы $L_{\text{м}} = 10$ мм, $K_{\text{с}} = 1,8 \dots 1,9$ система соединений может быть реализована при $h_{\text{тр}} \leq 10$ мкм, а размеры БЯ не должны превышать 140×310 мкм.

Оценить общую длину соединений в матричной БИС можно с помощью выражения

$$l_0 = \eta_{\text{тр}} L_{\text{м}} N_{\text{тр}} \quad (15)$$

где $\eta_{\text{тр}}$ — коэффициент использования (заполнения) сигнальных трасс.

Величина $\eta_{\text{тр}}$ определяется структурой проектируемой матричной БИС и качеством разработки ее топологии. Для приближенных оценок можно принять $\eta_{\text{тр}} = 0,2 \dots 0,4$ для матричных БИС, использующих 60...70 % расположенных на кристалле БЯ. Формулы (11), (15) дают соотношения, позволяющие оценить среднюю длину цепи $l_{\text{ц}}$ соединений, подключенных к одному выходу БЯ:

$$l_{\text{ц}} = l_0 / \eta_{\text{б}} n_{\text{в}} N_{\text{б.я}} = \eta_{\text{тр}} L_{\text{м}} m_{\text{л}} / \eta_{\text{б}} n_{\text{в}} \sqrt[4]{N_{\text{б.я}}} \approx L_{\text{м}} / \sqrt[4]{N_{\text{б.я}}} \quad (16)$$

где $\eta_{\text{б}}$ — коэффициент использования БЯ в проектируемой матричной БИС (типичное значение $\eta_{\text{б}} = 0,5 \dots 0,7$); $n_{\text{в}}$ — среднее число выходов БЯ (обычно $n_{\text{в}} = 1 \dots 2$). Вид типовой зависимости $(l_{\text{ц}}/L_{\text{м}}) = f(N_{\text{б.я}})$, рассчитанной с помощью выражения (16), приведен на рис. 4. Оценка средней длины одной цепи для БМК, имеющих $N_{\text{б.я}} = 1000 \dots 10000$, $L_{\text{м}} = 5 \dots 10$ мм, дает $l_{\text{ц}} \approx 1$ мм, что достаточно близко к значениям $l_{\text{ц}} = 1 \dots 2$ мм, получаемым при проектировании реальных матричных БИС. При типовых значениях погонной емкости $C_0 \approx 0,3 \dots 0,4$ пФ/мм средняя емкость связей составляет $C_{\text{с}} = C_0 l_{\text{ц}} \approx 0,3 \dots 0,4$ пФ.

Необходимость перезаряда емкости связи C_c существенно ограничивает возможности реализации высокого быстродействия элементов ЭСЛ в БМК высокой степени интеграции. Время перезаряда этой емкости до порога переключения составляет

$$t_{п} = 0,5 U_{л} C_c / I_{п}, \quad (17)$$

где ток перезаряда определяется значением мощности P_m , заданной для матрицы БЯ:

$$I_{п} = K_T P_m / E_{п} N_{б.я}, \quad (18)$$

Здесь K_T — коэффициент использования тока, определяемый схмотехникой базового элемента ($K_T \approx 1$ для НПЛ; $K_T \approx 0,5$ для ГПТЛ; $K_T \approx 0,4$ для ПТЛ; $K_T \approx 0,3$ для одноярусных ЭСЛ; $K_T \approx 0,25$ для двухъярусных ЭСЛ).

С помощью выражений (16) — (18) получаем соотношение для оценки быстродействия базовых элементов в БМК:

$$t_3 \geq t_{п} = 0,5 K_T E_{п} U_{л} C_0 L_m (N_{б.я})^{3/4} / P_m \quad (19)$$

В качестве примера укажем, что для БМК, имеющего $N_{б.я} = 2500$, $P_m = 5$ Вт, $L_m = 10$ мм, при типовых значениях $E_{п} = 4,5$ В, $U_{л} = 0,5$ В, $C_0 = 0,2$ пФ/мм, $K_T = 0,25$ (двухъярусный ЭСЛ) задержка переключения базовых элементов $t_3 \geq t_{п} = 0,64$ нс. Таким образом, хотя предельное быстродействие элементов ЭСЛ достаточно велико (например, по оценкам, данным в работе [13], можно достичь $t_3 \approx 20 \dots 50$ пс), однако его практическая реализация в БМК вызывает большие трудности.

Рассмотрим пути снижения величины $t_{п}$ и соответственно t_3 . Возможные пределы уменьшения $E_{п}$ и $U_{л}$ были определены выше (см. табл. 1). Приведенные оценки показывают, что при этом можно обеспечить снижение $t_{п}$ в 1,5 ... 2 раза. Значительное увеличение мощности P_m достигается при переходе на жидкостное охлаждение. В этом случае можно добиться уменьшения $t_{п}$ в 4...5 раз и более. Размеры матрицы определяются выражением (14), из которого следует, что уменьшение L_m достигается при снижении величин K_c и $h_{тр}$.

Величину K_c можно сократить до значения K_{c1} , $K_{c2} \approx 1$ увеличением числа металлических слоев. Добавление еще одного слоя (трехслойная система проводников) металлизации дает возможность вынести в верхний (третий) слой шины питания и опорных напряжений. При этом во втором слое остаются только сигнальные трассы ($K_{c2} \approx 1$). Можно также значительно уменьшить сопротивление шин питания и соответственно падение напряжения $\Delta U_{ш}$ на них, что, как отмечено выше, позволяет снизить перепад $U_{л}$. При введении четвертого слоя можно вынести в отдельный (нижний) слой внутренние соединения функциональных ячеек, полностью оставив один из слоев для проведения горизонтальных трасс ($K_{c1} \approx 1$). В результате значения L_m и соответственно $t_{п}$ уменьшаются в 1,5...2 раза. Эффективным способом сокращения L_m является снижение шага металлических соединений $h_{тр}$ за счет совершенствования технологических процессов их создания.

Результаты оценок показывают, что при совместном совершенствовании технологии (уменьшение шага трасс до $h_{тр} = 5 \dots 6$ мкм, реализация разрешающей способности литографии $\Delta = 1,0 \dots 1,5$ мкм, создание трехслойной металлизации) и схмотехники (обеспечение работоспособности базовых элементов при минимальных значениях $E_{п \text{ min}}$, $U_{л \text{ min}}$) можно обеспечить создание БМК со степенью интеграции $N_{б.я} = 2500$ (эквивалентно $N_{эл} = 10\,000$) на базовых двухъярусных элементах ЭСЛ, имеющих $t_3 \approx 0,2$ нс при $P_{эл} = 2$ мВт (т. е. $P_m = 5$ Вт). Оценку необходимого числа контактных площадок и внешних выводов $M_{л}$, служащих для передачи логических сигналов, выполним с помощью соотношения [14]

$$M_{л} = m_{л} (N_{б.я})^p, \quad (20)$$

где $p = 0,5 \dots 0,75$.

Приняв $p = 0,5$ для БМК, использующих двухъярусные элементы ЭСЛ ($m_{л} = 5 \dots 6$), получим: $M_{л} = 80 \dots 100$ при $N_{б.я} = 250$ (эквивалентно $N_{эл} \approx 1000$); $M_{л} = 250 \dots 300$ при $N_{б.я} = 2500$ (эквивалентно $N_{эл} \approx 10\,000$). В целях снижения величины $\Delta U_{ш}$ в БМК значительная часть выводов используется для подключения напряжения питания и земли, причем их число достигает $M_{п} \approx (0,2 \dots 0,3) M_{л}$. Таким образом, чтобы эффективно использовать логические

возможности БМК, необходимо размещать их в корпусах, имеющих $M_B = M_L + M_P$ выводов. Для БМК сверхвысокой степени интеграции ($N_{ЭЛ} > 1000$) число выводов M_B должно составлять несколько сотен.

Размещение столь большого числа контактных площадок и выводов по периметру кристалла требует значительного увеличения его размеров и длины соединений. Поэтому для размещения БМК со степенью интеграции $N_{ЭЛ} > 5\ 000$ целесообразно использовать корпуса, в которых выводы располагаются по всей поверхности основания (матричные выводы) [15]. Контактные площадки и трансляторы при этом размещаются по всей поверхности кристалла между рядами БЯ. На контактные площадки наращиваются проводящие столбики, которые соединяются с выводами из корпуса. Хотя реализация такой конструкции связана с определенными трудностями, однако при этом удается получить большее число выводов и сократить длину соединений.

Заключение

Приведенные в настоящей работе аналитические выражения позволяют выбрать элементную базу и провести оценку основных параметров проектируемых БМК на основе ЭСЛ.

Сравнение основных вариантов элементов ЭСЛ показывает, что для реализации БМК с высокой эквивалентной степенью интеграции наиболее перспективны двухъярусные элементы ЭСЛ, ПТЛ, а также элементы НПЛ. Используя последние достижения современной технологии (разрешающая способность $\Delta = 1,5 \dots 2,0$ мкм, трех- или четырехслойная металлизация и др.), на базе этих элементов можно реализовать БМК со степенью интеграции $N_{ЭЛ}$ до 5 ... 10 тыс. эквивалентных логических элементов при площади кристалла $S_K \leq 100$ мм². Однако средняя задержка базовых элементов таких БМК при общем потреблении мощности $P_K \approx 5 \dots 10$ Вт будет составлять $t_3 \geq 1$ нс. Минимальные значения задержки при имеющейся технологии изготовления могут быть реализованы в БМК со степенью интеграции $N_{ЭЛ} > 1000$. В этом случае наименьшие значения $t_3 \approx 0,2$ нс обеспечат элементы НПЛ, а для элементов ЭСЛ, ПТЛ можно получить значения $t_3 = 0,3 \dots 0,4$ нс.

Дальнейшее снижение t_3 может быть достигнуто только увеличением потребляемой мощности P_K , так как возможности сокращения логического перепада U_L или уменьшения напряжения питания E_P весьма ограничены.

Другим путем повышения быстродействия является переход от цифровых устройств с произвольной логикой к устройствам с однородной структурой (типа конвейерных или матричных). В таких устройствах длина соединений намного меньше, чем при произвольной логике. Поэтому БМК для устройств с однородной структурой будут иметь меньшие размеры вследствие сокращения трассировочного пространства и более высокое быстродействие благодаря значительному уменьшению времени перезаряда емкости соединений.

СПИСОК ЛИТЕРАТУРЫ

1. Пржиялковский В. В., Ломов Ю. С., Файзулаев Б. Н. Проблемы и пути технической реализации высокопроизводительных ЭВМ на основе БИС//УСиМ. _ 1980. — N 6. — С. 15—23.
2. Ломов Ю. С., Файзулаев Б. Н. Прогноз развития технической базы высокопроизводительных ЭВМ //Вопросы радиоэлектроники. Сер. ЭВТ. — 1981.— Вып. 5. — С. 37-45.
3. Толчинская И. М. Элементная база логических устройств высокопроизводительных ЭВМ//Вычислительная техника за рубежом в 1982 году ИТМиВТ.— М., 1984. — С. 163-191.
4. Файзулаев Б. И. Предельное и оптимальное быстродействие интегральных логических элементов ЭВМ//Вопросы радиоэлектроники. Сер. ЭВТ.— 1976. — Вып. 5. - С48-54.
5. Файзулаев Б. Н. Проблемы быстродействия элементной базы ЭВМ//Микроэлектроника и полупроводниковые приборы.— 1981.— Вып. 6. —С. 2—35.
6. Аврамов В. Г., Куксенко С. В. Семейство БМК как основа построения элементной базы высокопроизводительных ЭВМ// Техника средств связи. Сер. Микроэлектронная аппаратура.— 1985.— Вып. 1. — С. 11 —15.
7. Немудров В. Г., Лебедев В. И., Гладков В. Н., Иванов Ю. П. Быстродействующие БИС на переключателях тока. — М.: Радио и связь, 1982.— 160 с.
8. Алексенко А. Г., Шагурин И.И. Микросхемотехника. — М.: Радио и связь, 1982.- 414 с.

9. Шагурин И. И., Иванов Ю. П. Стабилизация логических уровней и порогов переключения малосигнальных схем ЭСЛ//Изв. вузов СССР. Радиоэлектроника. — 1981 Т. 24. №6.—С. 128—136.
10. Шагурин И. И., Иванов Ю. П. Обобщенные критерии сравнения элементных базисов цифровых микросхем и их использование для выбора элементной базы сверхбыстродействующих БИС// Микроэлектроника. —1979.— Т. 8—Вып. 6.— С. 483—492.
11. Куксенко С. В., Драбкин В. А., Скобелев В. А. Применение безбуферных БМК для высокопроизводительных ЭВМ// Вопросы радиоэлектроники. Сер. ЭВТ. — 1984.— Вып. 7.- С. 54—59.
12. Suzuki M., Horiguchi S., Sudo T. A. 5K-gate Bipolar Master — Slice LSI with a 500 ps Loaded gate Delay// IEEE J. — 1983.— V. SC-18. N5. — P. 585—591.
13. Мозговой Г. П., Шагурин И. М. Предельные оценки быстродействия и работы переключения биполярных цифровых микросхем с учетом схемотехнических ограничений/Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова, Я. А. Федотова. — М.: Сов. радио, 1980.— Вып. 5.—С. 210—225.
14. Landman B. S., Russo R. L. On a Pin Versus Block Relationship for Portionings of Logic graph IEEE Trans.— 1971. — V. Com.-20, N3. — P. 1469-1470.
15. Klein K., Miersch E. R., Remshardt R. e.a. A study on Bipolar VLSI gate — Array Assuming Four Layers of Metal// IEEE J. — 1982.— V. SC-17. N 3.— P. 472—480.

УДК 681.34:621.3.049.77

Б.Н. ФАЙЗУЛАЕВ, А. Н. КАРМАЗИНСКИЙ

СВЕРХСКОРОСТНАЯ ЭЛЕМЕНТНАЯ БАЗА НА ОСНОВЕ КМОП-СХЕМОТЕХНИКИ

Достижение высокой производительности ЭВМ является актуальной задачей современной вычислительной техники. Решение ее идет в направлении развития архитектуры и структуры ЭВМ, а также совершенствования элементной базы — перехода от ИС и СИС к сверхскоростным БИС [1].

Известно, что рост быстродействия биполярных БИС ограничивается допустимой мощностью рассеивания на кристалле, значение которой определяется требованиями надежности и допустимой максимальной температурой p — n -переходов кристалла. Из-за тепловых ограничений с повышением степени интеграции кристалла БИС приходится соответственно снижать потребляемую каждым логическим элементом (ЛЭ) мощность, в результате чего быстродействие биполярных схем практически не возрастает, несмотря на уменьшение геометрических размеров физических областей и снижение энергии переключения ЛЭ [2,3].

Схемотехника типовых биполярных схем (ЭСЛ, ТТЛ) характеризуется значительным потреблением мощности в статическом режиме. В результате этого только очень малая часть энергии от источника питания идет на собственно переключение ЛЭ, в то время, как большая часть энергии идет на тепловое рассеивание. Поэтому в биполярной схемотехнике актуально создание ЛЭ с двухтактным динамическим режимом переключения при заряде и разряде емкости нагрузки и малым потреблением мощности в статическом режиме [3—5]. Этому требованию частично удовлетворяют элементы низковольтной инверторной логики [5].

В схеме такого элемента (рис. 1, а) транзисторы $VT1$, $VT3$ выполняют логические функции в маломощном входном каскаде, а транзисторы, $VT4$, $VT2$, $VT5$ образуют выходной двухтактный каскад, обеспечивающий активное переключение емкостной нагрузки C_n на положительном и отрицательном фронтах сигнала. Цепи $R1C1$ и $R2C2$ предназначены для форсирования тока заряда и разряда емкости нагрузки во время переключения.

Более эффективно двухтактный режим переключения реализуется на КМОП-элементах (рис. 1, б), в которых оба фронта переключения являются активными — заряд и разряд емкостей осуществляется через открытые транзисторы, подключенные соответственно к шинам

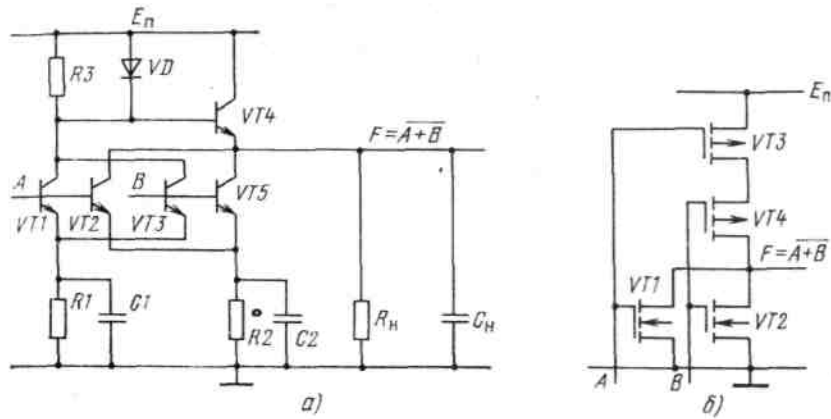


Рис. 1, Схемы ЛЭ с двухтактным режимом переключения:
а — биполярные; б — КМОП

питания и земли. Постоянные времени перезаряда емкости C_n определяются крутизной МОП-транзисторов ($\tau \sim C_n/S$). При уменьшении длины канала и толщины диэлектрика под затвором крутизна МОП-транзисторов возрастает, что приводит к росту быстродействия КМОП-схем по мере совершенствования литографии (рис. 2).

Сравнивая схемы рис. 1, а и 1, б, нетрудно заметить, что КМОП-элементы проще по конфигурации и полностью исключают потребление энергии в статическом режиме. Кроме того, если напряжение питания $E_n \leq U_{0n} + U_{0p}$, где U_{0n} , U_{0p} — пороговые напряжения транзисторов n - и p -типов, то отсутствует сквозной импульсный ток между шинами питания и земли при переключении и почти вся энергия от источника питания идет на перезаряд емкости нагрузки. Малое потребление энергии и непрерывный рост быстродействия КМОП-схем по мере уменьшения проектных литографических норм делают их основным конкурентом биполярных токовых переключателей при создании сверхскоростной элементной базы для высокопроизводительных ЭВМ.

Для простейших КМОП-элементов, на основе которых строятся более сложные элементы и схемы, справедливы следующие оценки энергии переключения $P\tau$, задержки распространения $\tau_{зр}$ и потребляемой мощности $P_{лэ}$ [6]

$$P\tau \approx C_n E_n^2, \quad (1)$$

$$\tau_{зр} \sim C_n / (k_{экв} E_n) \quad (2)$$

$$P_{лэ} \sim k_{экв} E_n^3, \quad (3)$$

где C_n — емкость нагрузки на выходе ЛЭ¹; E_n — напряжение источника питания; $k_{экв}$ — эквивалентная удельная крутизна транзистора;

$$\frac{1}{k_{экв}} = \frac{2L_k h_d}{\epsilon_0 \epsilon_d} \left(\frac{1 + \eta_p}{\mu_p \omega_p} + \frac{1 + \eta_n}{\mu_n \omega_n} \right); \quad (4)$$

L_k — длина каналов транзисторов; h_d — толщина диэлектрика под затвором; ϵ_0 , ϵ_d — диэлектрическая проницаемость вакуума и диэлектрика; η_p , η_n — коэффициенты влияния подложки; μ_p , μ_n — подвижность дырок и электронов в канале; ω_p , ω_n — ширина каналов транзисторов.

Из (1) — (4) следует, что задержка КМОП-элементов прямо пропорционально зависит от емкости нагрузки C_n , длины каналов транзисторов L_k и толщины диэлектрика под затвором h_d .

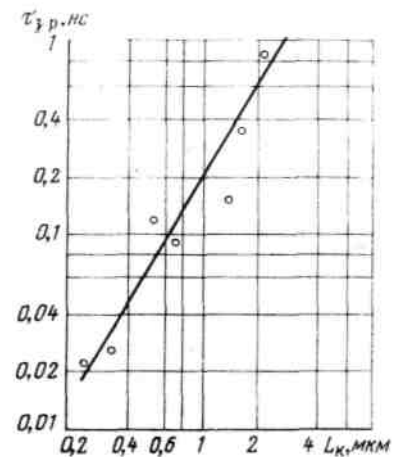


Рис. 2. Зависимость задержки распространения КМОП-схем от длины канала транзистора L_k .

¹ В общем случае емкость нагрузки складывается из собственной выходной емкости ЛЭ, емкости межсоединений и входных емкостей нагрузки.

Очевидно, что совершенствование технологии изготовления и уменьшение конструктивно-технологических проектных норм приводит к уменьшению собственных емкостей МОП-транзисторов, длины канала, напряжения питания и порогового напряжения и благодаря этому к повышению быстродействия КМОП-схем. Таким образом, уменьшение L_k , h_d и увеличение μ за счет использования низких температур и материалов с большей, чем у кремния, подвижностью носителей (например, GaAs) — главный путь увеличения быстродействия КМОП-схем. Отметим, что быстродействие КМОП-элементов в БИС зависит в основном не от собственной паразитной емкости, а от емкости нагрузки, обусловленной двумя факторами: числом разветвлений сигнала на выходе логического элемента и паразитной емкостью, вносимой трассами межсоединений.

При заданной для КМОП-элемента длине L_k и ширине w канала задержка $\tau_{зр}$ будет возрастать прямо пропорционально росту емкости цепи нагрузки. В связи с этим представляет интерес анализ быстродействия не одного отдельно взятого базового ЛЭ в кольцевом генераторе, а БИС в целом или отдельных логических цепей обработки информации. Анализ таких цепей [7,8] позволяет определить оптимальные с точки зрения быстродействия требования к конструкции ЛЭ, их нагрузочной способности, межсоединениям и т.д.

С ростом степени интеграции влияние линий связи повышается. Это обусловлено тем, что активная площадь $S_{лэ}$ — площадь, занятая физическими областями транзисторов на кристалле, — уменьшается, а площадь, занятая трассами межсоединений $S_{св}$, увеличивается. Поэтому емкостная нагрузка ЛЭ в БИС в основном определяется линиями связи. Роль емкости линий связи будет возрастать по мере уменьшения конструктивно-технологических проектных норм. При этом, как показано в [4], существует предел повышения быстродействия и степени интеграции БИС, который определяется не площадью ЛЭ, а площадью межэлементных связей на кристалле.

Средняя длина межсоединений увеличивается с ростом степени интеграции. Поэтому даже в том случае, когда энергия переключения собственно ЛЭ стремится к нулю ($P_{тлэ} \rightarrow 0$), задержка распространения сигналов в БИС определяется средним временем переключения межсоединений в логической цепи.

Таким образом, при проектировании сверхскоростных КМОП БИС возникает задача обеспечения высокой крутизны и соответственно такого выходного тока ЛЭ, который обеспечил бы перезаряд нагрузочной емкости за заданное время. Как было ранее отмечено, этого добиваются прежде всего уменьшением эффективной длины канала транзистора до субмикронных размеров.

При расчете быстродействия КМОП-элементов необходимо учитывать насыщение скорости носителей в канале с ростом напряженности электрического поля:

$$\tau_{зр} \sim L_k \left[\frac{1}{v_{нn}} + \frac{1}{v_{нp}} + \frac{h_d C_n}{\varepsilon_0 \varepsilon_d E_{п}} \left(\frac{1 + \eta_p}{\bar{\mu}_p \omega_p} + \frac{1 + \eta_n}{\bar{\mu}_n \omega_n} \right) \right] \quad (5)$$

где $v_{нn}$, $v_{нp}$ — скорость насыщения электронов и дырок в полупроводнике; $\bar{\mu}_n$, $\bar{\mu}_p$ — усредненная подвижность электронов и дырок с учетом насыщения.

Анализ требований к транзисторам в сверхскоростных КМОП-БИС показывает, что при степени интеграции $N = 10^4$ и задержке вентиля $\tau_{зр} = 0,1 \dots 0,2$ нс эффективная длина канала $L_{кэф}$ должна быть в пределах $0,2 \dots 0,5$ мкм, что обеспечивается при проектной норме и соответственно литографической длине канала $L_k \leq 1$ мкм.

Напряжение питания $E_{п}$, В	Эффективная длина канала $L_{кэф}$, мкм	Ширина канала транзисторов ω , мкм		Задержка распространения $\tau_{зр}$, пс	
		n-типа ω_n	p-типа ω_p	в кольцевом генераторе $C_n = C_{вх}$	в логической цепи $C_n = 1$ пф
5	0,5	25	40	20	160
2	0,25	25	40	18	200

В таблице приведены расчетные данные эффективной длины канала $L_{к\text{эф}}$ и задержки распространения сигнала $\tau_{з\text{р}}$ в кольцевом генераторе и в логической цепи БИС ($C_n = 1$ пФ) для кольцевой конструкции МОП-транзисторов C^2L ($E_n = 2$; 5В ; $w_n = 25$ мкм; $w_p = 40$ мкм).

Реализация большой номенклатуры цифровых схем для создания высокопроизводительных ЭВМ требует новых принципов конструирования и изготовления БИС и СБИС. В настоящее время основным средством создания элементной базы нового поколения ЭВМ являются базовые матричные кристаллы (БМК) [9—11], представляющие собой технологические заготовки, из которых с помощью специализации¹ ячеек на выполнение определенных библиотечных функций, размещения ячеек на матрице БМК и трассировки соединений создается БИС, выполняющая заданную функцию. Процесс проектирования БИС на основе БМК напоминает процесс проектирования печатных плат с использованием микросхем с низкой степенью интеграции. В этом отношении соблюдается преемственность методов проектирования и разработчику не приходится преодолевать психологический барьер, связанный с освоением новой техники.

Проектирование полузаказных БИС на основе БМК по сравнению с проектированием заказных БИС имеет ряд преимуществ:

- удобство автоматизации процесса проектирования;
- короткий цикл разработки и изготовления БИС;
- простота внесения функционально-схемных изменений (доработок);
- отработанность библиотечных элементов;

практически неограниченная возможность совершенствования и расширения библиотеки логических элементов;

удобство и эффективность разработки и изготовления широкой номенклатуры БИС с малой повторяемостью.

Проектирование БИС на основе БМК накладывает и определенные ограничения на схемотехническое проектирование. В частности, затруднено изменение параметров компонентов на БМК; при проектировании широкой номенклатуры БИС средний коэффициент использования кристалла не превышает 0,5 ... 0,7 (для одного БМК).

В настоящее время интенсивно развиваются работы по совершенствованию конструкции и технологии БМК в направлении:

- увеличения числа вентилях на кристалле от 10^3 до 10^4 ;
- уменьшения проектных норм от 4 до 1 мкм и далее до 0,5 мкм;
- роста площади кристаллов БМК от 25 до 100 мм² и более;
- снижения задержки, приходящейся на вентиль, от нескольких наносекунд до десятых долей наносекунды;
- расширения номенклатуры кристаллов, отличающихся степенью интеграции, конструкцией, быстрым действием элементов;
- создания кристаллов, сочетающих цифровые и аналоговые части матриц;
- создания полностью аналоговых базовых кристаллов;
- создания БМК с блочной структурой, в которых каждый блок представляет собой подматрицу БМК со своей собственной структурой;
- создания универсального БМК с матрицей транзисторов.

Из сказанного следует, что существует большое число направлений совершенствования БМК. Однако не менее важны средства специализации кристалла — размещение ЛЭ и трассировка связей между ними. Очевидно, что ручная специализация БМК возможна только для кристаллов с небольшим числом ячеек (как правило, менее 10^2). С ростом числа ячеек на кристалле для специализации БИС необходимо применять систему автоматизированного проектирования (САПР), обеспечивающую размещение и полную 100 %-ную трассировку соединений между элементами.

¹ Специализацией называется внутреннее соединение компонентов ячеек в библиотеку логических элементов или более сложную логическую схему.

Вначале для специализации БИС на основе БМК использовались САПР, созданные для трассировки соединений на печатных платах. Поэтому и конструкция первых БМК напоминала конструкцию печатных плат с установочными местами, где установочные места — места расположения ячеек или групп ячеек, а расстояние между ними — каналы для трассировки соединений. Таким образом, конструкции первых базовых кристаллов были ориентированы на имеющиеся средства проектирования. Так как создание САПР — более трудоемкая процедура, чем разработка конструкции БМК, то, по-видимому, чаще всего конструкции БМК будут системоориентированными. Тем не менее возможен и другой подход, основанный на создании САПР с широкими возможностями, которая будет настраиваться на каждый новый тип базового кристалла и в каждом случае обеспечивать 100 % — ную трассировку соединений.

С нашей точки зрения, более перспективным, особенно применительно к КМОП БМК, является путь разработки универсального базового кристалла со сплошной матрицей транзисторов, в котором число ячеек в БМК, число транзисторов в ячейке, число каналов для трассировки и трассировочная способность каждого канала изменялись бы в зависимости от степени интеграции и структуры БИС. В этом случае структура БМК изменялась бы с помощью САПР и представлялось возможным иметь библиотеку различных структур БМК на одном кристалле. Таким образом, при создании матричных БИС следует комплексно и взаимосвязанно решать проблемы создания базового матричного кристалла и системы автоматизированного проектирования БИС на их основе.

В настоящее время известны БМК с ячейочной структурой и каналами для трассировки, имеющими постоянную пропускную способность или переменную — более высокую в середине кристалла и уменьшающуюся по направлению к краям кристалла, и с блочной структурой и переменной пропускной способностью каналов для межблочной трассировки. В блочной структуре БМК каждый блок может представлять собой функционально законченное устройство или являться базовым кристаллом с постоянной или переменной пропускной способностью каналов для внутренней трассировки.

При проектировании конструкции базового кристалла возникает большое число задач, связанных с определением степени интеграции БМК, пропускной способности каналов для трассировки соединений, числа ячеек в БМК, числа рядов с ячейками, площади БМК, электрических параметров типового вентиля, допустимых конструктивно-технологических проектных норм, обеспечивающих заданную степень интеграции и быстродействие БИС, числа мощных выходных элементов, топологии шин земли и питания и др.

Основой для проектирования БМК, является его модель, в которой определяется способ размещения ячеек, пропускная способность каналов для трассировки, наличие или отсутствие фиксированных соединений в каналах, форма кристалла, предпочтительное местоположение мощных выходных каскадов, дискретность изменения размеров транзисторов и шага трассировки. Такая модель [12, 13] позволяет оценить параметры БМК и выбрать конструкцию, удовлетворяющую предъявляемым требованиям. Как показали расчеты, для создания элементной базы на КМОП-транзисторах для быстродействующих ЭВМ наиболее перспективно использование семейства БМК или универсальных БМК с настраиваемой структурой.

Основой конструкции БМК является топологическая ячейка, к которой предъявляются следующие требования:

- обеспечение заданных электрических параметров типового ЛЭ (средней задержки переключения, нагрузочной способности, потребляемой мощности);
- простота специализации для выполнения соответствующих логических функций;
- возможность объединения ячеек для выполнения сложных функций;
- малая площадь и высокий коэффициент использования транзисторов в ячейке и др.

При конструировании ячейки принимаются во внимание различные факторы. Поэтому конструкции ячеек основываются на разных принципах, каждый из которых имеет свои достоинства и недостатки. Наибольшее распространение получили ячейки, в которых используются кольцевые транзисторы (так называемая C^2L -конструкция) и транзисторы прямоугольной формы [10]. Ячейки различаются числом транзисторов, их соединениями, а также наличием или отсутствием различного числа фиксированных соединений на площади ячейки. В основу ячейки может быть положен типовой ЛЭ (например, 2ИЛИ—НЕ, 3ИЛИ—НЕ), отдельные

транзисторы или группы определенным образом соединенных транзисторов.

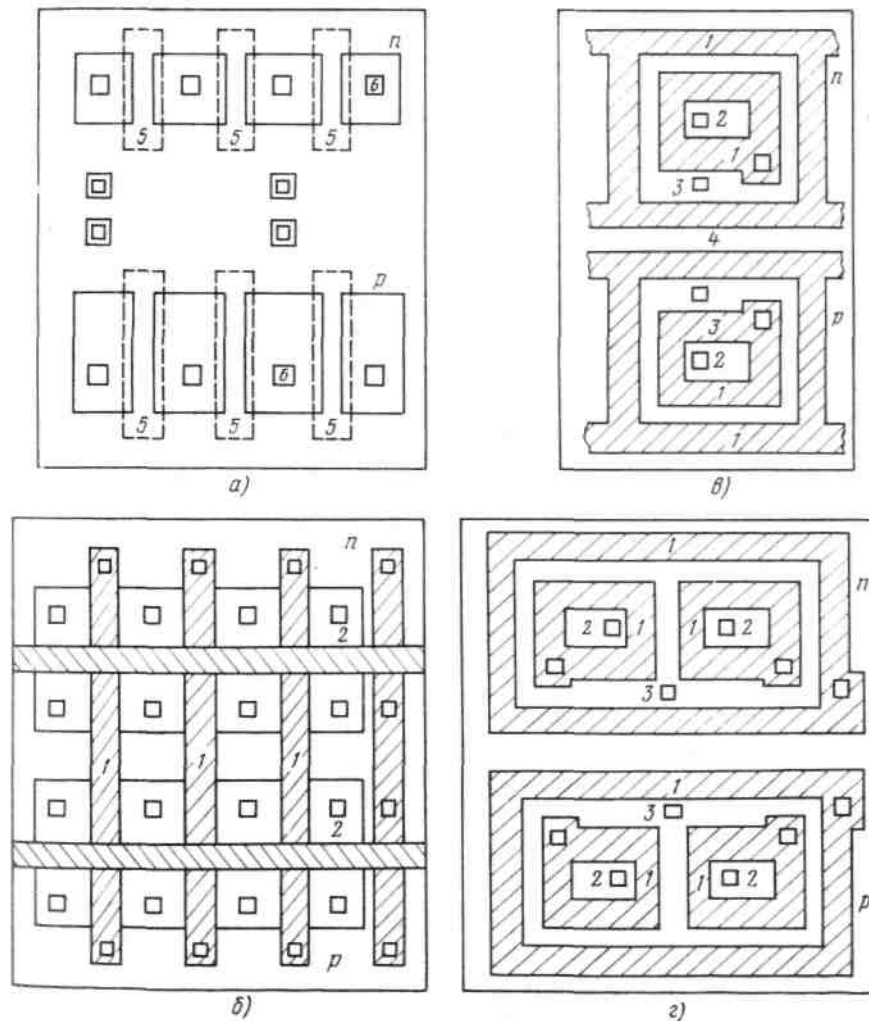


Рис. 3. Эскизы конструкций ячеек БМК:

a, б — с прямоугольной конструкцией транзисторов; *в, г* — с кольцевой; 1 — затворы; 2, 3, 4 — стоки, истоки транзисторов; 5 — тонкий диэлектрик под затвор транзистора; 6 — контактные окна

Эскизы ячеек с транзисторами прямоугольной формы приведены на рис. 3, *a, б*. В ячейке на рис. 3, *a* одним из переменных фотошаблонов является фотошаблон материала затвора, в ячейке на рис. 3, *б* — фотошаблон тонкого диэлектрика под затвор транзисторов. Каждая группа транзисторов *n*- и *p*- типов образует последовательное соединение. Ширина каналов *p*-канальных транзисторов примерно в два раза больше, чем *n*-канальных, что позволяет обеспечить примерно равную удельную крутизну и компенсировать различие в подвижности носителей — дырок и электронов.

На рис. 3, *б* показаны дополнительные горизонтальные трассы, которые можно провести во втором слое металлизации, на рис. 3, *в, г* — ячейки с C^2L -конструкцией. В каждой группе *n*- и *p*-канальных транзисторов ячейки рис. 3, *в* содержатся последовательно соединенные два *n*- и два *p*-канальных транзисторов. В ячейке на рис. 3, *г* содержатся по три транзистора каждого типа.

Достоинство C^2L -конструкции в том, что при заданной площади последовательно соединенных транзисторов они обладают наибольшей крутизной за счет роста ширины каналов. Кроме того, последовательное соединение транзисторов обеспечивает максимальное быстродействие, так как транзисторы, подключенные к выходу элемента, имеют меньшие собственные емкости, чем транзисторы, подключенные к шинам земли и питания.

Размеры ячейки определяются обычно шагом и числом вертикальных и горизонтальных трасс соединений, которые можно провести в площади ячейки, не нарушая работы транзисторов. Таким образом, размеры ячейки кратны шагу проведения соединительных трасс. Размеры транзисторов, как отмечалось, выбираются из условия обеспечения заданного быстродействия типового ЛЭ.

Важным является состав библиотеки ЛЭ на ячейках базового кристалла, используемых для проектирования БИС быстродействующих ЭВМ. Целесообразно выбирать библиотеку, соблюдая функционально-логическую

преимущество разработанных в настоящее время быстродействующих устройств на основе ЭСЛ-схемотехники и перспективных устройств на основе КМОП-схемотехники. Поэтому возникает задача проектирования принципиальных схем и топологических специализаций для библиотеки КМОП-элементов, соответствующей по функциям той или иной серии ИС. Следует иметь в виду, что функционально - логическая библиотека для матричных БИС может

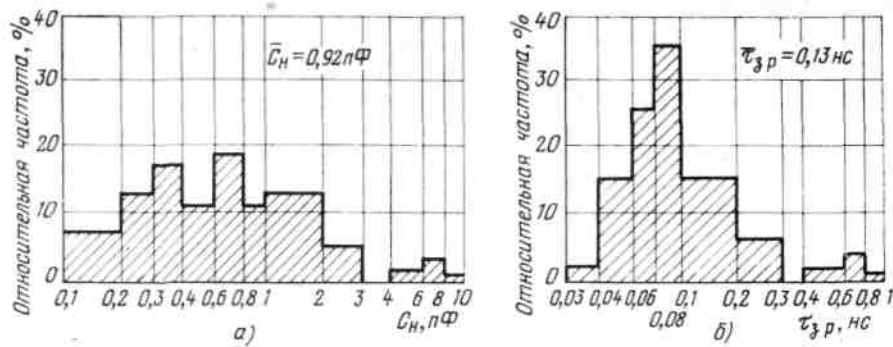


Рис. 4. Гистограммы распределения емкости нагрузки C_n (а) и задержки распространения τ_{3p} (б) для логических цепей сумматора на основе КМОП БМК

быть значительно шире состава выбранной серии и по своим параметрам не полностью соответствовать аналогичным схемам серии.

В заключение приведем некоторые основные результаты проектирования 64-разрядного сумматора для высокопроизводительной ЭВМ на основе КМОП БМК, содержащего $N = 10^4$ вентилях со средней задержкой распространения сигнала $\tau_{3p} = 0,1 \dots 0,2$ нс (рис. 4):

Напряжение питания, В.....	2
Площадь кристалла, мм ²	144
Мощность на кристалле, Вт (при $F_{\text{такт}}=100$ МГц).....	3,6
Проектная норма, мкм.....	1
Ширина линии металлизации межсоединений, мкм.....	4
Число слоев металлизации.....	3 (2 сигнальных, 1 — земля/питание)
Средняя длина межсоединений, мм.....	1,6
Средняя емкость нагрузки (рис. 4, а), пФ.....	0,92
Средняя задержка распространения (рис. 4, б), нс.....	0,13
Конструкция транзистора.....	$C^2 L$

Выводы

1. КМОП-схемотехника СБИС на кремнии обеспечивает среднюю задержку распространения сигнала на вентиль $0,1 \dots 0,2$ нс при субмикронной эффективной длине канала транзисторов. Дальнейшее повышение быстродействия возможно только при использовании низких и сверхнизких температур.

2. Принципиальным достоинством КМОП-схем по сравнению с биполярными быстродействующими схемами является двухтактный режим работы и пренебрежимо малая потребляемая мощность в стационарном режиме, что обеспечивает снижение более чем на порядок общей потребляемой мощности.

3. Семейство БМК (или универсальный БМК) дает возможность повысить быстродействие и коэффициент использования кристалла, облегчить трассировку и сократить номенклатуру БИС и СБИС.

4. Базовые матричные кристаллы позволяют решить проблему создания большой номенклатуры различных по своим функциям БИС и СБИС, ускоряют процесс проектирования и делают его похожим на процесс проектирования печатных плат со схемами низкой и средней степени интеграции.

5. Процесс проектирования БИС и СБИС на основе БМК в дальнейшем будет приближаться к процессу проектирования заказных схем, что потребует совершенствования как конструкций БМК и ячеек, так и систем автоматизированного проектирования, использующих методы синтеза технических решений на всех стадиях и этапах проектирования.

СПИСОК ЛИТЕРАТУРЫ

1. **Пржиялковский В. В., Ломов Ю. С., Файзулаев Б. Н.** Проблемы и пути технической реализации высокопроизводительных ЭВМ на основе БИС// УСиМ.- 1980. — №6. — С. 13 - 23.
2. **Файзулаев Б. Н., Первов А. С.** Взаимосвязь предельного быстродействия и степени интеграции БИС//Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова, Я. А. Федотова.— М.: Сов. радио. 1979.-Вып. 4. — С. 149—157.
3. **Файзулаев В. Н.** Проблемы быстродействия элементной базы ЭВМ/У Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова, Я. А. Федотова.— М.: Радио и связь. 1981.— Вып. 6. — С. 2—35.
4. **Файзулаев Б. Н.** Предельное быстродействие и основные закономерности развития логических БИС ЭВМ// Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова, Я. А. Федотова.- М.: Радио и связь, 1984. — Вып. 4 — С. 5—15.
5. **Кониэи Р.Р.** Низковольтная инверторная логика — перспективная элементная база биполярных СБИС//Электроника.— 1982.- Т. 55. №7.— С. 57 — 61.
6. **Кармазинский А. Н.** Оценка предельного быстродействия микросхем на полевых транзисторах //Микроэлектроника и полупроводниковые приборы/ Под ред. А. А. Васенкова, Я. А. Федотова. — М.: Радио и связь. 1981.— Вып. 6. — С. 36—60.
7. **Кармазинский А. Н.** Синтез принципиальных схем цифровых элементов на МДП-транзисторах. — М.: Радио и связь, 1983. — 256 с.
8. **Кармазинский А. Н., Смирнов Д. А.** Метод синтеза параметров транзисторов в КМДП БИС на основе макромоделей//Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова. Я. А. Федотова. — М.: Радио и связь, 1984.— Вып. 9.—С. 196—213.
9. **Пономарев М. Ф., Коноплев Б. Г., Фомичев А. В.** Базовые матричные кристаллы. Проектирование специализированных БИС на их основе. —М.: Радио и связь, 1985.— 80 с.
10. **Алюшин М. В., Кармазинский А. Н., Кулагин Ю. А., Салгус К. К.** Состояние и перспективы развития базовых кристаллов цифровых БИС на МДП-транзисторах. — М.: ЦНИИ Электроника, 1981. — 56 с.
11. **Преснухин Л. Н., Немудров В. Г., Пупин А. А., Шишкевич А. А.** Сверхбыстродействующие БИС, реализуемые на базовом кристалле//Микроэлектроника и полупроводниковые приборы/Под ред. А.А. Васенкова, Я. А. Федотова. — М.: Сов. радио, 1977. — Вып. 2. — С. 94 — 104.
12. **Алюшин М. В., Кармазинский А. Н.** Расчет пропускной способности каналов для трассировки в базовом кристалле // Микроэлектроника.— 1983.— Т. 12, вып. 3. —С. 262—267.
13. **Файзулаев Б. Н.** Оценка средней длины и трассировочной способности связей матричных БИС ЭВМ//Микроэлектроника.— 1983.— Т. 12, вып. 5.-С. 467—463.

УДК 621.3.049.97

А. В. ШМИД, В. В. ЯРНЫХ, А. Д. ДОНСКИХ, С. В. КУКСЕНКО

САПР МАТРИЧНЫХ БИС ЕДИНОЙ СИСТЕМЫ ЭВМ

Быстрый рост уровня интеграции современной элементной базы predetermined возможность создания ЭВМ на заказных и полузаказных (матричных) БИС. При проектировании ЭВМ на матричных БИС возникает необходимость одновременного комплексного проектирования нескольких сотен типов БИС, образующих устройство [1], причем логический объем одного устройства достигает $10^5 \dots 10^6$ вентилей. При этом возникает проблема выявления всех или большинства проектных дефектов до начала изготовления опытного образца на модели ЭВМ.

Обнаружение проектного дефекта в опытном образце приводит к необходимости повторного проектирования и изготовления БИС, что занимает несколько недель (вместо нескольких часов при устранении проектного дефекта в ЭВМ на ИС). Возрастание на один-два порядка времени устранения проектного дефекта при переходе на БИС с соответствующим удлинением сроков создания ЭВМ в целом требует совершенствования ранее существовавших методик проектирования для резкого повышения доли проектных дефектов, выявляемых на этапе моделирования ЭВМ.

В общих чертах методика проектирования ЭВМ, начиная с уровня регистровых передач, рассмотрена, например, в [2,3]. Здесь же более детально анализируется фрагмент общей методики проектирования ЭВМ в функциональных узлах (ФУ). При этом выделяются

следующие этапы проектирования [4]:

декомпозиция сети ФУ в сеть функциональных элементов (ФЭ), входящих в библиотеку базового матричного кристалла (БМК), используемого для разработки матричных БИС;

оптимизация сети ФЭ;

логическая верификация сети ФЭ на соответствие сети ФУ;

разрезание сети ФЭ на матричные БИС;

разрезание сети матричных БИС на ТЭЗ;

разрезание сети ТЭЗ на панели (и т.д. — последовательность этапов соответствует типовой конструкции ЕС ЭВМ и может изменяться);

получение согласованных исходных данных для систем технического проектирования рам, панелей, ТЭЗ, матричных БИС;

техническое проектирование конструктивов и матричных БИС;

временной анализ сети по результатам технического проектирования.

В ходе проектирования выделяется последовательность моделей ЭВМ M_0, \dots, M_6 , в которой каждая предыдущая модель может служить формальным эталоном для последующих (рис. 1). Целью проектирования, несомненно, является получение бездефектного варианта M_6 , функционально соответствующего M_0 .

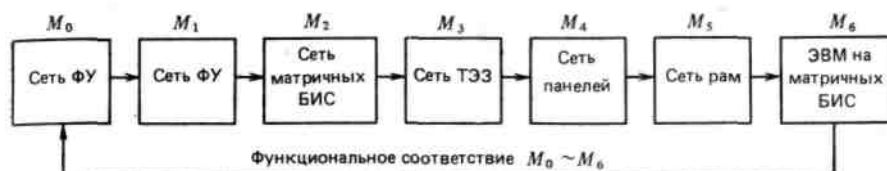


Рис. 1. Последовательность моделей при проектировании ЭВМ,

Разобьем возможное множество дефектов проектирования D на два подмножества $D_1 \cup D_2 = D$, где

$$\begin{aligned} D_1 &= \{d_i \text{ — несоответствие замыслу разработчика}\}, \\ D_2 &= \{d_i \text{ — несоответствие } M_i \text{ и } M_j\}. \end{aligned} \quad (1)$$

Очевидно, что дефекты $d_i \in D_1$ и $d_i \in D_2$ принципиально различаются по возможности обнаружения: в то время как дефект $d_i \in D_2$ можно обнаружить автоматически сравнением с эталонной моделью, дефект $d_i \in D_1$ может быть обнаружен только при участии разработчика. Поэтому для обеспечения поиска $d_i \in D_1$ должны развиваться диалоговые средства моделирования.

Таким образом, концептуально проблема обеспечения бездефектности распадается на две взаимосвязанные подпроблемы: развитие диалоговых методов борьбы с дефектами первого рода [согласно классификации (1)] и развитие автоматических методов борьбы с дефектами второго рода.

Рассмотрим методику проектирования группы взаимосвязанных БИС, образующих устройство, оснащенное средствами борьбы с дефектами $d_i \in D_2$, т. е. с дефектами рассогласования с имеющимся формальным эталоном — исходным описанием устройства в функциональных узлах.

Предположим, что исходное описание устройства заранее верифицировано (например, по методике [3]) и не содержит дефектов первого рода. Тогда целью дальнейшего проектирования является:

- 1) минимизация потока вносимых дефектов $d_i \in D_2$ при проведении проектных операций (задача синтеза);
- 2) обнаружение вносимых дефектов $d_i \in D_2$ (задача анализа).

Подобная методика была использована для проектирования матричных БИС, реализованных с уровнем интеграции $N \approx 1500$ эквивалентных вентилях. Работа выполнена в рамках Единой системы автоматизированного проектирования (ЕСАП). Достигнутый темп проектирования составляет не менее четырех БИС в день на одной ЭВМ ЕС1060. При проектировании

используются только стандартные программные и технические средства ЕС ЭВМ.

Основные проектные и контрольные этапы методики рассматриваются на примере проектирования небольшого устройства, целиком реализуемого на k БИС одного ТЭЗ (рис. 2).

Исходное описание функциональной схемы (СхФ) устройства производится на базовом языке ЕСАП, языке описания схемы электрической (ОСЭ) или его варианте МАКРООСЭ.

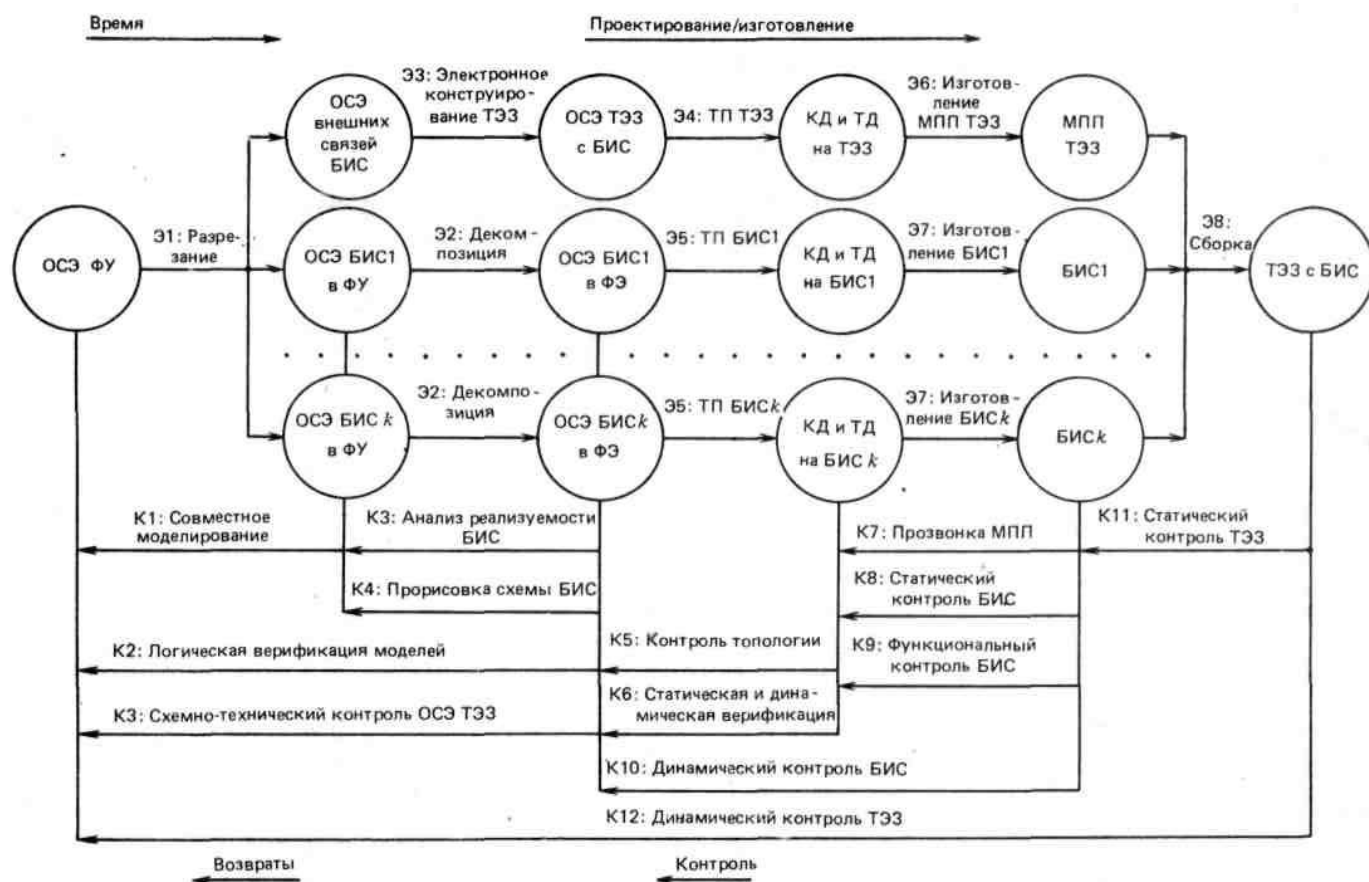


Рис.2. Упрощенная схема бездефектного проектирования ТЭЗ и БИС:
 КД—конструкторская документация; ТД—технологическая документация; МПП—многослойная печатная плата

По своим возможностям МАКРООСЭ соответствует языку СТРУКТУРА [4] и отличается от него синтаксисом реализаций. Допускается расширение библиотеки ФУ по желанию разработчика.

Полное описание ЭВМ в ФУ может быть получено в результате синтеза с уровня языка регистровых передач, либо отработано в ходе моделирования непосредственно на уровне ФУ (последнее практически возможно для небольших устройств объемом до $5 \cdot 10^4$ вентиляей).

Проектный этап Э1: разрезание сети ФУ на БИС. Этот этап производится либо автоматически, либо автоматизированно. Качество автоматического распределения ФУ по БИС оценивается по ряду критериев, например числу типов БИС. Формальная постановка задачи распределения сети ФУ по конструктивам подробно рассмотрена в [5]. Следует отметить, что при проектировании высокопроизводительных процессоров функции управления, как правило, реализуются не микропрограммно, а аппаратурно, в результате чего из-за большого объема нерегулярной логики высокопроизводительного процессора возникает необходимость проектировать до нескольких сотен типов БИС логической сложности $10^3 \dots 2 \cdot 10^3$ вентиляей.

При автоматизированном распределении ФУ по БИС указания производятся операторами языка МАКРООСЭ. При этом предварительно оценивается реализуемость группы ФУ в БИС по числу внешних связей группы, коэффициенту заполнения матрицы БМК, числу цепей в группе и т. д.

В случае невозможности реализации группы ФУ в БИС производится перераспределение ФУ по БИС. Следует отметить, что выполнение некоторых правил электронного конструирования (например, необходимости введения схем формирования и усиления синхросигналов в каждую БИС, содержащую элементы памяти) приводит к многократному дублированию некоторых ФУ. В результате могут быть превышены коэффициенты разветвления по выходу в ФУ, работающих на дублируемые, что, в свою очередь, потребует частичного перепроектирования схемы. В ходе перепроектирования могут быть внесены дефекты $d_i \in D_2$, искажающие верифицированное ОСЭ

ФУ. Поэтому проектный этап Э1 защищается от дефектов $d_i \in D_2$ контрольными этапами К1 и К2, рассматриваемыми ниже.

В результате завершения этапа Э1 формируются описание внешних связей БИС, которое должно быть реализовано на ТЭЗ, и набор исходных описаний БИС в ФУ. ОСЭ внешних связей БИС является исходным для подсистемы проектирования ТЭЗов, а ОСЭ БИС 1...БИС k служат исходными при проектировании k типов БИС в подсистеме проектирования БИС.

Контрольный этап К1: совместное моделирование ТЭЗ и БИС. В результате совместного моделирования должны быть выявлены дефекты $d_i \in D_2$, которые могли возникнуть в ходе автоматизированного распределения сети ФУ по БИС. Речь идет об установлении эквивалентности модели M_0 сети ФУ до разрезания модели M_0' и после разрезания.

Вычислительная сложность S алгоритма установления эквивалентности моделей на тесте $X^k = (X(1), \dots, X(k))$ длиной k наборов размерностью n пропорциональна $0(2^k \cdot 2^n)$ (т. е. размерности итеративной модели для решения уравнений эквивалентности ответных реакций Y моделей (рис. 3, а)).

В случае сопоставления состояний Q_i моделей (определяемых состоянием m обратных связей модели [6]) вычислительная сложность S установления эквивалентности пропорциональна $0(2^n)$ (рис. 3, б).

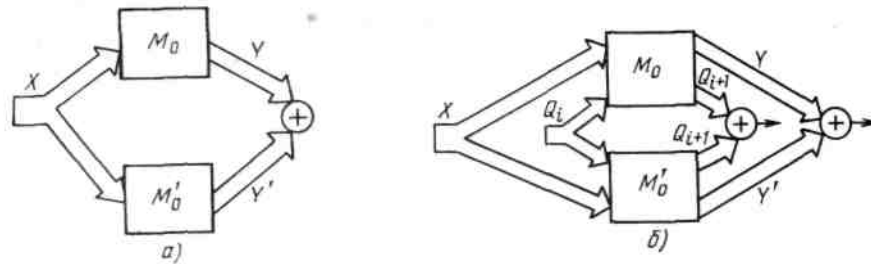


Рис. 3. Схема вычислений при установлении эквивалентности моделей:

а — по входам-выходам; б — со сравнением состояний

Возможен и подход, в соответствии с которым формируется полный список допустимых дефектов рассогласования моделей (например, обрывы входов ФУ, замены функций ФУ и т. д.). Тогда (подобно известным оценкам для моделирования с неисправностями в технической диагностике) сложность решения оценивается в зависимости от $|M_0|$ — размерности моделей — и пропорциональна $0(|M_0|^3)$.

В ЕСАП реализован именно такой подход со схемой вычислений в соответствии с рис. 3. б. Применение моделирования для установления эквивалентности не может быть рекомендовано в случае работы с сетями большой размерности (в объеме устройства), что объясняется быстрым ростом сложности вычислений с ростом размерности моделей.

Методика построения адекватных многозначных моделей для совместного моделирования представлена в [6,7], время моделирования описаний объемом 3...5 тыс. вентилях с анализом качества сравнения моделей на 200 ...400 наборах составляет 2...4 мин на ЭВМ ЕС1060.

Проектный этап Э2: декомпозиция **ОСЭ ФУ** **ОСЭ ФЭ** **матричных БИС**. На этапе Э2 проводят синтез ОСЭ матричных БИС исходя из верифицированного описания БИС в ФУ.

Неавтоматизированные методы синтеза стали неприемлемыми по следующим причинам:

время составления схемы и проверки ее логической адекватности описанию верхнего уровня слишком велико для обеспечения удовлетворительной производительности системы в целом;

качество проекта определяется точностью анализируемой модели и контролирующей способностью программ анализа.

Создание методики автоматического синтеза матричных БИС из описания на уровне ФУ, основанной на базе стандартных реализаций компонентов верхнего уровня в базисе элементов нижнего уровня, позволило сократить в десятки раз время подготовки данных для этапа технического проектирования и уменьшить вероятность появления некорректностей за счет сокращения возможности появления большого количества «оригинальных» решений. Однако метод автоматического синтеза схемы не исключает возможности ее доработки.

Программный комплекс состоит из трех основных частей: автоматической декомпозиции ОСЭ ФУ в базис ФЭ матричных БИС; оптимизации полученного описания; реализации схемы с учетом правил электронного конструирования.

Можно выделить следующие этапы синтеза ОСЭ ФЭ:

перевод ОСЭ ФУ в базис ФЭ библиотеки БМК с выполнением пометок, обеспечивающих связь между компонентами разных уровней;

исключение незадействованных ФЭ;
 исключение ФЭ (кроме выходных усилителей, элементов цепей распределения сигналов синхронизации и каскадов между триггерными элементами), не несущих логической функции;
 замена ФЭ на другой ФЭ, выполняющий ту же логическую функцию, с наименьшим числом незадействованных выходов и входов, требующих постоянной ориентации на логическую константу (логический 0 или логическую 1);
 присоединение незадействованных входов ФЭ к ФЭ— генератору логической 1 или логического 0;
 генерация цепей усиления и формирования сигналов синхронизации и управления триггерами в соответствии с правилами электронного конструирования;
 назначение периферийных элементов.

Результатом работы комплекса программ являются данные в форме главного информационного массива, который представляет собой одну из основных структур базы данных ЕСАП.

Документами для анализа является графическое изображение схемы, автоматически синтезированное и полученное на графопостроителе или АЦПУ, а также ОСЭ, обеспечивающее доработку схемы.

Время выполнения программ составляет не более 20 мин на ЭВМ ЕС1060, максимальный объем памяти — не более 500 К байт.

Одновременно с синтезом проводится схемотехнический контроль и статистическая обработка информации с целью:

проверки реализуемости схемы матричной БИС с точки зрения топологических характеристик кристалла;

проверки реализуемости с точки зрения правил электронного конструирования;

генерации информации для оценки характеристик матричной БИС;

получения информации для интегральной оценки проекта.

Контрольный этап К2: логическая верификация моделей. На этом этапе устанавливается логическая эквивалентность исходного ОСЭ ФУ и комплексного описания группы БИС после декомпозиции и электронного конструирования цепей обмена между матричными БИС.

В ходе логической верификации производится исчерпывающая 100 %-ная проверка совпадения комбинационной логики в эталонной и верифицируемой моделях. При этом не требуется привлечения каких-либо тестов и обеспечивается линейная зависимость трудоемкости от размерности модели (числа входов триггерных схем модели).

Идея логической верификации состоит в независимой попарной проверке совпадения функций возбуждения входов триггеров в эталонной и верифицируемой моделях. После проведения логической верификации гарантируется, что дефекты рассогласования моделей $d_i \in \bar{D}_2$ могут иметь только динамический характер.

Пусть $Q(M_0) = \{q_1, \dots, q_u\}$ — множество триггеров модели M_0 ; Q — значения сигналов на триггерах (состояние модели); $f_i^D(Q, X), f_i^C(Q, X)$ — соответственно функции возбуждения D - и C -входов i -го триггера ($i = 1, \dots, u$); X — вектор входных сигналов. При структурном задании модели M_0 $f_i^D(Q, X), f_i^C(Q, X)$ — комбинационные подсхемы, отображающие выходные сигналы предшествующих триггеров Q и входные сигналы модели X в сигнал на входе триггера.

Очевидно, что модели M_0 и M_0' эквивалентны только тогда, когда эквивалентны функции возбуждения входов для любого триггера i в моделях.

В свою очередь, функции возбуждения входов триггеров эквивалентны тогда и только тогда, когда не имеет решения ни одна из нижеследующих систем логических уравнений:

$$f_i^D(Q, X) \oplus f_i'^D(Q, X) = 1, \quad f_i^C(Q, X) \oplus f_i'^C(Q, X) = 1, \quad i = 1, \dots, u. \quad (2)$$

Заметим, что совпадение функций возбуждения (2) является только необходимым условием эквивалентности.

Технически проверка эквивалентности сводится к решению $2 \cdot |M_0|$ уравнений (2).

Поскольку задача решения логического уравнения является *np*-полной, то возникает вопрос о вычислительной эффективности предлагаемого подхода. Пусть l — число входов функции $f_i(Q, X)$ возбуждения триггера; тогда вычислительная сложность S_i решения одного уравнения (2) оценивается следующим образом:

$$S_i \sim 0 (l^2) \text{ при } l < 13;$$

$$S_i \sim 0 (l^5) \text{ при } l \leq 24.$$

Логические уравнения (2) могут решаться либо на непрерывной модели [8], либо (для $l \leq 14$) с использованием параллельного моделирования комбинационных подсхем по схеме вычислений (см. рис. 3, б). Заметим, что вычислительная сложность линейно зависит от числа решаемых уравнений (размерности моделей M_0). Характер зависимости представлен на рис. 4, а. На рис. 4, б приведена экспериментально определенная функция распределения размерности решаемых логических уравнений для ЭВМ ЕС1066.

Время установления логической эквивалентности для схем объемом 3000...5000 вентилей составляет 1...3 мин на ЕС1060, для схем объемом 30 000 ... 50 000 вентилей — 15 ...40 мин.

Проектный этап Э5: топологическое проектирование (ТП) БИС. Основной задачей, решаемой на этапе Э5, является эквивалентное преобразование принципиальной схемы проектируемой матричной БИС в схему соединений библиотечных ФЭ, реализующих определенные логические функции и размещаемых на БМК.

Высокая стоимость разработки топологии, обусловленная большими затратами на средства проектирования и значительной степенью участия человека, а также влияние топологических параметров на основные технические характеристики изделия дают основания считать этот этап

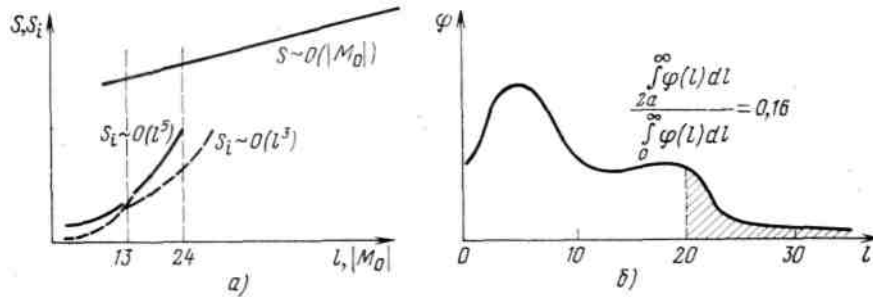


Рис. 4. Вычислительная сложность логической верификации:
 а — зависимость вычислительной сложности от размерности модели; б — распределение числа входов в функциях возбуждения для ЭВМ ЕС1066

одним из самых важных в процессе создания матричных БИС.

Требования высокого темпа разработки, обеспечения качества проектирования явились решающими при создании программ синтеза топологии матричных БИС.

Комплекс программ топологического проектирования обеспечивает выполнение следующих функций:

- настройку информационно-справочных массивов;
- автоматическую компоновку и размещение ФЭ в топологические ячейки (ТЯ), являющиеся элементами регулярности матрицы БМК, назначение выходных контактов;
- частичное или полное описание компоновки и размещения ФЭ в ТЯ с помощью входного языка;
- автоматическую трассировку межсоединений ФЭ в матричных БИС с возможностью ручной дотрассировки;
- контроль корректности трассировки с точки зрения правил электронного конструирования и соответствия электрической схеме;
- сбор статистических данных о результатах топологического проектирования;
- назначение режимных резисторов на выходах ФЭ в зависимости от его емкостной нагрузки;
- получение на графопостроителе символической схемы размещения ФЭ и их межсоединений.

Качественное решение задачи размещения является залогом успешного завершения процедуры генерации топологии в автоматическом режиме. Основным критерием оптимизации в задаче размещения взят критерий минимума суммарной длины электрических соединений элементов. Это обусловливается следующими факторами:

- уменьшение длин соединений улучшает электрические характеристики реализованной схемы;
- как показывает практика, чем меньше суммарная длина связей, тем проще их реализация в процессе трассировки;
- данный критерий сравнительно прост с математической точки зрения и позволяет косвенным образом учитывать другие важные параметры оптимизации.

Вторым критерием оптимизации принят критерий равномерности раскладки трасс на поле кристалла. Он до некоторой степени противоречит критерию минимизации длины связей, однако переуплотнение функциональных ячеек в отдельных местах матрицы БМК может привести к невозможности 100 %-ной трассировки соединений из-за ограниченных трассировочных возможностей кристалла.

При решении задачи размещения за основу взята идея алгоритма субградиентного спуска с постоянным шагом [9]. Суть метода заключается в том, что для выпуклой целевой функции [10] на каждом шаге итерации отыскивается направление наискорейшего спуска. Это определяет высокую скорость сходимости метода. Не менее важной особенностью метода является возможность строить весь процесс поиска экстремума в дискретной сетке матрицы кристалла.

После выполнения размещения ФЭ в ТЯ и назначения контактов матричной БИС решается задача трассировки межсоединений ФЭ. В программах реализованы основные идеи волнового и лучевого алгоритмов. Программы ранее успешно использовались для трассировки Двусторонних печатных плат.

Программы размещения и трассировки написаны на языке ПЛ/1, занимают объем памяти до 500К байт, время работы процессора ЭВМ ЕС1060 соответственно 15 и 20 мин.

Совершенно очевидно, что существует большое число факторов, влияющих на вероятность автоматического проведения 100 %-ной трассировки соединений. К этим факторам можно отнести:

топологическую сбалансированность кристалла с точки зрения возможности реализации реальных автоматических алгоритмов синтеза;

сложность исходной схемы, которая определяется: а) количеством точек схемы, подлежащих соединению (косвенный фактор — процент заполнения топологических ячеек); б) количеством задействованных внешних контактных площадок; в) коммутационной сложностью схемы, зависящей от числа или процента многоточечных цепей;

качество алгоритмов технического проектирования.

Таким образом, при неудачном сочетании приведенных выше характеристик решение задачи синтеза топологии возможно только неавтоматизированными или автоматизированными методами.

Окончательный контроль результатов автоматизированного синтеза топологии БИС осуществляется с помощью программ топологической верификации, позволяющих оценить результаты топологического проектирования как с точки зрения правил электронного конструирования, так и на соответствие исходной схеме.

Особенностью кристаллов на основе логических элементов ЭСЛ-типа является возможность задания режима работы выходного эмиттерного повторителя ФЭ путем подключения различного числа резисторов в цепь его эмиттера, что позволяет проводить коррекцию временных характеристик цепей БИС.

Разработанная и реализованная в системе топологического проектирования БИС методика автоматизированного назначения числа резисторов в выходном эмиттерном повторителе ФЭ в зависимости от емкости нагрузки ФЭ, определяемой конфигурацией цепи на кристалле и числом приемников сигнала, позволила обеспечить требуемые динамические характеристики БИС и минимальную рассеиваемую кристаллом мощность при требуемом быстродействии БИС.

Предложенная методика предусматривает режим автоматического расчета номиналов резисторов и возможность неавтоматизированного ввода и корректировки сопротивлений с последующим синтаксическим и схемотехническим контролем данных.

Таким образом, результатом топологического синтеза является хранимая в базе данных ЕСАП информация о расположении ФЭ на матрице ТЯ и периферийной области кристалла; о назначенных контактных площадках БМК; о топологии соединительных связей схемы; о числе резисторов в эмиттерном повторителе каждого ФЭ.

Далее информация из базы данных ЕСАП преобразуется в рабочий формат диалоговой системы 15УТ-4-017.

В общей методике проектирования предусмотрена операция проверки соответствия окончательных результатов проектирования исходной электрической схеме.

После завершения топологического проектирования проводится сбор статистической информации с целью расчета статистических характеристик топологии МаБИС для дальнейших этапов проектирования и расчета параметров и топологических зависимостей для оценки качества топологического проектирования матричных БИС и схемотехнического проектирования ЭВМ (всего около 50 параметров).

Расчетными характеристиками являются: суммарная длина цепей; число приемников сигнала в цепях; емкость цепей на кристалле; число (процент) нерастрассированных соединений; коэффициент использования трасс в горизонтальных и вертикальных трассировочных каналах; число межслойных переходов; гистограммы распределений цепей различного типа по длине цепи и величине емкости нагрузки; статистические характеристики цепей МаБИС в целом и т. д.

Статистический анализ результатов проектирования позволяет как получить оперативные

данные о конкретном типе матричной БИС, так и обобщить полученный опыт разработки. При

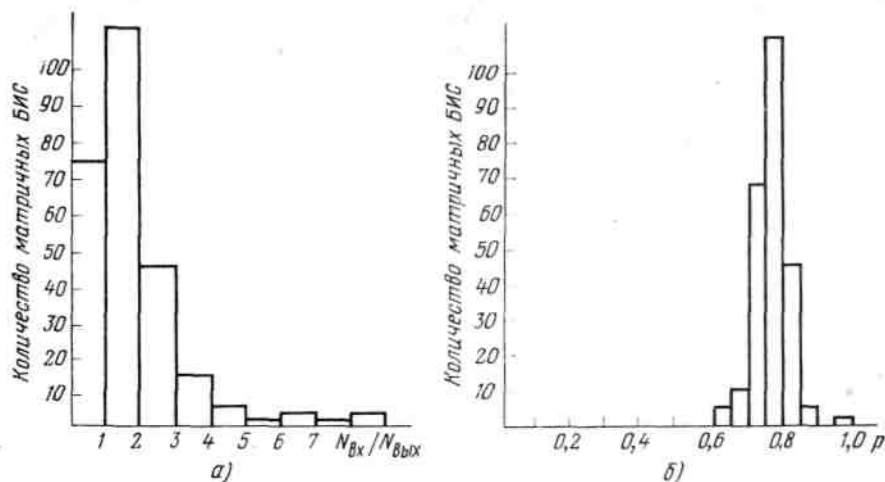


Рис. 5. Распределение количества матричных БИС: а — по отношению $N_{вх}/N_{вых}$; б — по показателю Рента

этом конечной целью обобщения статистических результатов проектирования является не только определение качества проектирования и интегральная оценка основных конструктивных характеристик объекта проектирования, но и создание предпосылок для разработки будущих проектов.

В качестве иллюстрации приведем полученные в ходе проектирования статистические характеристики проекта.

На рис. 5 представлены гистограммы распределения количества матричных БИС по показателю Рента p и по отношению числа логических входов $N_{вх}$ к числу логических выходов $N_{вых}$, характеризующие степень регулярности логики ЭВМ и косвенно — быстродействие.

Как видно из рис. 5, среднее значение показателя Рента, связывающего логический объем узла с числом его внешних выводов, для данной выборки матричных БИС лежит в области значений, соответствующих высокопроизводительным ЭВМ, и примерно равен 0,7.

Одним из основных оценочных критериев качества технического проектирования является длина цепи на кристалле или усредненная длина связи, под которой здесь понимается отношение общей длины цепи к числу приемников сигнала. Исследование длин цепей на кристалле необходимо также для расчета временных параметров матричной БИС на заключительных этапах проектирования.

С увеличением числа приемников сигнала в цепи повышается ее приоритет при выполнении этапов размещения ФЭ в матрице БМК и трассировки. Размещение наиболее связанных ФЭ в близко расположенных областях матрицы кристалла позволяет сократить длину цепи, и, следовательно, уменьшить емкостную нагрузку на источник сигнала. Таким образом, имеет место нелинейный характер зависимости от числа приемников длины цепи сигнала, что приводит к сглаживанию разброса задержек переключения ФЭ на кристалле.

На рис.6 представлена зависимость средней длины цепи от числа приемников сигнала в цепи, полученная по результатам проектирования 50 типов матричных БИС. На том же рисунке представлена зависимость средней длины связи на кристалле от числа приемников сигнала. На рис. 7 приведены

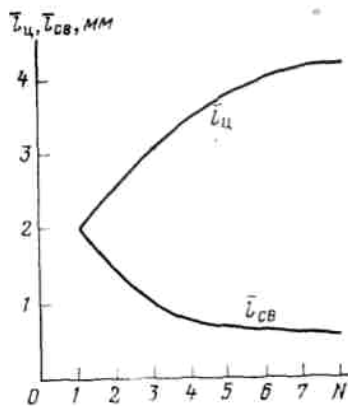


Рис. 6. Зависимость средней длины цепи $l_{ц}$ (средней длины связи $l_{св}$) от числа приемников сигнала N

гистограммы распределения количества цепей матричных БИС по длине цепи и числу нагрузок. На рис. 8 представлена гистограмма распределения количества цепей матричной БИС по емкости.

Кроме приведенных зависимостей и распределений разработчику предоставляется различная информация об общих и статистических характеристиках топологии матричной БИС в виде таблиц (например, табл. 1 и 2).

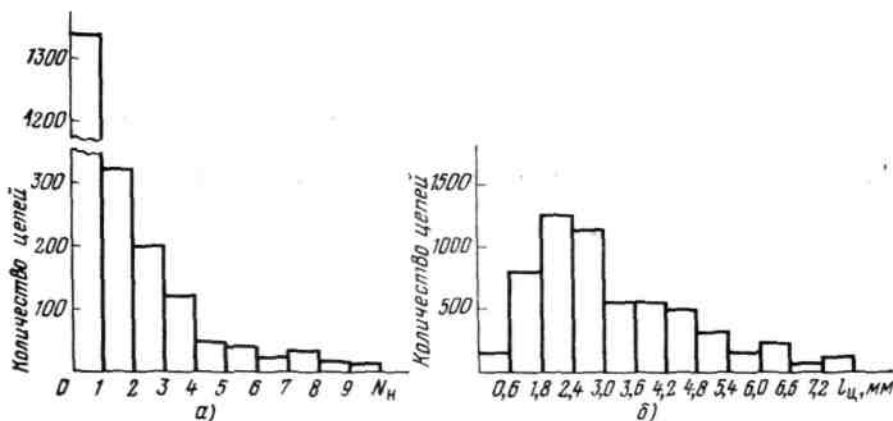


Рис. 7. Распределение количества цепей матричных БИС: а — по числу нагрузок NH ; б — по длине на кристалле l_u

Контрольный этап К6: статическая и динамическая верификация моделей. После проведения топологического проектирования МаБИС и технического проектирования конструктивов других уровней становится полностью доступной информация о задержках сигналов для всех элементов модели M_k . Поскольку верификация эталонной модели проводилась с учетом только априорной

Таблица 1

Общие характеристики топологии матричной БИС М119

Тип матричной БИС	Суммарная длина трасс, мм, по оси		Коэффициент пользования трасс, %, по оси		Число цепей в матричной БИС					число связей в матричной БИС			
	У	Х	У	Х	общее	входных информационных	внутренних информационных	разводки логических контактов	синхро-сигнала	общее	входных информационных	внутренних информационных	синхро-сигналов
М119	208,080	187,356	41,00	38,00	169	44	115	1	9	324	57	236	26

Таблица 2

Среднестатистические характеристики топологии матричной БИС М/19

Тип матричной БИС	Средняя длина связи, мм			Среднеквадратическое отклонение средней длины связи, мм			Средняя длина, мм				Среднеквадратическое отклонение средней длины, мм				Коэффициент оптимизации трассировки и размещения
	Входных информационных цепей	Внутренних информационных цепей	Цепей синхросигнала	Входных информационных цепей	Внутренних информационных цепей	Цепей синхросигнала	Общей цепи	Входных информационных цепей	Внутренних информационных цепей	Цепей синхросигнала	Общей цепи	Входных информационных цепей	Внутренних информационных цепей	Цепей синхросигнала	
М119	1,378	1,238	0,748	0,938	0,637	0,288	2,339	1,785	2,541	2,162	1,473	1,070	1,480	2,211	0,471738

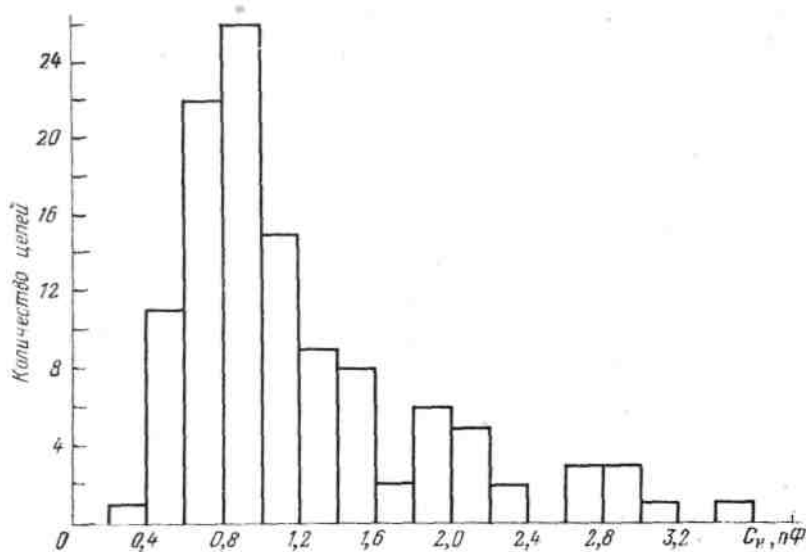


Рис. 8. Распределение количества цепей матричной БИС по емкости нагрузки C_n

информации, должно быть оценено динамическое подобие моделей M_0 и M_k . Нарушение динамического подобия соответствует дефекту $d_i \in D_2$ и должно быть устранено.

Проектирование тестов матричных БИС. Автоматизированное проектирование

статических, функциональных и динамических тестов производится регулярными и случайными методами с доводкой функциональных тестов в классе одиночных контактных неисправностей на языке компактного кодирования [11]. Тесты для динамического контроля БИС генерируются для проверки времени распространения сигналов между триггерами. Время генерации теста составляет от 0,5 до 50 мин на ЕС1060. В результате выпускается магнитная лента для установки контроля БИС и таблица тестов.

Результаты проектирования. Результатом разработки матричной БТС является ряд документов, получаемых автоматически. К основным документам относятся: магнитная лента с описанием топологии матричной БИС; магнитная лента с тестами для контроля матричной БИС; схема электрическая матричной БИС; таблица тестовых наборов.

Первые два документа обеспечивают последующее изготовление БИС и ее контроль на определенных этапах по окончании изготовления и выпускаются в форматах соответствующего технологического и контрольно-измерительного оборудования. Вторые два документа ориентированы на разработчика матричной БИС и служат для сопровождения процесса изготовления и в случае необходимости анализа результатов контроля БИС. При этом схема электрическая содержит информацию о расположении ФЭ в матрице БМК и номинале резисторов в эмиттерном повторителе каждого ФЭ.

Выводы

1. Единая система автоматизированного проектирования матричных БИС работает на стандартных технических средствах ЕС ЭВМ и при использовании одной ЭВМ класса ЕС1060 обеспечивает одновременное проектирование нескольких сотен БИС со степенью интеграции порядка 1500 вентилях с циклом проектирования БИС в группе около 40 дней. При изолированном проектировании одной БИС цикл может быть значительно сокращен.

2. Результаты испытаний изготовленных матричных БИС в ЭВМ подтверждают прогнозируемый уровень бездефектности, обеспечиваемый совокупностью проектных и контрольных операций.

3. Достижение необходимого уровня бездефектности оказывается возможным только при совместном сквозном проектировании всей группы БИС устройства как единого целого. Использование отработанного функционального прототипа позволяет свести задачу обеспечения бездефектности к борьбе с дефектами второго рода.

СПИСОК ЛИТЕРАТУРЫ

1. **Pitter M. S., Poweros D. M., Schhabel D. L.** System Development and Technology Aspects of the IBM 3081 Processor Complex//IBM J. Res. Develop.— 1982.— V. 26, N 1.— P. 12—21.
2. **Рябов Г. Г., Лакшин Г. Л.** Поэлементное моделирование вычислительных систем/ИТМ и ВТ АН СССР.— М., 1978. — 90 с.
3. **Manachina M.** Design Verification System for Large-Scale LSI Design// IBM J. Res. Develop. — 1982, — V. 26, N 1.— P. 89—99.
4. **Глушков В. М., Капитанова Ю. В., Летичевский А. А.** Автоматизация проектирования вычислительных машин.— Киев: Наукова думка, 1975.
5. **Базилевич Р. П.** Декомпозиционные и топологические методы автоматизированного проектирования электронных устройств. — Львов: Высшая школа, 1981. — 168 с.
6. **Варшавский В. И.** и др. Аperiodические автоматы.— М.: Наука, 1976.—422 с.
7. **Святский А. Б., Голуб В. Б., Шмид А. В.** Анализ адекватности моделей в задаче моделирования неисправностей схем высокого уровня интеграции // Агрегатирование вычислительных комплексов и систем.— Киев: Наукова думка, 1978.—С. 134—137.
8. **Пупков К. А., Шмид А. В.** Решение систем логических уравнений на непрерывной модели цифрового автомата// Вопросы радиоэлектроники. Сер. ЭВТ.—1978,— Вып. 1.—С. 53—63.
9. **Селютин В. И.** Машинное конструирование радиоэлектронных устройств.—М.: Сов. радио, 1979. — 383 с.
10. **Демьянов В. Ф., Васильев Л. В.** Недифференцируемая оптимизация.— М.: Наука, 1981. — 384 с.
11. **Каданцева В. Е., Кушнеров Ф. Р., Шаповаленко С. В., Шмид А. В.** Проектирование тестов ТЭЗ ЕС ЭВМ на языке компактного кодирования //Вопросы радиоэлектроники. Сер. ЭВТ.— 1982.— Вып. 16.— С. 110—114.

КОМПЛЕКСНАЯ СИСТЕМА ПРОЕКТИРОВАНИЯ МАТРИЧНЫХ БИС (КОМПАС-82)

Создание высокопроизводительных вычислительных комплексов (ВВК) теснейшим образом связано с проектированием матричных БИС. Комплексная система проектирования матричных БИС (КОМПАС-82) предназначена для реализации сквозного цикла проектирования большой номенклатуры БИС на основе различных базовых матричных кристаллов (БМК), начиная от задания функционально-логической схемы до выдачи комплекта конструкторской документации и управляющих программ с широким использованием диалоговых режимов работы.

Система КОМПАС-82 включает:

- систему логического проектирования широкого назначения ПУЛЬС [1];
- систему конструкторско-технического проектирования для различных БМК;
- подсистему анализа временных соотношений в схемах;
- подсистему генерации тестов;
- подсистему выдачи документации.

В системе КОМПАС-82 предусмотрено проведение двух основных этапов проектирования: функционально-логического и конструкторско-технического.

На этапе логического проектирования выполняется описание логической схемы БИС, задание проверочных тестов, моделирование логической схемы БИС на проверочных тестах, внесение изменений в логическую схему БИС по результатам анализа прохождения тестов.

На этапе конструкторско-технического проектирования проводятся следующие работы:

- контроль конструкторско-технических ограничений;
- компоновка базовых ячеек из логических элементов;
- размещение базовых ячеек;
- трассировка межсоединений;
- корректировка компоновки, размещения, трассировки; допроектирование трасс;
- контроль соответствия логической схемы и топологии БИС;
- генерация тестов для проверки готовых БИС, подготовка программы измерительной станции;
- выдача комплекта машинной документации и управляющих магнитных лент на спроектированные БИС.

Система КОМПАС-82 предусматривает участие в разработке трех типов специалистов:

- разработчика логической схемы БИС на этапе логического проектирования (он же может привлекаться к генерации тестов);
- конструктора, ответственного за прохождение этапа конструкторско-технического проектирования и выпуска документации;
- администратора, обеспечивающего работоспособность всей системы.

Организационно система КОМПАС-82 создана на базе системы ПУЛЬС с использованием следующих ее средств:

- организации и ведения архивов;
- организации системной информации;
- обеспечения пакетно-интерактивного режима работы;
- общесистемного программного обеспечения.

Инструментальными средствами системы КОМПАС-82 являются: ЭВМ БЭСМ-6 или «Эльбрус» стандартной комплектации с сетью буквенно-цифровых дисплеев, операционная система «Диспак» и мониторная система «Монитор-80». Система КОМПАС-82 занимает 1000 (8) зон магнитного диска. Поскольку система КОМПАС-82 построена методом расширения системы ПУЛЬС, то генерация системы ПУЛЬС обеспечивает работу всего комплекса.

Система КОМПАС-82 сопровождается комплектом следующих инструкций: общей инструкцией по системе КОМПАС-82; комплектом инструкций по системе ПУЛЬС;

инструкцией по системе конструкторско-технического проектирования; инструкцией по языку описания БМК;
инструкцией по системе анализа временных соотношений в схемах; инструкцией по системе генерации тестов; инструкцией по системе документации.

Структурно система КОМПАС-82 состоит из библиотеки программ (около 500 тыс. команд) и системного архива.

Системный архив содержит: 1) информацию, обеспечивающую работу системы:

каталог пользователей системы и

каталог архивов,

2) информацию о базовых элементах для проектирования матричных БИС:

каталог шаблонов базовых элементов (задает форму обращения к базовым элементам);

каталог функций срабатывания базовых элементов (определяет их функционирование);

каталог базовых макроопределений (при проектировании БИС на уровне электронных компонентов);

каталог задержек базовых элементов (используется в подсистеме анализа временных соотношений);

описание конструкций БМК (для системы конструкторско-технического проектирования);

каталог условных графических изображений базовых элементов (для системы выпуска документации);

каталог базовых документов (определяет структуру и вид выпускаемых системой документов).

Следует отметить универсальность большинства подсистем системы КОМПАС-82. Например, подсистемы анализа временных соотношений, генерации тестов и документации практически не зависят от выбора БМК. Такая универсальность подсистем и постоянство общесистемного программного обеспечения позволили резко сократить время настройки системы КОМПАС-82 на новый тип БМК. В настоящий момент время настройки с сохранением методики проектирования и доведением системы до уровня промышленной эксплуатации (темп проектирования— 10...20 БИС в месяц) занимает 1 год (в основном, этот срок зависит от времени настройки системы конструкторско-технического проектирования).

Системы автоматизированного проектирования (САПР) БИС имеют много общего с традиционными САПР радиоэлектронной аппаратуры, но необходимо указать также ряд существенных отличий, возникающих при проектировании БИС. К ним относятся: необходимость 100 % -ной трассировки межсоединений; невозможность внесения изменений в изготовленные БИС; значительная размерность задач, решаемых при проектировании (большое количество элементов на конструктиве одного уровня иерархии).

Кроме того, можно отметить тесную связь между всеми этапами проектирования БИС и их взаимное влияние.

Система проектирования БИС, как правило, имеет значительно более простую организацию архива, так как проект имеет более простую иерархическую структуру, чем, например, проект вычислительного комплекса; эксплуатируется меньшим коллективом разработчиков; отсутствует длительное сопровождение проекта (нет внесения изменений и доработок).

Эти особенности проектирования БИС нашли отражение в системе КОМПАС-82.

Логическое проектирование

Ввод описания и проверка функционирования логики БИС осуществляются в системе логического проектирования ПУЛЬС [1].

Особое внимание следует обратить на необходимость безошибочного проектирования логики, что связано с невозможностью внесения изменений в спроектированную БИС.

Требование бездефектности логики БИС породило два подхода к организации проектирования. В первом случае имеются аналоги проектируемых БИС. Тогда на входном языке системы ПУЛЬС описывается логика БИС. Затем на БИС и схему-аналог подаются одинаковые входные воздействия и на выходе сравнивается их функционирование. Таким методом были спроектированы 50 типов матричных БИС (сложностью 200...250 эквивалентных

вентилей) для высокопроизводительного комплекса «Эльбрус». Опыт проектирования показал, что цикл логической верификации при таком методе занимает в среднем 1... 2 дня.

Во втором случае разрабатываются БИС, не имеющие аналогов, и из них проектируется логическая схема устройства. При таком подходе исчерпывающая проверка логики БИС возможна только при проверке функционирования на модели всего устройства. Опыт проектирования новой вычислительной аппаратуры на базе БИС показал, что процесс верификации может занимать для БИС такой же интеграции несколько месяцев труда разработчика логики вычислительного устройства (при сравнении с аналогом работа, как правило, выполнялась техником).

Следует отметить, что для более эффективного использования методики сравнения с аналогом необходимо наличие машинного логического архива изменяемого проекта. Этот архив содержит описание логики устройств всех уровней иерархии и тесты, на которых проверялась логика их функционирования. Наличие такой информации облегчает применение метода сравнения с аналогом и позволяет разработать БИС с высокой степенью достоверности.

В результате логического проектирования БИС выявлена необходимость введения в систему ПУЛЬС нового типа базового элемента — базового макроэлемента. Появление такого элемента связано с различием в уровне проектирования на различных этапах прохождения проекта.

Конструкторское проектирование БИС на некоторых БМК выполняется на уровне электронных компонент (это позволяет более эффективно использовать оборудование), проектирование же логики разумно вести на основе некоторого класса заранее выбранных библиотечных элементов. Базовые макроэлементы и служат этой цели. Они, в отличие от базовых элементов, кроме шаблона обращения и функции срабатывания, имеют внутреннюю логическую структуру. При описании и верификации логики базовые макроэлементы выступают как базовые элементы. При получении информации на этапе конструкторско-технического проектирования их внутренняя логическая структура раскрывается (с оптимизацией задействованного оборудования) и образуются электрические цепи, соединяющие отдельные электронные компоненты.

Анализ временных характеристик

Необходимость анализа временных соотношений в БИС диктуется спецификой разработок, на которые ориентирована система КОМПАС-82. Проектирование современных предельных вычислительных систем требует использования всех резервов производительности, поэтому анализ задержек в схеме БИС является неотъемлемой частью процесса проектирования.

Задачи, решаемые подсистемой анализа временных соотношений, можно разделить на две группы: контроля и анализа схемы. Решение задачи контроля позволяет установить, удовлетворяют ли критические задержки схемы требованиям, предъявляемым разработчиком. Анализ схемы с помощью интерактивных средств, предоставляемых подсистемой, позволяет выявить цепи, оказывающие критическое влияние на задержки всей схемы.

Подсистема анализа временных соотношений имеет достаточно высокую степень универсальности. Она позволяет не только работать со схемами, построенными на основе различных БМК, но и исследовать задержки в схемах устройств, построенных из этих БИС. В качестве исходной информации система использует задержки базовых элементов, содержащиеся в системном архиве, а также алгоритм вычисления задержек распространения сигналов в цепях.

Опыт эксплуатации системы КОМПАС-82 позволяет выделить два подхода к учету задержек проектируемых БИС.

В первом случае при наличии аналога разрабатываемой БИС достаточно осуществлять контроль паспортных задержек. При другом подходе, когда осуществляется разработка оригинальных БИС и устройств на их основе (особенно в случае конвейерных схем), требуется подробный анализ задержек в рамках всего устройства. В этом случае вывод о пригодности БИС делается после завершения проектирования логического устройства и анализа временных характеристик цепей, входящих в него.

Конструкторско-техническое проектирование

Подсистема конструкторско-технического проектирования системы КОМПАС-82 обеспечивает выполнение следующих работ:

- описание конструкции (металлизации) БИС;
- размещение элементов;
- трассировку межсоединений;
- контроль и выдачу управляющей информации.

Упрощенно матричную БИС можно представлять следующим образом. Элементы электрической схемы устанавливаются в ячейки БМК, причем имеется два типа ячеек: внутренние и периферийные. Внутренние ячейки предназначены для размещения элементов, реализующих логические функции схемы, а периферийные — для размещения элементов входа-выхода. Внутренние ячейки расположены рядами, а между рядами внутренних ячеек имеются каналы (свободные области), предназначенные для проведения трасс связей, реализующих электрическую схему. По краям БМК располагаются периферийные ячейки. Между ними и матрицей внутренних ячеек также имеются каналы для трассировки связей. В областях монтажного пространства, расположенных внутри ячеек, возможно проведение трасс в одном слое, поскольку в другом располагаются связи, реализующие логические элементы.

Описание конструкции БИС

Для выполнения конструкторского проектирования БИС необходимо введение в архив системы КОМПАС-82 описания конструкции БМК. Язык описания конструкции не только ускоряет настройку системы на конкретную конструкцию БМК, но и позволяет проводить эксперименты по определению оптимальных параметров БМК для выполнения автоматизированного проектирования. Предлагаемый язык имеет иерархическую структуру. Все его операторы можно разбить на четыре группы:

- 1) операторы, описывающие координатную сетку поля трассировки, размеры проводников, площадок перехода и т. д.;
- 2) операторы описания правил размещения;
- 3) операторы, описывающие технологические ограничения на монтажном пространстве;
- 4) операторы, определяющие координаты контактов.

Предложенный язык позволяет описать широкий класс конструктивно различных БМК. Объем описания реальных БМК достигает 1500 строк.

Размещение элементов

Размещение физических элементов в БМК отличается от размещения элементов на печатных платах прежде всего тем, что количество таких разногабаритных элементов может достигать нескольких тысяч и более.

Опыт работы с различными БМК позволяет утверждать, что в отдельных случаях необходима возможность «ручного» задания размещения. Для этого служит программа диалогового размещения, позволяющая разработчику задавать размещение элементов с буквенно-цифрового дисплея. Диалоговая программа размещения осуществляет полный контроль вводимой информации.

Как уже отмечалось, при проектировании логики имеются два принципиально различных типа БМК: 1) БИС проектируется из заранее созданных логических элементов (их внутренняя металлизация постоянна); 2) БИС создается из электронных компонентов.

Методы размещения этих двух типов БМК существенно различаются. Вначале рассмотрим размещение элементов БИС, проектируемых из заранее созданных логических элементов. В этом случае в каждой внутренней ячейке БМК могут располагаться несколько логических элементов. Для размещения элементов БИС такого типа в системе КОМПАС-82 используются следующие традиционные алгоритмы [2,31]: размещение логических элементов в ячейках по связности (используется в качестве начального алгоритма размещения);

- итеративное размещение скомпонованных ячеек по алгоритму Штейнберга;

итеративное размещение скомпонованных ячеек по алгоритму перестановок в сканирующем окне;

итеративное размещение элементов (переставляются логические элементы, а не скомпонованные из них ячейки) по алгоритму Штейнберга;

итеративное размещение элементов по алгоритму перестановок в направлении силы;

итеративное размещение разногабаритных элементов по алгоритму перестановок в сканирующем окне.

Данные о качестве размещения выдаются системой КОМПАС-82 в виде коэффициента заполнения каналов. Предусмотрена стандартная последовательность применения перечисленных выше алгоритмов, выполняемая автоматически и дающая в среднем хорошие результаты. В отдельных случаях в зависимости от характеристик схемы удается получить приемлемые результаты, комбинируя перечисленные выше алгоритмы с ручным начальным размещением.

Для размещения периферийных элементов используется алгоритм решения транспортной задачи [4].

При проектировании БИС из электронных компонентов число размещаемых элементов значительно возрастает, что, с одной стороны, затрудняет простое применение уже имеющихся алгоритмов размещения. С другой стороны, размещаемые элементы в этом случае можно разделить на опорные элементы, выполняющие логические функции, и вспомогательные элементы (транзисторы, переключатели тока и т. д.).

Такое разделение позволяет применить к опорным элементам методику размещения, аналогичную изложенной для БМК первого типа, и назначить вспомогательные элементы с помощью алгоритма решения транспортной задачи.

Трассировка межсоединений

Для трассировки межсоединений БИС на различных БМК используется волновой алгоритм с предварительным разбиением связей на фрагменты с использованием дерева Прима.

Основное отличие задачи трассировки БИС от задачи трассировки печатных плат заключается в том, что в БИС необходимо выполнить трассировку всех связей. Доработка результатов автоматической трассировки осуществляется с помощью программы диалоговой трассировки.

При таком двухэтапном подходе к трассировке необходимо учитывать следующее важное требование — автоматическая трассировка должна проводить максимальное число трасс, оставляя ресурсы для «ручного» допроведения. Выполнение этого требования достигается за счет ограничения конфигурации трасс при выполнении автоматической трассировки.

Опыт эксплуатации системы КОМПАС-82 показал возможность доработки схем с 10...30 неразведенными фрагментами после выполнения автоматической трассировки. При большом количестве непроведенных фрагментов делается попытка возврата на этап размещения.

Программа диалоговой трассировки позволяет: исправлять конфигурацию трасс связей; снимать с монтажного пространства трассы связей; проводить трассы связей как в автоматическом, так и в полуавтоматическом режиме; осуществлять вывод фрагментов чертежа межсоединений на экран терминала; узнавать координаты контактов связей; контролировать завершенность трассы связи (отсутствие разрывов в ней и т. д.).

Программа диалоговой трассировки осуществляет полный топологический контроль проводимых работ.

Контроль и выдача управляющей информации

В результате ручных изменений трассы связей могут стать разрывными, поэтому блок контроля включает программу проверки связности трасс по массиву отрезков. Кроме того, блок контроля позволяет проверять схемы на отделимость (т.е. отсутствие замыканий связей между собой и шинами питания и земли).

Заключительным этапом конструкторского проектирования является этап создания

управляющего файла для фотонаборных машин. Информация, содержащаяся в этом файле, полностью определяет привязку электрической схемы БИС к БМК.

Максимальное время выполнения всего цикла конструкторско-технического проектирования колеблется в зависимости от БМК от 10...12 дней до 1...1,5 месяца.

Генерация тестов

Подсистема предназначена для решения ряда задач, связанных с построением, анализом и преобразованием тестов.

Построение тестов основывается на использовании логической модели проектируемого объекта. Тесты строятся в статическом режиме моделирования на основе сопоставления результатов моделирования одних и тех же последовательностей входных воздействий для простой статической модели и модели, в которую последовательно вносятся одиночные константные неисправности.

Предложенная методика позволила реализовать как автоматический алгоритм построения тестов с использованием генератора входных воздействий, так и интерактивный алгоритм построения путем последовательного моделирования и анализа состояния схем. Класс моделируемых неисправностей ограничивается одиночными константными неисправностями логического типа. Реализованные в подсистеме средства анализа позволяют оценивать каждый тестовый набор и всю тестовую последовательность в целом. Основные цели анализа заключаются в оценке корректности теста и определении его количественных характеристик. В подсистеме реализован ряд средств ручного ввода, редактирования и получения из других систем тестов для проектируемого объекта. При этом возможности оценки «чужих» тестов несколько ограничены.

Набор средств преобразования тестов включает в себя простейшие средства перекомпоновки и слияния тестовых последовательностей, средства преобразования тестов к виду, приемлемому в других подсистемах (передача тестов в систему логического проектирования и в систему выдачи документации), и средства вывода на внешние носители для дальнейшего использования тестов или программ испытаний, сформированных на основе трансляции тестов в контролирующем оборудовании.

Использование в подсистеме основных и сервисных программных средств для других подсистем обеспечивает адекватное внешнее представление информации об объекте на всем этапе проектирования.

Обеспечение через архив пользователя связи между подсистемами позволяет решать задачу проектирования и в одном сеансе работы, последовательно вызывая подсистемы, и в нескольких сеансах. Основная цель — подготовка испытательной информации для оборудования, контролирующего готовую продукцию, может быть достигнута несколькими путями. Распараллеливание и возможность получения одной и той же информации различными путями в зависимости от состояния проекта, возможность построения тестов параллельно с выполнением конструкторского проектирования обеспечивают пользователя подсистемы достаточно гибким набором средств, легко адаптируемым как к изменению методики проектирования, так и к особенностям проекта.

Подготовка и выпуск документации

Система автоматизированного проектирования КОМПАС-82 ориентирована на широкий класс конструктивно-технологических решений, поэтому была сделана попытка разработать подсистему подготовки и выпуска документации, настраиваемую на различные конструкции.

Существующая система ЕСКД с соответствующими ГОСТ и ОСТ достаточно четко регламентирует форму, состав и содержание документации. Однако создание новых конструкций, совершенствование структуры документации требует постоянной работы по изменению ее состава и формы, т. е. существует процесс проектирования документов.

Анализ многочисленных документов, сопровождающих электронные схемы, позволил разработать язык описания документов и определить методы работы с ним. Описание документов на этом языке транслируется во внутреннее представление и хранится в каталоге

базовых документов системного архива. Получение документов осуществляется интерпретацией внутреннего представления.

Такой подход ускоряет процесс создания документов, так как позволил перенести значительную часть работы с программиста на конструктора документации.

С помощью подсистемы подготовки документов был разработан комплект конструкторской документации, в который входят следующие документы:

1. Схема электрическая принципиальная, состоящая из:
схемы электрической принципиальной, на которой в условных графических изображениях показана схема БИС;
условного графического изображения спроектированного объекта; таблицы расположения логических элементов на кристалле; исходного формульного описания объекта.
2. Схема электрическая, расположенная на кристалле, содержащая условное изображение кристалла с обозначением занятых логическими элементами позиций.
3. Таблица соединений, содержащая два раздела:
собственно таблица соединений — координаты отрезков всех цепей;
список имен цепей с указанием адресов их источников и приемников на кристалле.
4. Технические условия, в которые входят таблицы тестовых наборов для статического, динамического и функционального контроля и таблицы соответствия номеров выводов кристалла, корпуса и зонда контролирующего устройства, а также ряда электронных параметров.
5. Спецификация.
6. Паспорт, содержащий электронные характеристики схемы, задержки, входные токи, емкости, а также излучаемую мощность матричных БИС.

Опыт эксплуатации

За время эксплуатации системы КОМПАС-82 была проверена ее настройка на три типа БМК, отличающиеся интеграцией и уровнем представления базовых элементов.

С помощью системы КОМПАС-82 были спроектированы 50 типов матричных БИС (интеграцией в несколько сотен эквивалентных вентилях). В этих БИС было задействовано до 97% оборудования (в среднем 80 %).

На этапе функционально-логического проектирования этих БИС использовался метод сравнения с аналогом, при этом время проектирования одной БИС составляло 1...2 дня. Выполнение конструкторско-технического проектирования в зависимости от сложности схемы БИС требовало 1...2 недель.

Проектирование 10 типов оригинальных БИС (без наличия аналогов) на том же БМК потребовало на проверку логики их функционирования (с учетом времени наладки устройств, содержащих эти БИС) около 5 месяцев.

При проектировании матричных БИС на БМК, обеспечивающих интеграцию до 1000 эквивалентных вентилях, время выполнения конструкторско-технического проектирования возрастает и составляет 1...1,5 месяца.

Для всех типов БИС, спроектированных с помощью системы КОМПАС-82, проводилась автоматическая свертка топологии в описание схемы на входном языке и проверка ее функционирования на заданных тестах.

Опыт эксплуатации показал, что система КОМПАС-82 является эффективным инструментом проектирования матричных БИС. Использование базовых возможностей системы логического проектирования ПУЛЬС позволило сократить время настройки САПР КОМПАС-82 на новые типы БМК.

СПИСОК ЛИТЕРАТУРЫ

1. **Рябов Г. Г., Лакшин Г. Л., Конопкин В. Н., Капишевская А. П.** Принципы построения системы «Пульс»// Электронная техника. Сер. 10.— 1982.— Вып. 5. — С. 37—39.
2. **Брейер М.** Теория и методы автоматизации проектирования вычислительных систем. — М: Мир, 1977. — 283 с.
3. **Селютин В. А.** Машинное конструирование электронных устройств. -М.: Сов. радио, 1977.— 380 с.
4. **Форд Л. Р., Фалкерсон Д. Р.** Потоки в сетях: Пер. с англ. — М.: Мир, 1966. — 276 с.

МНОГОСЛОЙНЫЕ МОНТАЖНЫЕ ПЛАТЫ СВЯЗЕЙ ЭВМ

Развитие высокопроизводительных ЭВМ, сопровождающееся повышением функциональной сложности устройств, привело к необходимости увеличения плотности связей в многослойных печатных платах (МПП). В соответствии с этим МПП в ЭВМ можно рассматривать как платы связей, функциональное назначение которых: объединение интегральных схем (элементов) связями в определенную электрическую схему, передача сигналов по связям, распределение тока питания между электронными элементами, экранирование связей от внешних и внутренних помех, подавление помех в цепях заземления и питания, монтаж элементов конструкции, охлаждение интегральных схем.

Возможность реализации таких функций определяется целой системой характеристик МПП, как-то:

монтажные — количество монтируемых на плате микросхем, разъемных соединителей и пассивных компонентов (конденсаторов, резисторов), которое в конечном итоге определяет суммарное количество коммутируемых выводов;

трассировочные — количество трасс для размещения сигнальных проводников в слое, количество слоев сигнальных проводников (сигнальных слоев), количество и плотность внутренних и сквозных межслойных переходов, топология посадочного места для монтажа микросхем (монтажного поля);

электрические — номинальное значение волнового сопротивления линий связи, диапазон разброса значений волнового сопротивления, коэффициент связи соседних линий, скорость распространения сигналов в связях, полоса пропускания линий связи, омическое сопротивление связей, погонные емкости и индуктивность связей, значение постоянного тока, распределяемого между электронными элементами; емкость между слоями земли и питания (потенциальными слоями); равномерность распределения напряжения питания по полю платы;

конструкционные — размер платы, количество слоев (сигнальных, потенциальных, монтажных), размеры проводников и зазоров на сигнальных, потенциальных и монтажных слоях, размеры и форма межслойных внутренних и сквозных переходов, топология проводников и переходов, материал проводников, материал изоляции, толщина изоляции между слоями, толщина изоляции между проводниками слоев и межслойными переходами, размеры монтажного поля для присоединения микросхем;

конструктивно-технологические — метод изготовления многослойной платы, метод изготовления слоев, в том числе проводящего рисунка и изоляции между проводниками, метод совмещения элементов соединений в многослойной структуре, метод изготовления межслойных переходов;

структурные — функциональное назначение и взаимное расположение слоев, организация электрических соединений между слоями;

надежностные — надежность соединений и изоляции, надежность передачи формы сигналов;

экономические — трудоемкость изготовления, общая стоимость.

Главные требования, предъявляемые к МПП высокопроизводительных ЭВМ: высокая плотность компоновки элементов, соединений и связей, высокая скорость распространения сигналов по связям, надежность связей. Области конкретных значений характеристик плат определяются требованиями к устройствам ЭВМ и формулируются на этапах проектирования с учетом условий трассировки связей.

Структура соединений МПП

Для реализации заданных характеристик печатных плат быстродействующих устройств ЭВМ необходима разработка специфических структур плат, методов их конструктивно-

электрического расчета, методов получения прецизионных узких проводников, изоляционных элементов, точного совмещения элементов соединений, формирования межслойных переходов, а также методов обеспечения качества и надежности связей.

При проектировании МПП важен комплексный учет конструктивных, технологических и электротехнических требований. Структуру МПП рекомендуется выбирать из условий требуемой плотности сигнальных проводников и прецизионности волнового сопротивления линий связи. В целях получения в МПП линий с заданным волновым сопротивлением необходимо между сигнальными слоями разместить экранные слои [1]. Типичные варианты структур МПП для устройств высокопроизводительных ЭВМ приведены на рис. 1—3.

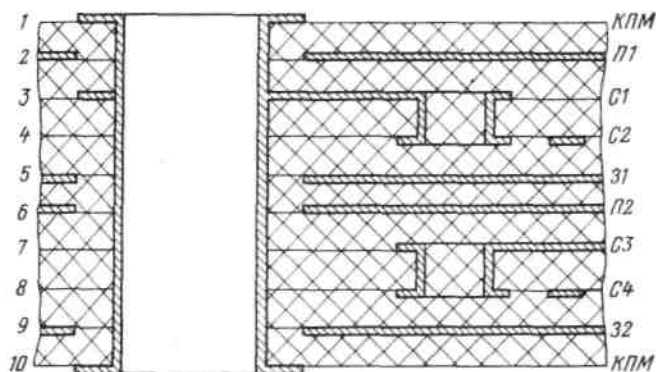


Рис. 1. Структура 10-слойной полосковой печатной платы с двумя парами сигнальных слоев с внутренними переходами:

С1 ... С4 — слои сигнальных проводников; П1, П2, З1, З2 — экранные слои: КЛМ-слои контактных площадок для монтажа выводов микросхем

Введение в МПП двусторонних слоев с сигнальными проводниками и металлизированными переходами наряду со значительным увеличением плотности связей позволяет: уменьшить толщину платы за счет соответствующего сокращения количества экранных слоев; снизить количество сигнальных слоев в 1,7...2 раза; улучшить однородность линий связи; уменьшить количество сквозных переходов. Следует учитывать, что в МПП с заданным волновым сопротивлением линий толщина платы зависит не только от количества сигнальных слоев, но и от минимально воспроизводимой ширины проводников и диэлектрической проницаемости материала межслойной изоляции (рис. 4).

Функциональное назначение проводников в слоях определяет требования, которым должны соответствовать размеры и форма этих проводников. Потенциальные слои, необходимые для распределения энергии между электронными компонентами и для создания электрических экранов полосковых линий связи, представляют собой проводящую поверхность в виде регулярной сетки или решетки проводников. Основные требования к проводникам экранных слоев — обеспечение малого сопротивления и индуктивности в сочетании с необходимостью обеспечить надежную изоляцию потенциальных цепей от сквозных металлизированных переходов. В экранных (потенциальных) слоях ширина проводников, образующих решетку или сетку, как правило, больше, чем в сигнальных слоях.

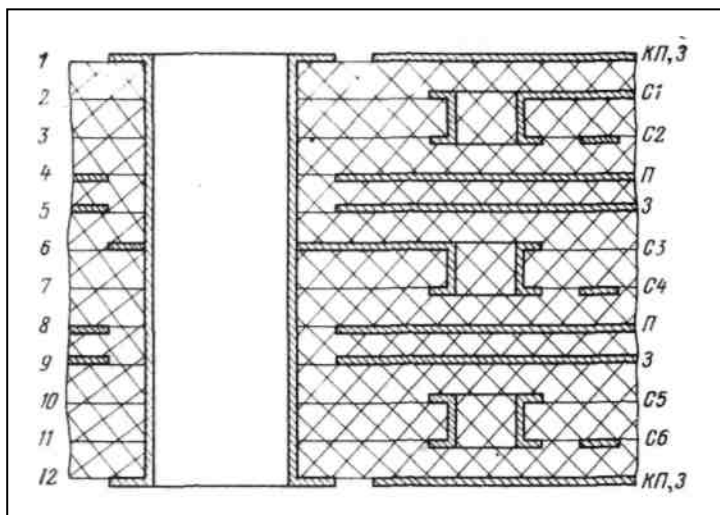


Рис. 2. Структура 12-слойной полосковой печатной платы с тремя парами сигнальных слоев с внутренними переходами:

С1 ... С6 — слои сигнальных проводников; П, З — экранные слои; КЛ, З — слои контактных площадок и наружных экранов

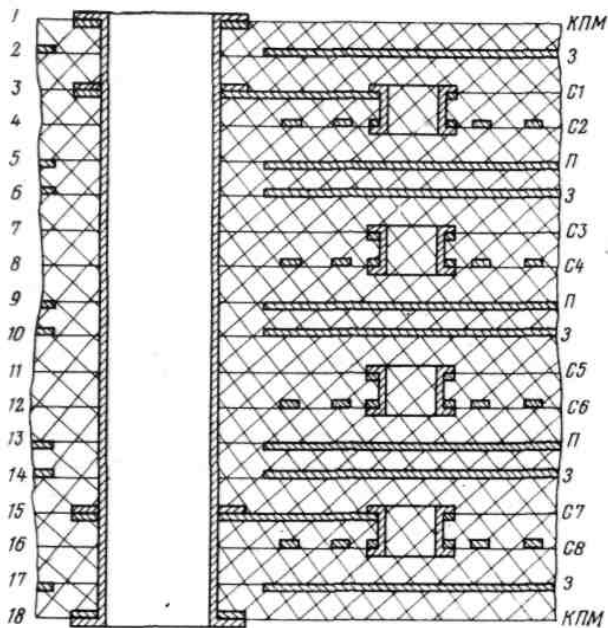


Рис. 3. Структура 18-слойной полосковой печатной платы с четырьмя парами сигнальных слоев с внутренними переходами: С1 ... С8 слои сигнальных проводников; П, 3 — экранные слои; КПМ — слои контактных площадок для монтажа выводов микросхем

Сигнальные слои характеризуются плотностью размещения проводников и контактных площадок для межслойных переходов, шириной проводников и зазоров между проводниками и контактными площадками. Геометрия проводников в сигнальных слоях должна удовлетворять противоречивым требованиям. С одной стороны, для увеличения количества трасс в каналах между сквозными переходами и уменьшения толщины платы при заданных волновом сопротивлении линий связи и количестве сигнальных слоев ширина проводников должна быть как можно меньшей. С другой стороны, для поддержания электросопротивления линий связи на заданном минимальном уровне и обеспечения необходимой площади контактирования в сквозных межслойных переходах толщина проводников должна быть как можно большей.

Некоторые вопросы обеспечения надежности МПП

При изготовлении высокоплотных МПП большое значение имеют размерная стабильность слоев и совмещение отверстий с контактными площадками (КП) на сигнальных слоях и с центрами перфораций на слоях земли и питания. В сквозном отверстии могут осуществляться соединения от 1 до 8 внутренних КП с наружными КП сигнальных выводов и от 1 до 4 соединений слоев земли или питания. Совмещение слоев и точность сверления отверстий должны гарантировать отсутствие коротких замыканий и слабой изоляции между стенками сквозных отверстий и шинами земли—питания.

Для обеспечения высокой точности совмещения слоев в высокоплотных МПП используется метод базирования, основанный на формировании фиксирующих отверстий в слоях по базовым штырям пресс-форм в процессе формирования изоляции слоев, и принцип самосовмещения одинаковых фиксирующих отверстий в фотошаблонах и металлических носителях проводников с автоматической трансформацией их в фиксирующие отверстия слоев [2].

Межслойные переходы, занимая некоторую площадь коммутационной платы, которая определяется геометрией проводника перехода, зависящей от конструкции, технологии и требований к надежности МПП, существенно уменьшают плотность связей. Ширина межслойного перехода должна быть соизмерима с шириной проводника, при этом межслойные переходы должны быть локальными по объему МПП, т. е. их наличие в данном слое не должно влиять на осуществление перехода в других сигнальных слоях платы по этому же месту. По мере увеличения плотности межслойных переходов в МПП через сквозные отверстия все труднее становится

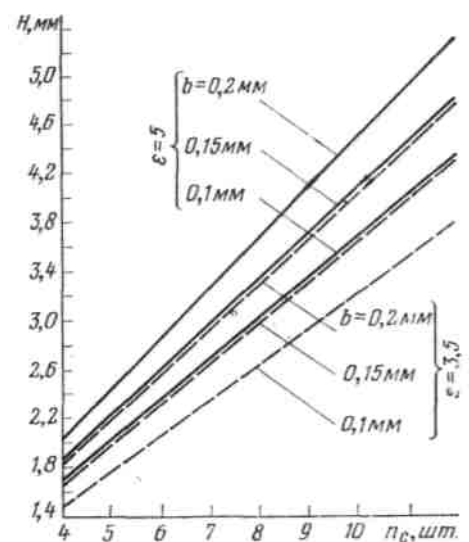


Рис. 4. Зависимость толщины полосковой МПП H от числа сигнальных слоев n_c , ширины сигнальных проводников b и диэлектрической проницаемости изоляции ϵ :

при ширине проводников экранов $b_c=0,2$ мм, толщине изоляции между сигнальными проводниками $h_a=0,2$ мм и толщине проводников $t=0,05$ мм с обеспечением волнового сопротивления линии $Z_0=60$ Ом

обеспечить качество соединений между металлизированными отверстиями и внутренними проводниками, а также устойчивость соединений и переходов при пайке, ремонте и во время эксплуатации плат.

Положительные результаты в решении этих проблем достигаются путем высококачественной обработки контактирующих поверхностей внутренних проводников плазмохимическим травлением; высококачественного равномерного и сплошного нанесения химической меди на стенки отверстий и контактирующие поверхности с использованием антистатической обработки; увеличения рассеивающей способности электролитов меднения в сочетании с принудительной подачей раствора в отверстия, позволяющей осаждать гарантированные слои металла на стенки отверстий; улучшения физических свойств металлизации (пластичность, усилие на разрыв, структура) способствующих устойчивости их к термомеханическим воздействиям.

Надежность межслойного перехода через отверстие определяется: толщиной металлизации в отверстии; структурой металлического покрытия стенок отверстий; пластичностью металлического покрытия; типом смолы и стеклоткани (толщина волокон); соотношением смолы и стеклоткани в диэлектрике; степенью полимеризации диэлектрика; характером термического расширения диэлектрика; геометрическими размерами перехода (толщина платы, диаметр отверстий, диаметр и толщина контактных площадок наружных слоев); шагом расположения переходов; величиной и характером температурного воздействия.

Модель интенсивности отказов МПП связей, изготавливаемых методом металлизации сквозных и внутренних отверстий, можно представить в виде

$$\lambda_{\text{МПП}} = N_{\text{ск}} \lambda_{\text{ск}} + N_{\text{сп}} \lambda_{\text{сп}} + N_{\text{вн}} \lambda_{\text{вн}} + N_{\text{ки}} \lambda_{\text{ки}} + N_{\text{св}} \lambda_{\text{св}},$$

где $\lambda_{\text{ск}}$ — интенсивность отказов соединения торца контактной площадки слоя с металлизацией сквозного отверстия; $\lambda_{\text{сп}}$ — интенсивность отказов металлизации перехода через сквозное отверстие; $\lambda_{\text{вн}}$ — интенсивность отказов внутреннего межслойного перехода; $\lambda_{\text{ки}}$ — интенсивность отказов изоляции между слоями земли — питания и металлизацией сквозного отверстия; $\lambda_{\text{св}}$ — интенсивность отказов связи из-за искажения формы сигнала; $N_{\text{ск}}$ — число контактов в сквозных отверстиях; $N_{\text{сп}}$ — число сквозных переходных отверстий; $N_{\text{вн}}$ — число внутренних межслойных переходов; $N_{\text{ки}}$ — число кольцевых зазоров между слоями земли — питания и металлизацией сквозных отверстий; $N_{\text{св}}$ — число связей.

Понятно, что с увеличением числа межслойных переходов и числа связей в платах необходимо повысить надежность межслойных соединений и качество связей. Однако с ростом отношения толщины платы к диаметру отверстий устойчивость металлизации к терморасширению диэлектрика падает. Армирующее действие стеклоткани в направлении толщины отсутствует, поэтому расширение определяется только расширением смолы, а абсолютное значение расширения зависит от соотношения объемов смолы и стекла. Из-за интенсивного расширения смолы по толщине платы в элементах межслойных переходов возникают значительные внутренние напряжения.

Рассматривая геометрию элементов перехода и возникающие в них напряжения при термовоздействиях, можно сделать следующие выводы:

напряжения в межслойных соединениях уменьшаются при увеличении пластичности меди в отверстиях;

напряжения растяжения и сжатия в стыках металлизации отверстий и контактных площадках проводящих слоев обратно пропорциональны квадрату толщины контактных площадок, а напряжения среза пропорциональны толщине, т. е. увеличение толщины контактной площадки увеличивает надежность соединения;

напряжение на стыках уменьшается при уменьшении толщины металлизации стенок по сравнению с толщиной контактной площадки.

Повышение плотности межслойных переходов приводит к уменьшению диаметра сквозных отверстий в МПП, а это значительно уменьшает площадь контакта. Для сохранения надежности соединений на требуемом уровне необходимо увеличивать толщину контактных площадок. Например, при уменьшении диаметра сквозного отверстия от 0,9 до 0,5 мм толщину слоя меди контактных площадок следует увеличить с 35 до 100 мкм.

С ростом плотности компоновки микросхем на все более высоком уровне интеграции электронных элементов наряду с увеличением числа выводов у корпусов происходит уменьшение размеров и шага выводов. Например, в устройствах серийно выпускаемых ЭВМ используются микросхемы с пленарными выводами, расположенными по обеим сторонам корпусов с шагом 1,25 мм. Число выводов в микросхемах от 16 до 54. В устройствах на основе микросхем со 108 пленарными выводами выводы располагаются с четырех сторон корпуса с шагом 0,625 мм.

Геометрия контактных площадок для присоединения выводов БИС и соединения их с межслойными переходами должна обеспечить: минимальную площадь посадочного места микросхем на плате; возможность многократной припайки и отпайки выводов микросхем без отслаивания контактных площадок от платы; сохранение изоляционных характеристик между контактными площадками на плате во всем диапазоне рабочих условий устройств после многократных перепаек. Из практики эксплуатации устройств известно, что в многослойных платах связей, изготовленных из фольгированного стеклоэпоксидного диэлектрика, допускается не более трех перепаек с жестким контролем режимов пайки. Преимущество предложенного аддитивного метода [1] состоит в увеличении числа групповых перепаек до 20.

Характеристики линий связи

В печатных платах для быстродействующих устройств ЭВМ основными электрическими характеристиками линий связи являются волновое сопротивление, задержка распространения сигнала, межслойный и внутрислойный коэффициенты связи линий. Для расчета и анализа этих

линий разработаны алгоритмы и реализованы машинные программы, позволяющие определять погонные значения собственных и взаимных емкостей в сложных многослойных структурах. Эти средства дали возможность исследовать взаимосвязь между основными конструктивными параметрами плат с целью обеспечения заданного волнового сопротивления линий.

Графики рис. 5 показывают степень влияния толщины изоляции между слоями сигнальных проводников h_d (например, между слоями С1 и С2 или С3 и С4 и т. д. на рис. 3) на волновое сопротивление линий. Зависимость толщины полоскового пакета h , равной расстоянию между экранными слоями (например, между З и П на рис. 3), от заданного значения волнового сопротивления при изменении ширины сигнальных проводников (b) и диэлектрической постоянной изоляции (ϵ) приведена на рис. 6.

Разброс волнового сопротивления полосковых линий в МПП определяется технологическим разбросом геометрических размеров проводников, толщин диэлектриков между слоями, смещением проводников в разных слоях относительно друг друга и разбросом диэлектрических свойств материала основания и склеивающих прокладок.

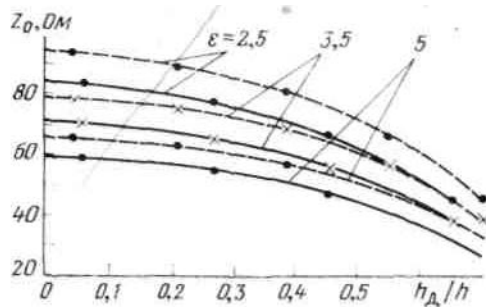


Рис. 5. Зависимость волнового сопротивления полосковых линий от толщины изоляции между сигнальными проводниками при разных диэлектрических материалах и толщинах пакета:

— $h=500$ мкм
 - - - $h=600$ мкм

Для рассмотренных выше полосковых линий в области $Z_0 = 50$ Ом влияние изменения основных параметров конструкции полоскового пакета на разброс значений волнового сопротивления ΔZ_0 можно оценить следующими зависимостями:

$$\Delta Z_0/\Delta b = 0,13 \text{ Ом/мкм}, \quad \Delta Z_0/\Delta h = 0,115 \text{ Ом/мкм},$$

$$\Delta Z_0/\Delta \epsilon = 5 \text{ Ом/ед.}, \quad \Delta Z_0/\Delta b_c = 0,044 \text{ Ом/мкм},$$

$$\Delta Z_0/\Delta h_d = 0,06 \text{ Ом/мкм}.$$

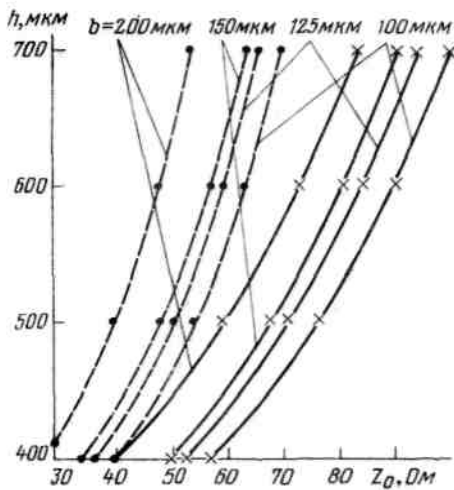


Рис. 6. Графики расчета толщины полоскового пакета с двумя сигнальными проводниками, полученные по результатам математического моделирования для разных значений волнового сопротивления при $h_d=200$ мкм и $b_c=200$ мкм:
 — $\epsilon=5$ (стеклотекстолит)
 - - - $\epsilon=2,5$ (полифениленоксид)

Наибольшее влияние на ΔZ_0 оказывает разброс значений диэлектрической проницаемости ($\Delta \epsilon$), ширины проводника (Δb) и толщины полоскового пакета (Δh) (толщины изоляции между экранными слоями). Поперечное сечение проводников имеет определенный диапазон изменений вдоль линии связи как по ширине, так и по толщине проводника, что влияет на стабильность волнового сопротивления вдоль линии. Диэлектрическая проницаемость и диэлектрические потери могут изменяться также при нагреве диэлектрика.

Таким образом, любая линия связи в МПП — это линия передачи с переменным волновым сопротивлением, в которой есть участки, где волновое сопротивление меняется непрерывно из-за плавного изменения ширины проводников, толщины изоляции между слоями, содержания смолы и стеклоткани и др., и есть участки, на которых волновое сопротивление изменяется резко, например, если линии расположены в разных полосковых пакетах, в разных МПП или в разных конструктивных уровнях. Волновое сопротивление изменяется также из-за неоднородности диэлектрической проницаемости.

Так как все виды неоднородностей и их протяженности полностью учесть практически невозможно, то согласование линий передачи производится по номинальному значению, а наличие разброса сопротивлений согласующих резисторов и волнового сопротивления линий

на отдельных участках создают рассогласования, являющиеся одной из причин возникновения внутренних помех в линиях связи [3].

Разброс значений волнового сопротивления полосковых линий определяется также смещением проводников в разных слоях относительно друг друга. В многослойном пакете на взаимное расположение проводников, а именно сигнальных и экранных, влияет много факторов, имеющих место в процессе изготовления плат, причем наиболее существенными оказываются: погрешности позиционирования элементов рисунка слоя при изготовлении фотошаблонов, изменения линейных размеров фотошаблонов под действием условий окружающей среды при изготовлении и использовании, погрешности совмещения фотошаблонов и слоев МПП, изменение линейных размеров слоев в процессе формирования проводящего рисунка, смещение элементов рисунка слоев в процессе склеивания (прессования) слоев в пакет и др.

Оценка суммарного влияния указанных факторов показывает, что их следствием может быть смещение проводников на 0,25 ... 0,4 мм. Из анализа математической модели полоскового пакета при смещении центра сигнального проводника относительно центров проводников сетчатых экранов, при ширине сигнальных проводников 0,3 мм, экранных проводников 0,5 мм и при толщине пакета, соответствующего волновому сопротивлению линий 50 Ом при нулевом смещении сигнального проводника, получено, что изменение волнового сопротивления при смещении сигнального проводника на 0,25 мм достигает 8,5 %. Для снижения этого изменения до 2 % требуется обеспечить смещение проводников не более чем на 0,1 мм.

Увеличение плотности сигнальных проводников в колосковых МПП ограничивается допустимой величиной перекрестной наводки, которая определяется коэффициентом связи линий, причем для выполнения этих условий зазор между проводниками должен быть больше, чем зазор, обеспечиваемый разрешающей способностью метода получения проводящего рисунка. Как видно из рис. 7, приемлемый коэффициент связи (5 %) достигается при шаге проводников 0,625 мм. Меньший шаг, например 0,312 мм, увеличивает этот коэффициент до 12 %.

Выводы

1. Дальнейшее развитие высокопроизводительных ЭВМ сопровождается повышением функциональной сложности полосковых МПП, предназначенных для монтажа интегральных микросхем.

2. В настоящее время при существующем уровне характеристик материалов и процессов для монтажа интегральных микросхем малого и среднего уровня интеграции с наносекундными временами переключения можно использовать платы связей (см. рис.1 и 2), изготавливаемые субтрактивным методом. Уровень конструктивных и трассировочных характеристик таких плат соответствует 2-му и 3-му классам плотности по ГОСТ 23751—79.

3. Для монтажа корпусированных микросхем большого и сверхбольшого уровня интеграции с субнаносекундными временами переключения необходимо использовать платы связей (см. рис. 2 и 3), изготавливаемые предложенным аддитивным методом [1], уровень конструктивных и трассировочных характеристик которых соответствует 4-му и 5-му классам плотности.

СПИСОК ЛИТЕРАТУРЫ

1. Галецкий Ф. П. Высокоскоростные многослойные печатные платы для ЭВМ// Вопросы радиоэлектроники. Сер. ЭВТ. — 1983.— Вып. 12.— С. 27.
2. Галецкий Ф. П., Сандлер Э. И. Формирование фиксирующих отверстий для повышения точности совмещения в МПП//Вопросы радиоэлектроники. Сер. ЭВТ.- 1982.— Вып. 12.— С. 8—14.
3. Чурин Ю. А. Переходные процессы в линиях связи быстродействующих схем ЭВМ.— М.: Сов. радио, 1975.— 200 с.

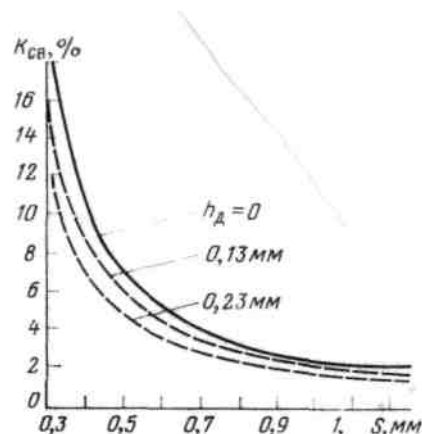


Рис. 7. Зависимость коэффициента связи линия $K_{св}$ от шага проводников S и толщины изоляции между сигнальными проводниками в полосковой МПП с одним и двумя сигнальными проводниками с однородным диэлектриком:

$$h=0,5 \text{ мм}; b=0,125 \text{ мм}; b_c=0,2 \text{ мм}; \epsilon=5$$

III. ТЕХНИЧЕСКИЕ СРЕДСТВА ЭВМ

УДК 681.3

Ю. С. ЛОМОВ

ЭВМ ВЫСОКОЙ ПРОИЗВОДИТЕЛЬНОСТИ ЕС1066 И ЕС1065

Электронные вычислительные машины ЕС1066 и ЕС1065 являются наиболее производительными моделями Единой системы из разработанных в последнее время, относятся к классу ЭВМ общего назначения. Они используются в крупных вычислительных центрах, в системах коллективного пользования, в сетях ЭВМ для решения различных научно-технических, экономических задач и задач управления в различных режимах обработки: пакетном, реального времени, разделения времени и телеобработки. Поскольку ЭВМ ЕС1066 и ЕС1065 рассчитаны на широкого пользователя и эксплуатацию в течение длительного периода, усилия разработчиков при их проектировании были направлены на достижение оптимального соотношения технико-экономических и эксплуатационных характеристик.

Одна из важнейших характеристик — эффективность. Это интегральная характеристика ЭВМ, которая определяется производительностью центрального процессора, количеством и пропускной способностью каналов ввода-вывода, емкостью оперативной памяти, емкостью и быстродействием внешней памяти и возможностями операционной системы.

<i>Технические характеристики</i>		
	ЭВМ ЕС1066	ЭВМ ЕС1065
Производительность, млн. команд/с	5,5	6
Число процессоров.....	1	2
Емкость оперативной памяти, Мбайт	16	16
Число каналов.....	12	8,16
Элементная база:		
для логических схем	Серия ИС500	Серия ИС50
для схем оперативной памяти	БИС ОЗУ 16	БИС ОЗУ
	или	64 Кбит/корпус
	64 Кбит/корпус	

Электронная вычислительная машина ЕС1066

Отличительные архитектурные и структурные особенности. По сравнению с высокопроизводительными машинами ЕС ЭВМ-2 в ЕС1066: усовершенствованная структура центрального процессора, обеспечивающая высокую производительность благодаря конвейерной обработке и подготовке команд, совмещенной с выполнением команд в арифметическом устройстве;

микропрограммное управление, повышающее эффективность алгоритмов управления и выполнения операций в процессоре и процедур ввода-вывода в каналах;

усовершенствованное управление вводом-выводом, осуществляемое введенным в состав ЭВМ процессором ввода-вывода;

интеллектуальный пульт управления, который выполняет не только стандартные функции инженерного обслуживания и эксплуатации, но и функции местной и дистанционной диагностики, автоматической реконфигурации и управления ресурсами вычислительной системы, автоматического отслеживания условий функционирования ЭВМ;

усовершенствованные средства контроля, восстановления и диагностики;

аппаратурно-микропрограммные средства реализации некоторых функций операционной системы, что обеспечивает высокую эффективность работы в режимах виртуальной памяти и виртуальных машин;

программно-управляемые от пульта управления ЭВМ мощные источники электропитания с широкими диагностическими возможностями.

Процессор ЕС2366 (рис. 1). Является центральным обрабатывающим устройством, выполняет все операции по обработке данных, организации обращений к оперативной памяти, обмену данными между оперативной памятью и каналами ввода-вывода и управлению ходом вычислительного процесса в ЭВМ.

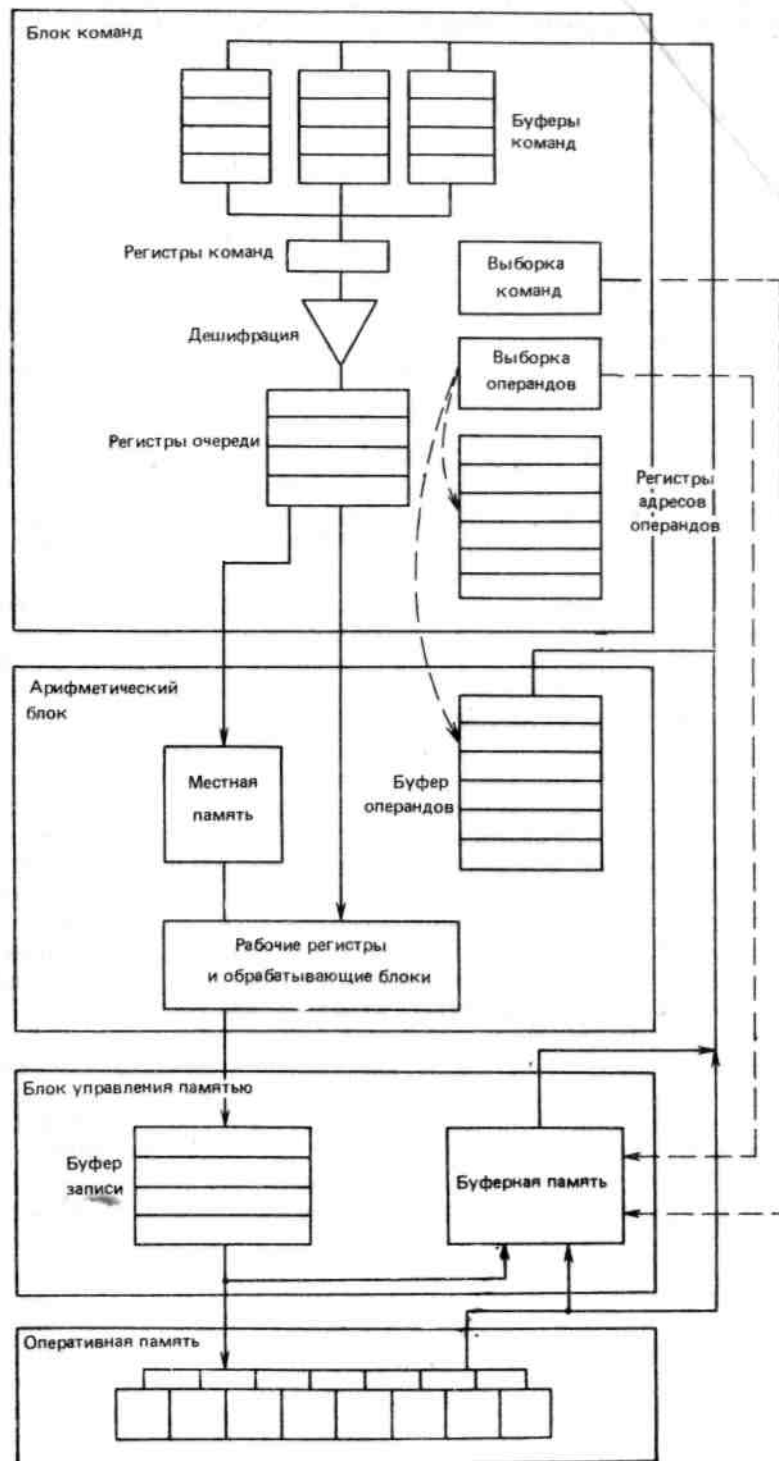


Рис. 1. Структурная схема процессора ЭВМ ЕС1066

Структура процессора оптимизировалась путем использования трех основных методов: физического, структурного и алгоритмического (последние два в определенной степени взаимосвязаны). Под физическим методом понимается сокращение такта синхронизации процессора благодаря использованию элементной базы с высокими быстродействием и степенью интеграции, более плотной компоновки оборудования. Алгоритмические методы, используемые в основном на стадии выполнения команд в исполнительных блоках, предусматривают применение более эффективных алгоритмов, например, учитывающих

значение операндов. Структурные методы включают известные способы повышения производительности: конвейерную обработку, буферизацию команд и операндов, использование иерархической структуры памяти, увеличение разрядности обработки.

Ниже рассматриваются структурные методы повышения производительности. Параллельная обработка команд в процессоре обеспечивается тремя параллельно работающими блоками — блоком команд, арифметическим блоком, блоком управления памятью. В процессоре реализовано пятикратное совмещение при выполнении команд и максимально ускорено выполнение команд типа сложения с фиксированной и плавающей точкой, загрузки, записи умножения, т. е. тех команд, вес которых наиболее высок в статистических смесях.

Буферы блока команд позволяют производить предварительную выборку двойных команд из оперативной памяти. Благодаря тому, что в буфере команд содержится три потока команд — основной и два альтернативных, выбираемых по адресам команд переходов, сокращается время выполнения команд условного и безусловного переходов.

Арифметический блок выполняет арифметические и логические действия над операндами и производит запись результата в оперативную память. Управление арифметическим блоком и выборкой операндов производится микропрограммой. Емкость памяти микропрограмм до 8 тысяч слов-микрокоманд.

Блок управления памятью осуществляет связь между блоками процессора и оперативной памятью, а также между процессором ввода-вывода и оперативной памятью. Буферная память (типа кэш) емкостью 64 Кбайт позволяет сократить эффективное время обращения в оперативную память. Для сокращения времени записи результатов, получаемых от процессора, в блоке управления памятью имеется буфер записи, в котором хранится до шести запросов. Время обмена процессора ввода-вывода с оперативной памятью уменьшается благодаря введению буфера циклов, обеспечивающего хранение предвыбранной и записываемой информации для каждого канала.

Процессор ввода-вывода ЕС2666. Управляет обменом данных между периферийными устройствами и оперативной памятью.

Для высокопроизводительных универсальных ЭВМ важное значение имеет сбалансированность производительности центрального процессора и пропускной способности процессора ввода-вывода при всех видах обмена данными.

Расчетные данные показывают, что пропускная способность процессора ввода-вывода ЕС2666 18... 20 Мбайт/с хорошо согласуется с производительностью центрального процессора (5,5 млн. команд/с) при использовании накопителя на магнитных дисках (НМД) большой емкости со скоростью обмена 0,806 Мбайт/с и выше при длине страницы 2 Кбайт и степени мультипрограммирования 15...20.

В состав процессора ввода-вывода входят два функционально независимых процессора групп каналов (ПГК). Каждая группа каналов включает один байт-мультиплексный канал (БТМК) и пять блок-мультиплексных каналов (БЛМК).

Процессоры групп каналов выполняют общее управление каналами, связь с оперативной памятью (ОП), центральным процессором и пультом управления ЭВМ. Для микропрограммного управления в ПГК имеется память микропрограмм емкостью 4096 72-разрядных слов. Связь с ОП производится через адаптер памяти. Высокая производительность в адаптере обеспечивается буфером данных емкостью 64 32-разрядных слова. Данные в ОП передаются четырьмя 32-разрядными словами по тракту шириной в одно слово, а принимаются из ОП по тракту шириной в двойное слово.

Процессор групп каналов содержит также блок обработки управляющей информации данных, память пассивных подканалов (ПППК) емкостью 8192 32-разрядных слова и память активных подканалов (ПАПК) емкостью 64 32-разрядных слова.

Связь с пультом управления ЭВМ производится через сервисный адаптер, который управляет загрузкой рабочих микропрограмм и тестов микродиагностики, выполняет команду очистки канала, формирует информацию расширенной регистрации в буфере связи емкостью 512 байт. Кроме того, сервисный адаптер передает с пульта управления информацию о распределении подканалов между адресами периферийных устройств в ПППК, осуществляет индикацию и ручное управление ПГК и каналов.

Два БТМК используются для подключения низкоскоростных периферийных устройств в мультиплексном и монопольном режимах передачи данных. В мультиплексном режиме канал одновременно обслуживает несколько периферийных устройств, взаимодействуя поочередно с каждым из них. БЛМК применяется для подключения быстродействующих периферийных устройств в монопольном режиме передачи данных. Четыре БЛМК (по два у каждого ПГК) обеспечивают двухбайтовый стандартный интерфейс ввода-вывода. Все БЛМК могут работать в режимах блокового мультиплексирования и в селекторном. Режим блокового мультиплексирования задается битом разрешения их центрального процессора и признаком разрешения в подканале.

Для повышения производительности в каждом канале имеется буфер данных. Буферы данных объединены в память буфера данных каналов емкостью 64 32-разрядных слова. Каждый канал содержит один активный подканал в ПАПК и до 256 неразделенных пассивных подканалов по всем адресам периферийных устройств.

Все блоки и узлы ПГК и каналов контролируются по четности. ПГК производит коррекцию одиночных ошибок памяти микропрограмм, обеспечивает автоматическое повторение операции при сбое, осуществляемое аппаратурно-микропрограммными средствами восстановления, и выполняет повторение команды по инициативе периферийных устройств. ПГК содержит аппаратурно-микропрограммные средства диагностики, автоматизирующие процесс поиска неисправности.

Основная оперативная память ЭВМ. Является блоком центрального процессора и конструктивно расположена в его стойке. Оперативная память реализована на БИС ОЗУ емкостью 16 или 64 Кбит в корпусе. Для сокращения эффективного времени обращения в оперативную память введено 8-кратное чередование адресов (расслоение), что обеспечивает параллельное обращение к 8 модулям памяти. Для повышения надежности оперативная память контролируется по коду Хемминга, позволяющему корректировать одиночные ошибки и локализовать двойные ошибки памяти.

Пульт управления ЕС1566. Реализует все функции, необходимые для эксплуатации и инженерного обслуживания универсальной ЭВМ. Пульт управления осуществляет: загрузку микропрограмм центрального процессора и процессора ввода-вывода; управление и контроль системы питания; управление ручными операциями как в режиме оператора, так и в режиме технического обслуживания; индикацию состояния технических средств центрального процессора, процессора ввода-вывода и пульта управления; управление работой системы с использованием операционной системы; регистрацию состояния машины в случае машинной ошибки; диагностирование центральных устройств; управление реконфигурацией оперативной памяти процессора; управление проверкой логических ТЭЗов.

По функциональному назначению пульт управления можно разделить на пульт оператора и пульт инженера.

Пульт управления является мини-ЭВМ, в состав которой входят сервисный процессор с собственной системой команд, оперативная память, внешние запоминающие устройства, устройства отображения и сервисная операционная система. Управление осуществляется заданием приказов через дисплей с помощью функциональных кнопок на клавиатуре или светового пера, а также переключателей и кнопок на панели управления. В качестве устройства отображения используется дисплей типа ЕС7927, имеющий формат экрана 24×80 см. В качестве внешнего накопителя применяется НМД типа ЕС5066, входящий в конфигурацию ЭВМ. Доступ к накопителю осуществляется с помощью устройства управления накопителями на магнитных дисках ЕС5566.

Эксплуатационные характеристики

1. Сбалансированность быстродействия процессора с циклом работы оперативной памяти большой емкости (16 Мбайт) и пропускной способностью системы ввода-вывода (12 каналов) позволяет получить высокую скорость обработки научно-технических (до 5,5 млн. команд/с) и плано-экономических (до 2,5 млн. команд/с) задач.
2. Использование всех ранее созданных операционных систем (включая ОС 6.1) и новой

СВМ обеспечивает работу в режимах виртуальной памяти и виртуальных машин, а также реального времени, разделения времени, пакетной обработки и телеобработки.

3. Наличие в ЭВМ аппаратурно-микропрограммных средств реализации некоторых функций операционной системы и применение высокоэффективных алгоритмов выполнения системных команд позволяют снизить затраты времени на управление операционной системой и повысить время, используемое на вычисления.

4. Создание мощной системы ввода-вывода обеспечивает подключение НМД емкостью 100, 200 Мбайт, а в дальнейшем 300 и 600 Мбайт и организацию на их основе поля внешней памяти большой емкости ($10^9 \dots 10^{10}$ бит). Режим блокового мультиплексирования работы каналов позволяет получить более эффективное по сравнению с селекторным режимом время доступа к внешней памяти. За счет разделения каналов на отдельные группы с общим управлением (ПГК) в необходимых случаях организуется альтернативный доступ к одним и тем же накопителям посредством многоканальных переключателей от каналов, принадлежащих к разным группам, что обеспечивает высокую надежность системы ввода-вывода. Процессоры группы каналов имеют в своем составе обрабатывающие (арифметические) устройства, позволяющие реализовать некоторые функции операционной системы аппаратурными средствами и на этой основе повысить эффективность системы ввода-вывода.

5. Наличие двух сервисных процессоров обеспечивает повышение надежности работы пульта управления, а также позволяет проводить диагностику и профилактику отдельных устройств ЭВМ параллельно с управлением вычислительным процессом через специальный интерфейс, имеющий независимую связь с отдельными устройствами ЭВМ. Кроме того, каждый сервисный процессор имеет выход на стандартный интерфейс ввода-вывода ЭВМ и, следовательно, к нему могут быть подключены любые периферийные устройства из номенклатуры ЕС ЭВМ, в том числе НМД емкостью 100 и 200 Мбайт. Это позволяет параллельно и независимо проводить наладку процессора на диагностических тестах и тест-секциях монитора с подключением внешних устройств без участия штатных каналов ввода-вывода и наладку каналов ввода-вывода без использования процессора. При этом функцию отсутствующего устройства выполняет сервисный процессор. Подсоединение внешней памяти ЭВМ к сервисному процессору через двухканальные переключатели открывает возможность доступа к операционной системе в процессе вычислений.

6. Сервисные процессоры пульта управления кроме основных выполняют дополнительные функции как при использовании пульта в составе ЭВМ, так и при работе пульта в автономном режиме. В составе ЭВМ пульт управления совместно со специальными техническими и программными средствами организует систему контроля, диагностики и управления подсистем, обеспечивающих нормальные условия функционирования (электропитание, вентиляция, температура и т. д.) ЭВМ, которая позволяет автоматизировать управление подсистемами, контроль подсистем, диагностику неисправностей в подсистемах, регистрацию условий функционирования ЭВМ, оповещение операционной системы и оператора ЭВМ об угрожающем или аварийном изменении условий функционирования.

По желанию пользователей на основе сервисных процессоров может быть создана справочно-информационная система конструкторской документации ЭВМ ЕС1066, которая выводит на экран дисплея необходимые фрагменты технических описаний, таблицы сигналов, цепи прохождения сигналов с указанием адресов контактов и т. д.

В автономном режиме пульт управления с подключенным необходимым периферийным оборудованием может быть использован как отдельная мини-ЭВМ для создания информационно-справочных систем различного назначения, технологических стендов поэтапного контроля качества изготовления узлов и блоков ЭВМ (ТЭЗ, панель, монтаж рамы и стойки и т. д.).

7. Автоматизация выполнения диагностических процедур, основанных на микродиагностических тестах (общий объем которых составляет 3 Мбайта), и использование справочно-информационной системы блока контроля и диагностики обеспечивают локализацию неисправностей в процессоре и каналах с точностью до группы ТЭЗ (1...3), а в оперативной памяти — с точностью до одной микросхемы.

8. Система электропитания построена на специально разработанных блоках большой удельной мощности, полностью совместимых по интерфейсу электропитания с унифицированными источниками вторичного питания (УВИП), что позволило повысить надежность и сократить объем оборудования системы электропитания.

Управление системой электропитания в целом и отдельными блоками осуществляется через пульт управления ЭВМ программно. Это сделало возможным полностью исключить из системы электропитания блоки управления. Специальный диагностический интерфейс блоков питания посредством пульта управления обеспечивает: изменение напряжения источников вторичного электропитания (ИВЭП) в пределах $\pm 7\%$ от номинального значения ступенчато на три позиции в «плюс» и три позиции в «минус»; измерение напряжения ИВЭП в цифровом коде; выдачу результатов измерения напряжений на экран дисплея; диагностику состояния системы вторичного электропитания; контроль состояния первичной цепи электропитания.

9. Усовершенствованная конструктивная база и новая система электропитания обеспечили размещение основного электронного оборудования ЭВМ ЕС1066 (процессора, 12 каналов ввода-вывода, оперативной памяти и УВИП) в трех стандартных стойках ЕС ЭВМ, сокращение и рациональное размещение связей между ними. Имеется возможность увеличения в том же объеме оборудования емкости оперативной памяти до 32 Мбайт. Компонентные решения позволили сократить объем площади, занимаемой центральным электронным оборудованием, в 1,5...2 раза по сравнению с ЭВМ подобного класса и использовать воздушное охлаждение.

10. Технические и программные средства обеспечивают построение многомашинных и многопроцессорных вычислительных систем, а так же систем коллективного пользования и сетей ЭВМ с применением технических средств телеобработки из номенклатуры ЕС ЭВМ.

Электронная вычислительная машина ЕС1065

Для ЭВМ ЕС1065 был принят вариант двухпроцессорной структуры с общими ресурсами (исполнительными блоками) и общим полем оперативной памяти. Такая структура обеспечивает высокую производительность системы и, кроме того, повышение надежности ЭВМ.

Мультипроцессор ЕС2665. Выполняет все операции по обработке данных, обращению к ОП, управлению вычислительным процессом. В мультипроцессоре реализована структура с общими ресурсами, при которой подготовка команд ведется несколькими устройствами управления памятью и процессорами команд (УП1, УП2, ПК1, ПК2), а выполнение этих команд — одним операционным устройством (ОУ). При этом каждое устройство оптимизировано на сокращение времени обработки на всех этапах подготовки и выполнения команд. Так, для сокращения времени обработки на этапе выборки и записи данных в каждом устройстве УП используется буферная память емкостью 32 Кбайт, цикл работы которой равен циклу работы ОУ. Дополнительный выигрыш в скорости работы на этапе обращения к оперативной памяти получен благодаря тому, что результаты операций записываются только в буферную память без немедленного дублирования их в основной памяти. Запись этих результатов в основную память происходит в определенный момент времени по стандартной дисциплине вытеснения из буферной памяти наиболее долго не используемой информации.

Сокращение времени выполнения операций в арифметическо-логическом устройстве (АЛУ), которое является общим ресурсом в мультипроцессоре ЕС2665, достигается как реализацией наиболее быстрых алгоритмов выполнения операций, так и разбиением этого устройства на несколько независимо работающих блоков ОУ обработки информации. Каждый из этих блоков ориентирован на одну группу близких по алгоритму исполнения команд. Такая организация АЛУ по сравнению с одноблочным универсальным АЛУ упрощает структуру ОУ и сокращает время выполнения операций, хотя суммарные затраты на оборудование возрастают и коэффициент использования аппаратуры снижается.

В структуре микропроцессора ЕС2665 предусмотрены четыре независимых блока выполнения операций: арифметический с фиксированной точкой (ФТ), арифметический с плавающей точкой (ПТ), арифметический для обработки полей переменной длины и

десятичных чисел, а также блок ускоренного умножения (деления). Обращение к этим блокам независимое, и каждый из них может работать параллельно с остальными. Кроме того, имеется возможность наращивания суммарной мощности арифметических устройств путем подключения как дополнительных аналогичных блоков, так и проблемно-ориентированных устройств обработки информации.

Суммарная пропускная способность ОУ значительно выше пропускной способности устройства управления памятью и центрального устройства управления (процессора команд). Это позволило включить в структуру процессора несколько процессоров команд и разделить буферную память на независимые секции с собственным управлением и доступом к оперативной памяти, т. е. иметь несколько устройств управления памятью. Мультипроцессор ЕС2665 включает два устройства управления памятью, каждый с буфером емкостью 32 Кбайт, и два процессора команд. Предусмотрено подключение еще двух устройств управления памятью (УП) и двух процессоров команд (ПК). Каждый процессор команд ведет свой поток, обеспечивая необходимую загрузку арифметического устройства.

В ЭВМ с общими ресурсами проблемно-ориентированные процессоры могут быть подсоединены ко всем ПК в качестве общего ресурса. Для этого необходимо, чтобы они имели интерфейс сопряжения с ПК, аналогичный интерфейсу ОУ. Подключение новых устройств для ПК также сводится к реализации дополнительных кодов помимо соответствующих функций вводимого оборудования, что довольно несложно при наличии микропрограммного управления. Гораздо сложнее вопросы, связанные с программным обеспечением этих устройств, которые приходится решать для каждого конкретного случая отдельно.

Высокое быстродействие ЭВМ ЕС1065 поддерживается мощной системой ввода-вывода, оперативной памятью большой емкости и развитыми средствами обслуживания сервисного пульта управления, по функциям аналогичного пульта управления ЭВМ ЕС1066.

Система ввода-вывода. Построена на основе каналов ЕС4001 или их модернизированного варианта — каналов ЕС4002. В ЭВМ ЕС1065 использован принцип перекрестного вывода, когда каналы доступны каждому процессору в отличие от традиционного жесткого закрепления каналов за процессором. Имеется возможность подключения до 16 каналов, которые обеспечивают пропускную способность ввода-вывода более 20 Мбайт/с и реализуют все функции ЕС ЭВМ-2, включая косвенную адресацию данных, повторение операций ввода-вывода, двухбайтовый интерфейс.

Основная оперативная память. Образует общее поле памяти для двухпроцессорной системы. Структура памяти обеспечивает 8-кратное чередование адресов. Коммутация оперативной памяти для двух процессоров, организованная на уровне процессоров команд, и разделение буферной памяти на независимые секции позволили избежать аппаратных конфликтов при обращении к оперативной памяти от двух процессоров.

Эксплуатационные характеристики

1. Структура с общими ресурсами ЭВМ ЕС1065, которая с точки зрения операционной системы представляется как многопроцессорная, работающая на общее поле оперативной памяти, имеет ряд положительных эксплуатационных особенностей по сравнению с традиционной однопроцессорной структурой. Это прежде всего эффективное повышение производительности (для научно-технических задач не менее 6 млн. команд/с, для планово-экономических не менее 2 млн. команд/с) и обеспечение живучести системы. ЭВМ продолжает функционировать, хотя и с меньшей производительностью, при выходе из строя отдельных устройств (рис. 2). При включении в состав ЭВМ второго (дополнительного) арифметического устройства, которое также будет общим ресурсом, надежность системы многократно повышается. Кроме того, введение в состав процессора нескольких процессоров команд упрощает организацию структуры каждого из них.

2. В основу структуры центральной части ЭВМ ЕС1065 положен принцип модульности, который обеспечивает создание 17 различных конфигураций центральной части ЭВМ, в том числе:

двухпроцессорные симметричные комплексы с общим полем оперативной памяти 16 Мбайт (см. рис. 2);

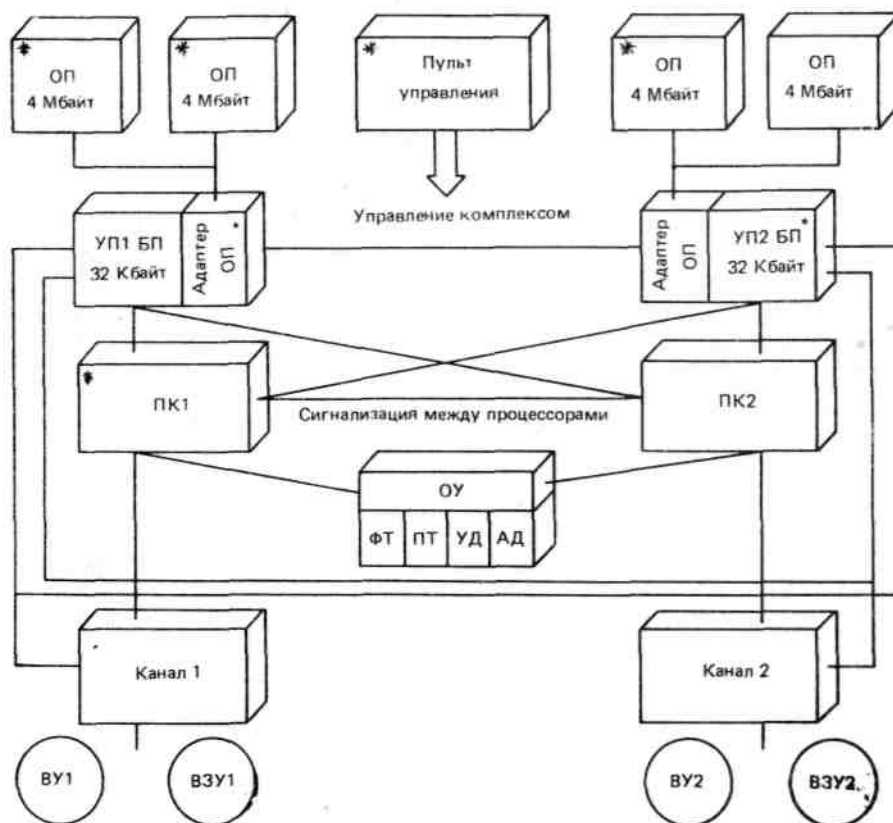


Рис. 2. Двухпроцессорный комплекс:

* модули, при отказе которых комплекс продолжает работать

двухпроцессорные комплексы с присоединенным процессором;
 двухмашинные комплексы с оперативной памятью каждой ЭВМ по 8 Мбайт;
 две независимые ЭВМ, каждая производительностью не менее 3 млн. команд/с и
 оперативной памятью по 8 Мбайт (рис. 3).

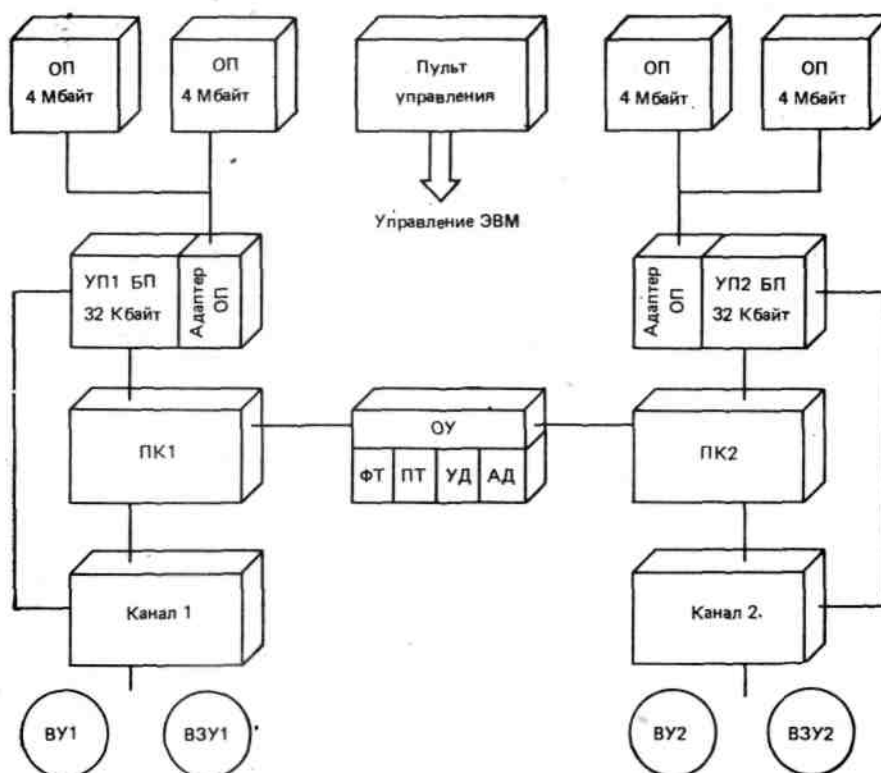


Рис. 3. Две независимые однопроцессорные ЭВМ

3. Реконфигурация системы осуществляется автоматически или полуавтоматически средствами ОС ЕС и программами с пульта управления при отказе отдельных модулей.

4. Аппаратурно-программным способом реализованы измерение реальной производительности комплекса при решении конкретных задач и оценка эффективности вычислительного процесса.

Выводы

В ходе создания ЭВМ ЕС1065 и ЕС1066 был решен ряд принципиальных вопросов развития вычислительной техники.

1. Реализация архитектурного принципа виртуальной машины, значительно повышающего эффективность работы ЭВМ за счет совмещения одновременно нескольких режимов работы.

2. Дальнейшее развитие структуры ЭВМ в направлении:

увеличения системной производительности ЭВМ и номинальной производительности процессора;

улучшения отношения производительность/стоимость в пять раз по сравнению с предшествующими моделями;

повышения производительности системы ввода-вывода;

создания более эффективных средств виртуализации оперативной памяти;

реализации двухпроцессорных и двухмашинных комплексов.

3. Разработка операционных систем ЭВМ общего назначения, поддерживающих новые архитектурные решения, многопроцессорные и многомашинные комплексы.

4. Совершенствование системы обслуживания и эксплуатации на основе разработки:

интеллектуальных средств пульта управления;

аппаратурно-программных средств восстановления, диагностики и контроля;

специальных средств отладки программ и микропрограмм, сохранения трасс адресов команд и микрокоманд, запоминания кодов операций и состояний узлов процессора на глубину 16 тактов работы процессора.

УДК 681.3

М. К. СУЛИМ, Л. В. СЕМЕНОВ

СОСТОЯНИЕ И ПЕРСПЕКТИВЫ РАЗВИТИЯ ПЕРИФЕРИЙНОГО И ТЕРМИНАЛЬНОГО ОБОРУДОВАНИЯ ЭВМ

В последние годы в связи с появлением интеллектуальных терминалов, терминальных станций, персональных ЭВМ и развитием средств передачи данных пакетный режим обработки информации постепенно вытесняется интерактивным режимом, а централизованная обработка все больше уступает место децентрализованной. Увеличивается объем производства внешнего (периферийного и терминального) оборудования ЭВМ по сравнению с объемом производства центральных устройств. Стоимость периферийного и терминального оборудования в настоящее время составляет 70...80 % от стоимости общего объема средств вычислительной техники. При этом доля периферийного оборудования, входящую непосредственно в состав ЭВМ и обслуживаемого операторами ЭВМ, уменьшается, а доля терминального оборудования, устанавливаемого непосредственно у пользователей, увеличивается.

Значение периферийного и терминального оборудования будет возрастать и дальше, так как:

развитие вычислительных систем коллективного пользования, персональных ЭВМ и средств распределенной обработки информации в значительной степени определяется развитием периферийного и терминального оборудования;

расширение областей применения ЭВМ приводит к значительному увеличению количества пользователей, имеющих прямой доступ к системам электронной обработки данных,

эффективность которых во многом зависит от технических и эксплуатационных характеристик периферийного и терминального оборудования;

эффективность систем автоматизации проектно-конструкторских работ и технологической подготовки производства определяется техническими характеристиками и функциональными возможностями устройств ввода-вывода и редактирования графической информации, а также проблемно-ориентированных комплексов типа рабочих мест, пунктов подготовки и выпуска конструкторской документации.

Номенклатура периферийного и терминального оборудования, выпускаемого в настоящее время в СССР, охватывает все основные типы устройств ввода-вывода, подготовки данных и оперативного взаимодействия.

Периферийное оборудование

Печатающие устройства. В настоящее время это наиболее массовые периферийные устройства. На их долю приходится около 70 % всего выпуска устройств ввода-вывода. Подавляющее большинство печатающих устройств, как параллельного, так и последовательного действия, являются электромеханическими ударного действия. Это положение сохранится и в ближайшие годы.

В последнее время существенно улучшены характеристики параллельных печатающих устройств. Так, печатающее устройство ЕС7040 по сравнению с ЕС7036 имеет вдвое меньшую потребляемую мощность — 0,7 кВ·А против 1,5 кВ·А и вдвое меньшую массу — 200 кг против 420 кг (табл. 1); применение ударных молоточков электродинамического типа позволило значительно повысить качество печати.

В связи с широким применением алфавитно-цифровых дисплеев в дальнейшем на печать будет выводиться только итоговая информация, готовые документы. Качество печати и технико-экономические характеристики будут главными требованиями. На базе варианта устройства ЕС7040 (АП7106) серийно производится пункт выпуска документации ПВД2-03, который кроме печатающего устройства включает малогабаритный накопитель на магнитной ленте (с плотностью записи 32 бит/мм) АП5600 и блок управления, обеспечивающий поиск зон и файлов по имени на магнитной ленте, считывание данных и печать зоны или группы зон, останов вывода информации на печать с возможностью дальнейшего продолжения.

Таблица 1.

Основные характеристики печатающих устройств ударного действия				
Характеристики	ЕС7036	ЕС7038	ЕС7040	ТС7180
Скорость печати	800 строк/мин	700... 1300 строк/мин	500 строк/мин	150 знаков/с
Число разрядов в строке	132	132	132	132 или 158
Число печатаемых символов	84	140 (96 одним шрифтоно- сителем)	84 ¹ (ЕС7040) 96 ² (ЕС7040.01) 114 ³ (ЕС7040.02)	158
Шаг между разрядами, мм	2,54	2,54	2,54	2,54 или 2,12
Интервал между строками, мм	4,23	4,23	4,23 или 6,35	3,17; 4,23; 6,35
Потребляемая мощность, кВ·А	2,2	2,0	0,7	0,35
Габаритные размеры, мм	1390×935× ×1200	1415×935× ×1200	876×860× ×1084	596×465× ×325
Масса, кг	420	420	200	30

Примечание: 1. Русские и латинские прописные буквы, спецзнаки.
2. Русские прописные и строчные буквы, спецзнаки.
3. Русские прописные и строчные буквы, латинские прописные, спецзнаки.

Для быстрого вывода больших объемов информации (скорость до 4000 строк/мин) разработано электрографическое устройство ЕС72 31, которое фактически является постраничным печатающим устройством.

Таблица 2.

Основные характеристики устройств и комплексов вывода графической информации

Характеристики	ЕС7051М	ЕС7052М	ЕС7053М	ТС7151	ТС7152
Рабочее поле записи, мм	1200 ×1000	594×420	1189×841	841×594	594×420
Максимальная скорость записи, мм/с	100	250	250	200	300
Минимальный шаг, мм	0,05	0,05	0,05	0,05	0,05
Число пишущих устройств	3	3	3	3	3
Потребляемая мощность, В·А	0,8	0,8	0,8	310	370
Габаритные размеры, мм	2754× ×1649× ×1635	1570× ×890× ×1390	1570× ×1320× ×1390	1260 × × 1020× ×1000	918× ×450× ×1067
Масса, кг	600	240	250	150	100

В последние годы значение последовательных печатающих устройств резко возросло в связи с включением их в состав абонентских пунктов, терминальных систем, персональных ЭВМ. В состав ЕС ЭВМ и СМ ЭВМ входит большое число матричных печатающих устройств и устройств с лепестковым шрифтоносителем типа «Ромашка». Для работы в составе терминальных систем в СССР разработано и начато производство матричного печатающего устройства типа ТС7180, которое позволяет выводить информацию на рулонную, сфальцованную бумагу и отдельные листы. Для этого в состав печатающего устройства может входить специальный механизм подачи листов.

Дальнейшие работы по совершенствованию последовательных печатающих устройств связаны с расширением функциональных возможностей (включая печать графической информации и вывод цветной информации), снижением шума, повышением надежности, улучшением технико-экономических характеристик. Весьма перспективны струйные и малогабаритные печатающие устройства для персональных ЭВМ

Графопостроители (табл. 2). Созданные для ЕС ЭВМ первого и второго поколений графопостроители ЕС7051, ЕС7052, ЕС7053 подключались к стандартному каналу ЭВМ и устанавливались в машинном зале. Эксплуатация графопостроителей требовала больших ресурсов ЭВМ и была неудобна для пользователей. Поэтому для вывода графической информации, включая конструкторскую, для ЕС ЭВМ третьего поколения были созданы автономные пункты выпуска документации

Средства подготовки данных. Устройства подготовки данных (УПД) выпускаются для всех типов носителей информации: перфокарт, перфолент, магнитных лент, кассетных магнитных лент, гибких магнитных дисков, как индивидуальные, так и групповые (многопультные). В последнее время существенно повышен уровень интеллекта УПД, созданы устройства с элементами свободного программирования ЕС9053 (ЧССР), ЕС9054 (ГДР), некоторые УПД могут готовить информацию для различных типов носителей — магнитных лент, кассетных магнитных лент, гибких магнитных дисков (АП9050), управлять печатью и имеют возможность выхода на стандартный канал линии связи.

Дальнейшее развитие средств подготовки данных должно быть направлено на повышение достоверности, качества информации, передаваемой на ЭВМ, исключение логических и системных ошибок, проведение на рабочем месте конечной сортировки и предварительной обработки данных.

Устройства ввода-вывода данных на перфоносителях. Еще недавно обеспечивавшие наибольшие объемы ввода-вывода данных, устройства на перфоносителях вытесняются устройствами на магнитных носителях. В последнее время новые устройства ввода-вывода и подготовки данных на перфоносителях не разрабатываются, а только модернизируются в направлении повышения надежности и улучшения технико-экономических характеристик.

Терминальное оборудование

В связи с переходом к интерактивному режиму обработки данных и необходимостью существенного улучшения взаимодействия человека с ЭВМ в ближайшие годы

преимущественное развитие получают средства оперативного взаимодействия, к которым в первую очередь относятся алфавитно-цифровые и графические дисплеи, устройства ввода-вывода речи.

Алфавитно-цифровые дисплеи (АЦД). В настоящее время АЦД являются основным средством оперативного взаимодействия. Сформированы требования к АЦД широкого применения: емкость экрана АЦД около 2000 символов, размер экрана 31 или 40 см по диагонали, число строк на экране 24(25), число символов в строке 80, способ формирования изображения — растровый, способ формирования знака — матричный с матрицей 7×9 или 9×12 точек, антибликовое покрытие экрана, ЭЛТ черно-белая или цветная (не менее семи основных цветов).

Основные направления развития АЦД: повышение разрешающей способности ЭЛТ до 700 ...800 линий по всему полю экрана; улучшение фокусировки изображения; расширение полосы пропускания видеоусилителей до 20...25 МГц при амплитуде видеосигнала на выходе не менее 40 ...80 В; разработка ЭЛТ с отклоняющими системами, которые имеют частоту строчной развертки 31, 25 кГц; разработка специальных БИС и контроллеров изображения; улучшение эргономических показателей, в том числе усовершенствование конструкции, снижение массы и габаритных размеров, обеспечение возможности изменения угла наклона ЭЛТ, уменьшения бликов и т. п.

Графические дисплеи. В последнее время в составе рабочих мест различного назначения и персональных ЭВМ широко используются графические дисплеи, применяемые ранее в основном в системах автоматизированного проектирования (САПР). Выпускаются векторные с регенерацией изображения или с запоминанием, растровые и матричные графические дисплеи. Дисплеи каждого класса имеют свои особенности, преимущества и недостатки, которые обуславливают области эффективного применения. За рубежом в 70-х годах наиболее массовыми были векторные дисплеи на запоминающих ЭЛТ (свыше 70 %), а в 80-е годы резко возрос выпуск растровых дисплеев, и по прогнозам к концу 80-х годов они займут доминирующее положение на рынке дисплеев и останутся наиболее массовыми до 2000 г.

Такое положение объясняется следующими причинами: возник ряд областей применения графических дисплеев (учреждения, конторы, школы и т. п.), где требования к изображению не такие высокие, как в САПР, а на первое место выдвигаются низкая стоимость аппаратуры, малые габаритные размеры, масса и потребляемая мощность; в ряде случаев появилась необходимость вывода на экран дисплея несложных цветных изображений; резко снизились цены на БИС полупроводниковой памяти, появились малогабаритные цветные масочные кинескопы с достаточно высокой разрешающей способностью, БИС для управления ЭЛТ, высокочастотные и высоковольтные транзисторы. Все это создало предпосылки для бурного роста выпуска растровых графических дисплеев, обеспечивающих возможность вывода на экран ЭЛТ достаточно большого объема графической информации с практически неограниченным количеством цветов.

При создании векторных дисплеев с регенерацией основное внимание должно быть уделено увеличению информационного объема до 7000 коротких векторов за кадр против 2720 коротких векторов у выпускаемого в настоящее время устройства ЕС7065. У векторных дисплеев на запоминающих ЭЛТ должен быть увеличен размер экрана до 51 см, число адресуемых точек до 4096×4096, введены режимы локального стирания и выделения областей экрана другим цветом. Растровые дисплеи должны разрабатываться трех классов: малой разрешающей способности—до 512×512 точек раstra, средней—до 1024× 1024 и высокой — свыше 1024 × 1024. Должны быть созданы микросхемы для аппаратурного преобразования вектор—растр. Графические дисплеи разных типов должны иметь единые интерфейсы и форматы данных.

Устройства ввода речи. Хотя начат серийный выпуск этих устройств (табл. 3), они пока не получили широкого применения в вычислительных системах. Это объясняется как ограничениями на произносимые слова (отдельные слова, а не непрерывная, слитная речь), ограниченным словарем, необходимостью настройки на диктора, а также соблюдением расстояния между оператором и микрофоном, так и трудностями технической реализации малогабаритных устройств.

Поэтому при разработке устройств ввода речи основное внимание должно быть уделено созданию малогабаритных, одноплатных устройств для встраивания в алфавитно-цифровые и графические дисплейные терминалы. Необходимы устройства речевого ввода с достоверностью 95 % и временем распознавания не более 0,5 с, объемом словаря до 200 слов и устройства с повышенной достоверностью (98 %) и временем распознавания не более 0,1 с, объемом словаря до 128 слов. Необходимо разработать микросхемы для цифровой обработки сигналов, БИС синтезатора речи для устройства речевого вывода по печатному тексту с произвольным словарем.

Таблица 3

Основные характеристики устройств ввода речи

Характеристики	ИКАР	ТС6300
Объем словаря, слов	200	512
Число слов в команде	1	3...5
Время распознавания при достоверности распознавания 95%, с	0,5	0,3
Число операторов	До 256	До 128 при 128 словах До 32 при 512 словах
Количество повторений команды при обучении	1	1
Потребляемая мощность, кВт·А	0,35	0,3
Габаритные размеры, мм: аналого-цифровое вычислительное устройство	600×270×426	680×480×486
пульт оператора	448×484×250	
Масса, кг	60	60

Устройства ввода графической информации. Находят широкое применение в составе терминальных станций, пунктах подготовки графической информации, проблемно-ориентированных рабочих местах.

Для автоматического ввода данных в ЭВМ создано устройство ТС6030, которое позволяет считывать трехцветную (красную, синюю, черную) графическую информацию с документов формата А1 с дискретностью 0,1 мм и скоростью 100 мм/с при полосе считывания 256 точек (25,6 мм). Устройство предназначено для работы в составе автоматизированных рабочих мест. Время обработки (преобразования в векторную форму) чертежа формата А1 на СМ-4 и вывода на графический дисплей 45 мин (табл. 4).

Таблица 4

Основные характеристики устройств автоматического ввода графической информации

Характеристики	ТС6030	Комплекс ЕС7989 + ТС6030
Размер рабочего поля, мм	841×594	841×594
Максимальная скорость перемещения считывающей головки, мм/с	100	100
Полоса считывания, мм	25,6	25,6
Дискретность считывания, мм	0,1	0,1
Время преобразования чертежа формата А1, мин	45 на СМ-4	30 в блоке преобразования ЕС7989 с записью на МЛ в форматах ЕС ЭВМ или СМ ЭВМ
Потребляемая мощность, кВт·А	0,75	1,3
Габаритные размеры, мм	1550×1260×1050	3000×1100×1260
Масса, кг	220	400

В ближайшие годы должен быть разработан ряд совместимых устройств кодирования графической информации планшетного типа с размерами рабочего поля, обеспечивающими

кодирование документов форматов А3, А2, А1, А0 с погрешностью $\pm 0,1$ мм.

Совершенствование устройств автоматического ввода графической информации должно проводиться в направлении повышения быстродействия преобразования информации в векторную форму за счет аппаратурного распознавания информации в устройстве считывания и снижения стоимости, габаритных размеров, массы и металлоемкости.

Устройства автоматического ввода данных с документов. Пока не нашли широкого применения в системах ЭВМ, однако потребность введения их в состав информационно-поисковых систем различного назначения, АСУ, САПР постоянно растет.

Основным направлением в разработке оптических читающих устройств является создание устройств для считывания машинописных и рукописных текстов и повышения точности считывания алфавитно-цифровой информации. Необходимо разработать оптическое читающее устройство для считывания машинописных знаков нескольких шрифтов пишущих машинок, алфавитно-цифровых печатающих устройств и рукописных нормализованных знаков со скоростью до 300 зн/с, а также для машинописных и рукописных знаков нескольких алфавитов.

Терминалы, терминальные комплексы и системы

Предоставление возможности пользователю взаимодействовать с ЭВМ непосредственно со своего рабочего места было реализовано с введением режима разделения времени. Системы ЕС7906, ЕС7920 позволили удалить экранный пульт на 1200 м от ЭВМ, обеспечили ввод, оперативное отображение информации и ее редактирование. Однако отсутствие интеллекта у терминалов, входивших в состав ЕС7906, ЕС7920, требовало для выполнения редактирования ресурсов центральной ЭВМ. То же можно сказать и о графической системе ЕС7905. Четыре графических дисплея ЕС7065 могут быть удалены от группового устройства управления на 500 м, однако для минимального изменения изображения необходимо обратиться к ЭВМ. В связи со сложностью организации мультипроцессорной обработки множества графических задач на центральной ЭВМ по запросам различных пользователей и ограниченными ресурсами ЭВМ до настоящего времени в САПР практически не используются возможности одновременной работы системы ЕС7905 с четырьмя экранными пультами, так же как и возможности ЕС7920 подключать до 32 терминальных пультов через групповое устройство к ЭВМ.

Первой отечественной серийной терминальной системой, в которой благодаря применению микропроцессоров расширены автономные функции, является система ЕС7970. Наличие многофункционального терминала ТС7063.01 предоставляет широкие возможности для автономного выполнения стандартных процедур редактирования данных, программное обеспечение реализации которых записано в ПЗУ, а также возможность работы по загружаемым программам пользователя. Возможен обмен информацией между терминалами без участия ЭВМ и между ЭВМ и терминалами.

В настоящее время разработан терминал ТС7063.02 с оперативным запоминающим устройством (ОЗУ) емкостью до 64 Кбайт и возможностью подключения накопителя на гибких магнитных дисках (НГМД) и матричного печатающего устройства типа ТС7180.

Для автоматизации труда административно-управленческого персонала разработана терминальная система ЕС7990. Она обеспечивает подключение через двухканальное групповое устройство управления к двум ЭВМ до 32 терминальных станций (комплексов) ЕС7991, включающих АЦД, микропроцессорный блок управления, НГМД и печатающее устройство.

Дальнейшее развитие терминалов и терминальных станций для систем автоматизации «конторского» труда будет ориентировано на непрофессионального пользователя, дальнейшее расширение функциональных возможностей за счет применения 16-разрядного микропроцессора, увеличения емкости ОЗУ до 256 Кбайт, введения накопителя на жестких магнитных дисках типа «Винчестер» емкостью 10..20 Мбайт, введения возможности отображения графической информации, применения устройств ввода-вывода речи.

Терминалы и терминальные станции должны иметь средства включения их в локальную сеть предприятия. Основным типом внешних запоминающих устройств (ВЗУ) для терминалов и терминальных станций стали накопители на гибких магнитных дисках (НГМД). Их преимущества — небольшие размеры, произвольный доступ к информации и возможность

взаимозаменяемости малогабаритных носителей. В настоящее время наибольшее применение получают накопители на гибких магнитных дисках диаметром 133 мм и емкостью 1 Мбайт, в перспективе диаметр гибкого диска будет уменьшен до 89 мм. Для терминальных станций, предназначенных в основном для автономной работы, для персональных ЭВМ в качестве ВЗУ наряду с НГМД используются малогабаритные накопители на дисках типа «Винчестер» с емкостью от 10 до 60 Мбайт. Создание ряда НМД типа «Винчестер» для терминального оборудования является одной из сложных, но крайне важных работ.

Большое развитие в ближайшее время получают автоматизированные рабочие места (АРМ). На смену универсальным автоматизированным рабочим местам первого и второго поколения (АРМ-Р АРМ-М, АРМ-2-01) в СССР начато создание проблемно-ориентированных рабочих мест (терминальных станций) на базе микропроцессорной техники, завершена разработка рабочего места схемотехника ЕС7944, пункта подготовки информации (рабочее место разработчика фотошаблонов) ЕС9059, пункта выпуска схемной документации ЕС7055.01 (ПВД2.01), пункта выпуска конструкторской документации ЕС7055.02 (ПВД2.02). Пункты выпуска документации ЕС7055.01 и ЕС7055.02 включают микропроцессорный блок управления, графопостроители—рулонный для ЕС7055.01 и планшетный для ЕС7055.02, малогабаритный НМЛ АП5600, НМГД ТС5076 и терминал дисплейный ТС7063.01. Применение микропроцессорного управления позволило создать устройство, работающее от магнитных лент, подготовленных в составе ЕС ЭВМ, СМ ЭВМ и АРМ.

На базе технических средств ЕС7055 путем замены графопостроителя на устройство микрофильмирования создан пункт вывода данных ЕС7603, который позволяет выводить графическую и алфавитно-цифровую информацию на рулонный микрофильм шириной 16; 35; 105 мм со скоростью $200 \cdot 10^3$ точек в секунду с разрешением 50 линий/мм.

Для САПР должны быть разработаны:

базовые компоненты рабочих мест — микропроцессорные блоки управления, накопители на магнитных носителях, графические и алфавитно-цифровые дисплеи, устройства ввода-вывода графической информации;

рабочие места малой, средней и высокой производительности, ориентированные на различные классы задач, включая базовое и проблемно-ориентированное программное обеспечение;

проблемно-ориентированные терминальные системы проектирования с локальными базами данных;

аппаратурно-программные средства и методическое обеспечение построения локальной сети предприятия на базе рабочих мест и терминальных систем проектирования.

В качестве основы построения АРМ малой и средней производительности будут использоваться персональные профессиональные ЭВМ.

Заключение

Основными направлениями работ по дальнейшему развитию периферийного и терминального оборудования являются:

1. Совершенствование известных, создание новых принципов и методов построения и применения периферийного и терминального оборудования в первую очередь для обеспечения децентрализованной обработки данных на базе локальных сетей. Переход от создания и использования одиночных устройств ввода-вывода к разработке и применению подсистем ввода-вывода, проблемно-ориентированных комплексов, автоматизированных рабочих мест. Создание нового класса малогабаритных периферийных устройств, ориентированных на применение в составе терминалов, рабочих мест, персональных ЭВМ.

2. Создание разнообразных средств взаимодействия человека с ЭВМ с помощью текста, речи и графики на подмножестве естественного языка. Расширение применения устройств непосредственного ввода данных с первичных источников информации — устройств ввода речи, оптических читающих устройств, автоматических устройств ввода графических данных.

3. Улучшение их параметров, повышение надежности, производительности, расширение функциональных возможностей, улучшение экономических и эргономических характеристик периферийных и терминальных устройств за счет более прогрессивных конструктивных и

технологических решений, максимального упрощения и замены электромеханических узлов электронными, более широкого применения микропроцессорных и заказных БИС и СБИС, перспективных комплектующих изделий, новых конструкционных материалов.

4. Обеспечение кодовой, интерфейсной и конструктивной совместимости блоков, механизмов, отдельных устройств и комплексов периферийного и терминального оборудования ЭВМ различных классов (ЕС ЭВМ, СМ ЭВМ и др.) для использования в нем единой номенклатуры одноплатных микроЭВМ, контроллеров, ЗУ, источников питания, встраиваемых ВЗУ, устройств отображения, клавиатур, применения единой номенклатуры сервисного оборудования при серийном производстве и эксплуатации.

УДК 681.39

Г. Г. РЯБОВ, Г. Л. ЛАКШИН, В. Н. КОНОПКИН, Ю. С. КОРОТАЕВ

СИСТЕМА ЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ ВЫСОКОПРОИЗВОДИТЕЛЬНЫХ ВЫЧИСЛИТЕЛЬНЫХ КОМПЛЕКСОВ

Разработка нового высокопроизводительного вычислительного комплекса (ВК) сегодня немислима без мощной системы автоматизированного проектирования (САПР). Сложность решаемых САПР задач постоянно растет, и сами САПР непрерывно развиваются и усложняются вместе с развитием элементной базы и технологии. Особенно явно эта тенденция проявляется при создании предельных по своим возможностям ВК.

Выделяют два основных этапа проектирования: функционально-логический и конструктивно-технологический. Нужно отметить, что переход к новым конструктивно-технологическим решениям вызывает значительные изменения в программном обеспечении. Проведение их может занимать от нескольких месяцев до года и более. Так, переход к элементам наносекундного диапазона потребовал изменения алгоритмов трассировки (по правилу последовательного обхода с ограничением на длину отвода [1]), разработки новых алгоритмов размещения, учитывающих критические цепи, программ назначения согласующих резисторов.

Практическая независимость этапов проектирования является предпосылкой создания универсальной системы логического проектирования. Построение комплексной САПР на базе такой системы позволяет значительно сократить сроки ее проектирования.

Цель логического проектирования — создание логических схем устройств ВК в терминах логических элементов. Такое описание является исходным для конструктивно-технологического проектирования. Генерация логических схем из функционального описания — логический синтез — в настоящее время применяется лишь для небольших цифровых устройств. Возможно, с переходом к изготовлению ЭВМ, состоящих целиком из БИС и СБИС, логический синтез будет широко использоваться и для ВК.

Сложность автоматического перехода от функционального описания к логическим схемам и жесткие сроки разработок требуют применения описания логики проекта. При этом единственным средством проверки правильности такого описания является моделирование. Поэтому моделирование занимает центральное место в системах логического проектирования и возможности моделирования определяют эффективность подобных систем. Можно сформулировать требования к универсальным системам логического проектирования.

1. Наличие средств описания логических схем, возможность редактирования описаний, синтаксического контроля правильности описаний.

2. Верификация логики проекта. Максимально возможный для инструментальной ЭВМ объем моделируемых схем при максимальной скорости моделирования. Наличие средств отладки схем, оперативного поиска ошибок. Возможность интерактивного режима работы.

3. Быстрая настройка на новую элементную базу.

4. Поддержка различных методов проектирования (нисходящее и восходящее проектирование).

5. Ведение единого логического архива проекта.

6. Выдача всей необходимой для системы конструктивно-технологического проектирования информации.

Исходя из этих требований была разработана система логического проектирования ПУЛЬС [2], реализованная на ЭВМ БЭСМ-6. Ниже приводится краткое описание системы, излагаются ее языковые средства и принципиальные возможности, в ряде случаев затрагиваются вопросы реализации.

Система ПУЛЬС предназначена для автоматизированного логического проектирования устройств и логических схем на элементах третьего и четвертого поколений и может служить подсистемой логического проектирования комплексной САПР. Система ориентирована на проектирование заказных БИС и устройств на них.

Проектируемые схемы представляются в системе объектами, в качестве которых могут выступать устройства, панели, ячейки, микросборки, БИС, функциональные узлы и т. п. Таким образом, система может быть ориентирована как на конструктивную, так и на функциональную иерархию проекта. Описание объектов выполняется на специально разработанном входном языке формульного типа, основными особенностями которого являются компактность (за счет широкого использования индексации) и универсальность (единообразное описание объектов различных уровней иерархии).

Если объект системы определяется как устройство, то система может сформировать его модель. Максимальный объем устройства оценивается примерно в сотню тысяч вентилях или несколько десятков тысяч интегральных микросхем средней степени интеграции (СИС). В системе реализовано событийное моделирование в трехзначной логике (0,1, X—неопределенное состояние) с учетом номинальных задержек базовых элементов. Непосредственным результатом моделирования является потактовая временная диаграмма, на которую автоматически выводятся выходные и входные сигналы устройства. Перечень выводимых на диаграмму сигналов можно изменять и дополнять внутренними сигналами устройства и составляющих его объектов. Перед моделированием задаются входные воздействия в виде теста или указывается заранее составленный тест.

Для описания функциональных тестов в системе имеется простой язык, позволяющий описывать входные воздействия в произвольные моменты модельного времени. В языке предусмотрены специальные средства для задания периодических воздействий, что значительно облегчает описание синхронизации устройств. Текстовые описания тестов на этом языке хранятся в библиотеке тестов, и пользователь системы может их редактировать, распечатывать, создавать версии и т. п.

Наличие стандартного интерфейса для конструктивно-технологического проектирования определяет средства включения системы ПУЛЬС в комплексную САПР.

Описание объектов

Описание объектов производится на входном языке, к которому предъявляются следующие требования.

1. Ориентация языка на разработчика логических схем — язык должен сохранять определенную преемственность с существующими способами описания (в частности, с графическим как с наиболее распространенным), так как переход достаточно большого числа разработчиков, привыкших к одному способу описания, на другой, совершенно непреемственный с первым, нереален.

2. Входной язык САПР не должен отличаться от входного языка системы моделирования, так как двойное описание таких крупных систем, как современные высокопроизводительные ВК, очень трудоемко, а установление идентичности двух различных описаний — сложная и не всегда формализуемая задача.

3. Входной язык должен отражать как функциональную, так и конструктивную иерархическую структуру ВК.

4. Проект должен быть описан на входном языке достаточно компактно, поскольку количество ошибок в проекте увеличивается быстрее объема вводимых описаний.

Объекты описываются в именах сигналов. Имя сигнала — произвольный набор букв, цифр, а также символов «—», «/». Для обозначения нулевого и единичного уровней сигналов зарезервированы имена 0 и 1 соответственно. Имя, начинающееся с «_____» (пустое имя), означает отсутствие сигнала.

Описание каждого объекта состоит из заголовка и схемы (описание базового элемента — только из заголовка). В заголовке определяются входные и выходные сигналы объекта и форма обращения к нему. В описании схемы перечисляются объекты и базовые элементы (в соответствии с их заголовками), из которых состоит описываемый объект. Такая запись аналогична обращению к процедурам в языках программирования, поэтому в дальнейшем при описании объекта будет применяться термин «обращение». Рекурсивное обращение к объектам не допускается.

Имена сигналов в *заголовке* объекта имеют локальный характер и распространяются лишь на его описание. При обращении к объекту указываются имена реальных сигналов, подаваемых на данную схему, согласование сигналов схемы осуществляется по именам. Компактность описания достигается широким применением индексации сигналов. Во входном языке допускается как внутренняя (в рамках одного обращения), так и внешняя (обращение к объекту или базовому элементу) индексация.

В общем случае заголовок задает вектор-функцию вектор-аргумента и имеет вид

$$\langle \text{изображение выходов} \rangle = \langle \text{изображение входов} \rangle$$

При этом изображение выходов представляет собой обобщенный список выходов — список имен выходов, в котором часть выходов, взятых в именованные квадратные скобки, образует группу, а изображение входов — либо логическое выражение, либо вновь обобщенный список. Вложенность квадратных скобок в обобщенных списках не ограничивается. Заголовок базового элемента может содержать также указания о внутренней памяти элемента.

Имена групп являются дополнительными смысловыми разделителями между именами сигналов и позволяют избежать определенных семантических ошибок в обращениях. Вид заголовка, имена групп и т.д. выбирает сам разработчик.

Описание *схемы* состоит из предложений, располагаемых в произвольном порядке. Предложение описывает обращение к одному (или нескольким однотипным) объекту. Предложения бывают простые и индексированные.

Простое предложение имеет вид

$$\langle \text{левая часть} \rangle = \langle \text{правая часть} \rangle; \langle \langle \text{указатель реализации} \rangle \rangle.$$

При этом левая часть должна соответствовать изображению выходов, а правая часть — изображению входов объекта. При установлении соответствия соблюдаются правила умолчания, согласно которым опускаются: правые пустые сомножители, правые пустые слагаемые, правые пустые части списков, группы пустых имен.

Примем следующее соглашение: буквы выражают мнемоническую (смысловую) часть имени сигнала, а цифры — его индексную часть. Для компактности описания и большей его информативности перечисление сигналов группы может быть заменено индексированным именем, в котором на месте изменяемых цифр записывается в символах «:» список значений индекса (внутренняя или регистровая индексация).

Для описания регулярных частей схемы вводится внешняя индексация, что позволяет мультиплексировать индексированное предложение на прямом произведении списков значений всех его индексов. Допускается использование регистровой индексации внутри внешней. В именах сигналов индексированного предложения разрешается писать линейные выражения от индексных переменных. При мультиплексировании эти выражения заменяются своими значениями.

Индексированное предложение имеет вид

$$\langle \text{левая часть} \rangle = \langle \text{правая часть} \rangle; \langle \text{индекс } 1 \rangle = \langle \text{список значений индекса} \rangle; \dots; \langle \text{индекс } K \rangle = \langle \text{список значений индекса} \rangle; \langle \langle \text{указатель реализации} \rangle \rangle.$$

При трансляции с входного языка проводится контроль синтаксической правильности, определенности и непротиворечивости описаний. Это означает, что все обращения должны

быть синтаксически верны, а каждое имя сигнала должно встретиться только один раз в левой части какого-либо предложения или во входных сигналах объекта (исключением являются выходы элементов, объединенных общей шиной).

Для согласования частей схемы по интерфейсам, перехода от двумерных массивов к одномерным и удобства индексации в язык вводится понятие эквивалентности сигналов. Эквивалентность позволяет давать одному сигналу несколько имен. Эквивалентность имен пустому имени позволяет регуляризовать описание «неполных» матриц, встречающихся в устройствах умножения и деления. Она записывается как обращение к объекту с именем «=», содержащему 100 выходов и 100 входов с соблюдением правил умолчания. Порядок предложений эквивалентности в отличие от порядка остальных предложений существен. Имена из левой части предложений эквивалентности не должны встречаться в предыдущих предложениях (включая заголовки).

Инструментальный язык

Инструментальный язык является средством описания функционирования элементов, объявленных базовыми, в рамках выбранной системы моделирования.

Рассмотрим произвольный дискретный элемент, имеющий n входов, $\mathbf{X} = (X_1, \dots, X_n)$ и m выходов $\mathbf{Y} = (Y_1, \dots, Y_m)$. Пусть этот элемент имеет конечную память $\mathbf{M} = (M_1, \dots, M_l)$. Размерность памяти l определяется внутренней структурой элемента, числом обратных связей внутри него и числом путей различной длины от его входов до выходов. Обозначим $\mathbf{S} = (\mathbf{Y}, \mathbf{M})$ или

$$S_i = \begin{cases} Y_i, & i = 1, \dots, m, \\ M_{i-m}, & i = m + 1, \dots, m + l. \end{cases}$$

Тогда следующее состояние элемента $S^{(k+1)}$ есть функция текущего состояния $S^{(k)}$ и текущего значения его входов $\mathbf{X}^{(k)}$:

$$S^{(k+1)} = F(\mathbf{X}^{(k)}, S^{(k)}), \quad (1)$$

или по компонентам

$$S_i^{(k+1)} = F_i(X_1^{(k)}, \dots, X_n^{(k)}, S_1^{(k)}, \dots, S_{m+l}^{(k)}).$$

Добавим к этому уравнению систему временных соотношений

$$\Delta t_i = T_i(X_1^{(k)}, \dots, X_n^{(k)}, S_i^{(k)}, \dots, S_{m+l}^{(k)})$$

выражающих задержку в появлении значений $S_i^{(k+1)}$ относительно текущего момента времени.

Уравнение (1) можно рассматривать как множество информационных путей

$$(X, S) \rightarrow S, (X, Y, M) \rightarrow Y, (X, Y, M) \rightarrow M \quad (2)$$

Так, задача описания модели базового элемента сводится к задаче описания преобразования информации в информационных путях вида (2) и указания задержек в них.

Простейшим способом построения такой модели является табличный. Для этого необходима таблица с индексом, пробегающим значения A^{n+m+l} , причем элементы таблицы принимают $A^{m+l}T^{m+l}$ значений, где A — число символов в алфавите моделирования; T — максимальная задержка в интервалах дискретизации. Так, при $A = 2$, $T = 1$ получим, что необходимо $(m + l) 2^{n+m+l}$ бит информации на элемент. Этот способ оказывается непригодным при числе входов и внутренних состояний порядка 15, т. е. для элементов СИС и тем более для БИС, арифметическо-логических устройств (АЛУ) и т. п. с числом входов и внутренних состояний 30 и более. Естественным расширением табличного задания является введение логических и арифметических операций над переменными $(X_1, \dots, X_n; Y_1, \dots, Y_m; M_1, \dots, M_l)$, оператора цикла условного перехода, т. е. придание описанию моделей элементов особенностей языка программирования. В дальнейшем модель элемента будем называть программой его функционирования.

Наличие в языке альтернативных операций придает ему свойства событийных языков. В самом деле, конструкция

если _ не условие _ то выход

_ждать _условие.

Языки, ориентированные на события и процессы, обычно используют при описании ВК на достаточно высоком уровне. Целью описания является оценка основных характеристик по пропускной способности различных частей проектируемого ВК, а не правильности его работы. Описание на этих языках элементов СИС и БИС обычно не требует применения всех средств такого языка. К тому же ориентация на разработанную систему моделирования сразу же снимает вопрос о передаче событий с одного элемента на другой. Таким образом, каждый элемент «узнает» об изменении своих входов извне. Остается только сообщить себе об изменении выходов и внутренних состояний. Подобная ситуация возникает, например, для элемента, работающего по правилу: через два такта после прихода синхросигнала считать входную информацию.

Итак, программы функционирования могут быть написаны на любом алгоритмическом языке (Фортран, Алгол, Паскаль и др.), связь языка с системой моделирования должна осуществляться посредством обращения для каждого типа переменных (входы, выходы, память, задержка и т. п.) к соответствующим процедурам чтения-записи, при этом контроль за корректностью соответствия ведет в основном программист (частично такой контроль может быть возложен на транслятор, например, в языке Паскаль). В проекте STAR-100A программы функционирования БИС составлялись высококвалифицированными программистами на Фортране [3]. Главный недостаток этого подхода состоит в том, что написание программы функционирования любого, даже достаточно простого элемента становится прерогативой программиста и, что самое главное, получившаяся программа становится непонятной пользователю системы (разработчику логических схем).

При реализации такого подхода на инструментальной ЭВМ БЭСМ-6 недостатком является необходимость хранения результатов трансляции (объектных модулей) в библиотеках программ, так как только они доступны загрузчику мониторной системы, что, во-первых, связывает систему с конкретной элементной базой и затрудняет переход к другой элементной базе, а во-вторых, сильно усложняет задачу управления загрузкой необходимых программ функционирования. В качестве альтернативы можно выдвинуть требование создания смещаемых программ функционирования и их хранения в архиве системы проектирования. Это позволяет отделить систему проектирования от конкретной элементной базы и значительно упростить загрузку таких программ в память, так как загрузка сводится к чтению и определению базового адреса, а вызов — к установке базы и переходу на программу, при этом в памяти присутствуют лишь необходимые программы. Однако смещаемые программы могут быть написаны только на автокоде, что неприемлемо для непрограммиста. Решением, позволяющим разработчику логики воспользоваться при написании программ преимуществом смещаемых программ, была разработка инструментального языка и транслятора с него в автокод.

При создании инструментального языка было выбрано определенное множество синтаксических конструкций, обладающих алгоритмической полнотой и позволяющих достаточно адекватно описывать функционирование любого элемента. Инструментальный язык — язык операторного типа. В него включаются операторы присваивания, ситуации, метки, условного и безусловного переходов, установки задержки. Основным оператором является оператор присваивания, который выполняет вычисление арифметико-логического выражения, стоящего в правой части оператора, преобразование его к типу выражения левой части с последующей записью этого значения. Для переменных языка выбрано несколько типов значений. Рабочие переменные принимают значение формата слова. Входы, выходы и внутренняя память могут быть проиндексированы через рабочие переменные, причем их значения являются двухразрядными. Векторы представляют собой сборку (или указание о сборке) компонентов, каждому из которых отводится в значении вектора один бит. Переход к векторам означает переход от трехзначной логики к двухзначной, однако он позволяет легко описывать операции сложения, умножения и т. п. Чтобы не было потери неопределенного состояния X , при создании вектора формируется признак его определенности. Для большинства элементов, работающих с групповыми входами, неопределенность одного из

компонентов группы эквивалентна неопределенности всей группы. В инструментальном языке предусмотрены операции чтения из постоянных запоминающих устройств (ПЗУ) и работа с памятью большой емкости.

Основными задачами транслятора с языка являются: получение объектного кода, совместимого с системой моделирования; скрытая от пользователя подстановка по типу идентификатора обращения к соответствующей функции чтения-записи; выполнение булевых операций в трехзначной логике; создание программ функционирования, зависящих только от типа элемента. В качестве средства программирования транслятора выбран макрогенератор STAGE-2 [4], имеющий следующие преимущества: резко сокращается объем транслятора и время его написания; появляется возможность достаточно легко вводить расширение языка; транслятором выполняются только текстовые преобразования, что снимает работу по созданию объектного кода. Появляется также возможность использования в тексте программ функционирования операций инструментальной ЭВМ.

Отладка программ функционирования ведется с помощью аппарата моделирования. Наряду с этим предусмотрена возможность установки отладочной печати и трансляции с прокруткой. Оттранслированная в таком режиме программа функционирования в процессе моделирования выдает пооператорный протокол своего исполнения с идентификацией элемента, которому она соответствует.

В настоящее время на инструментальном языке описано функционирование порядка 500 различных элементов, включая БИС и микропроцессоры.

Организация моделирования

Одна из основных задач разработки системы логического проектирования — создание комплекса средств, позволяющих оперативно находить и исправлять логические ошибки в проекте. Центральным аппаратом этого комплекса является моделирование. В процессе моделирования пользователь получает данные о реакции схемы на задаваемую им в тесте последовательность входных воздействий. Основным документом моделирования служит временная диаграмма, на которую по указанию пользователя выводятся значения наиболее характерных сигналов данной схемы. Однако временная диаграмма позволяет, как правило, лишь выявить наличие ошибки, что связано с невозможностью выдачи на диаграмму всех сигналов схемы. Более эффективен для поиска ошибок диалог пользователя с системой. При этом он имеет возможность получать информацию о проектируемой схеме в терминах входного языка, сопровождаемую реальными значениями сигналов на текущее модельное время.

Пользователь должен иметь возможность не только найти ошибки, но и исправить их и перейти к моделированию в том же сеансе, не прерывая диалога с системой. Таким образом, для повышения эффективности системы кроме скорости моделирования важную роль играет скорость пересоставления модели при исправлениях.

Ускорить составление модели позволяет независимая трансляция объектов — объект может быть оттранслирован во внутреннее представление, если известны заголовки всех объектов, к которым есть обращения в схеме данного объекта. Следовательно, при исправлении необходимо транслировать только тот объект, которого коснулось изменение. Вместе с тем при независимой трансляции требуется процедура сборки модулей трансляции с целью построения общей модели устройства. Чтобы сократить время сборки, большая часть модуля должна переписываться в собранную модель без изменения. Часть принятых решений обусловлена необходимостью экономии оперативной памяти инструментальной ЭВМ. При этом достигается плотность хранения информации, при которой модель ТЭЗа из 100 элементов СИС занимает примерно 1000 слов. Связь между простыми объектами в рамках объекта более высокого уровня осуществляется с помощью псевдоэлементов, размеры которых в процессе сборки модели не меняются, производится лишь замена указателей в этих псевдоэлементах. Это также упрощает и ускоряет сборку модели (размер ее может превышать размер оперативной памяти). Для организации диалога модуль трансляции любого объекта должен содержать список имен сигналов каждого объекта с указанием источника каждого имени (эти списки в сборке модели не участвуют).

Процесс моделирования каждого такта организован как упорядоченная по адресу на

внешнем устройстве обработка элементов и псевдоэлементов. В оперативной памяти выделяется резидент, содержащий все сигналы моделируемого устройства (по 3 бита на сигнал, в которых хранятся текущее и будущее значения сигнала), базовые адреса объектов, программы функционирования базовых элементов и управления моделированием. Остальная память динамически распределяется между списками событий и листами обмена с внешними устройствами. Механизм листования организован таким образом, что листы памяти, соответствующие объектам частой применяемости, отдаются под списки событий в самую последнюю очередь.

Модель может содержать произвольное количество ПЗУ, каждое емкостью до 200 Кбайт, и допускает работу с памятью емкостью до 100 Мбайт (с ограниченным числом различных адресов чтения-записи). Временная диаграмма и состояния объектов могут быть представлены как в трехзначном алфавите 0, 1, X, так и в расширенном алфавите с переходами 01, 10 и т. д. В системе используется событийное моделирование с учетом номинальных задержек в элементах и линиях связи.

Моделирование может осуществляться в двух режимах — динамическом и статическом. В первом случае очередные входные воздействия подаются в заданные по тесту моменты модельного времени, во втором — после установки схемы. Важным средством отладки модели и сокращения времени моделирования является аппарат меток. При создании метки производится фиксация состояния схемы (в динамическом случае — и списков событий). Возврат на метку позволяет организовать детальный просмотр зафиксированного состояния схемы и продолжить моделирование с этого состояния. Предельный объем моделируемой схемы 20...30 тыс. элементов средней интеграции. Скорость моделирования при этом 500...1000 событий в секунду.

Уровни описания проекта

Для описания логики проекта в системе ПУЛЬС используются элементы четырех типов: базовые элементы, базовые макроэлементы, объекты и макроопределения. Каждый из этих элементов характеризуется формой обращения (шаблоном), логической структурой, признаком раскрытия логической структуры и описанием функционирования (функция срабатывания):

Тип элемента	Шаблон	Логическая структура	Признак раскрытия структуры	Функция срабатывания
1. Базовый	Есть	Нет	Нет	Есть
2. Базовый макро	»	Есть	Есть	»
3. Объект	»	»	Нет	Нет
4. Макроопределение	»	»	Есть	»

Элементы первого и третьего типа уже встречались при описании входного и инструментального языков.

Базовые элементы составляют элементную базу, на которой ведется проектирование. Поэтому они характеризуются только формой обращения (шаблоном) и функцией срабатывания на инструментальном языке.

Объекты служат для описания логических схем проекта и содержат форму обращения (заголовок) и описание логической структуры на входном языке. Отметим, что после трансляции заголовка объекта преобразуется в шаблон (формальный заголовок), имеющий ту же структуру, что и шаблон базового элемента. Дальнейшее использование объекта в описании логической схемы не отличается от использования базового элемента.

Рассмотрим два ранее не встречавшихся типа элементов.

Макроопределением может быть объявлен любой объект, т. е. оно имеет такие же заголовок и логическую структуру. В схеме макроопределения могут быть обращения к другим макроопределениям и базовым элементам (рекурсия не допускается). При обращении к макроопределению производится замена формальных параметров заголовка фактическими, после чего макроопределение раскрывается до самого нижнего уровня — уровня базовых элементов. Макроопределение используют при переходе от логического этапа к

конструктивному.

Базовый макроэлемент совмещает свойства базового элемента и объекта. Шаблон и функция срабатывания аналогичны соответствующим характеристикам базовых элементов, а логическая структура аналогична структуре объекта. В соответствии с такой структурой базовый макроэлемент выполняет две функции: при моделировании он выступает как базовый элемент; при переходе к раскрытию логической структуры (конструктивно-технологический этап) как макроопределение. Базовые макроэлементы широко используют при проектировании БИС на уровне компонентов. В этом случае из компонентов создаются библиотечные логические элементы и логика БИС описывается в терминах этих элементов. При переходе к конструктивно-технологическому этапу проектирования раскрывается внутренняя структура базовых макроэлементов вплоть до компонентов.

Так как характеристики всех типов элементов одинаковые, то в любой момент проектирования можно изменить уровень модели. Например, если для объекта (логической схемы), написать функцию срабатывания, то он переходит в разряд базовых элементов и уровень модели повышается, и, наоборот, если для базового элемента написать логическую схему (из других базовых элементов), реализующую его функционирование, тем самым в системе образуется объект и уровень модели понижается. Используя такую смену уровней модели, можно реализовать практически любую методику проектирования: снизу вверх, сверху вниз и т. д.

Несомненный интерес представляет сравнение функционирования двух описаний одного и того же объекта: поведенческого, когда схема описана базовым элементом, и схемного, когда логика схемы описана на входном языке. Поскольку эти два описания характеризуют одну схему с разных сторон, то совпадение их функционирования повышает достоверность проектирования.

Еще одной интересной возможностью системы ПУЛЬС является использование принципа неполной трансляции, при этом описываются лишь заголовки объектов. Такой подход позволяет эффективно распараллелить проектирование и решить интерфейсные проблемы на самом раннем этапе.

Повышение уровня модели ускоряет моделирование и увеличивает предельно допустимый для системы объем моделируемых схем. Так, на вентиляльном уровне можно моделировать схемы объемом в 60...80 тыс. элементов, на уровне СИС—20...30 тыс., на уровне БИС — 5...10 тыс., что соответствует 1 млн. эквивалентных вентиляей.

Организация проектирования

Исходя из опыта эксплуатации системы СЛЭМ [5] при создании ВК был разработан язык управления работами, ориентированный на использование разработчиками логики проекта, который позволяет осуществлять:

- ввод и редактирование описаний логических схем на входном языке, трансляцию описаний;
- ввод и редактирование тестов, создание библиотеки тестов;
- ввод и редактирование временных диаграмм, создание библиотеки диаграмм;
- управление моделированием;
- поиск неисправностей, просмотр состояний схем, простановку меток;
- работу с архивами: перенос информации из других архивов, дублирование архивов;
- подготовку информации для передачи в подсистемы конструктивно-технологического проектирования и синтеза тестов;
- расширение библиотеки базовых элементов, функциональное описание объектов, редактирование и отладку описаний.

Оператор языка представляет собой условное название работы с возможным указанием объекта, к которому применяется данная работа, и параметров. Работа с системой может выполняться в двух режимах: пакетном и интерактивном; можно совместить оба режима в одном сеансе.

Ориентация системы ПУЛЬС на различные проекты и методы организации проектирования не позволила жестко регламентировать ведение общего архива проектов. Поэтому работа

коллектива разработчиков осуществляется на множестве личных архивов с переносом спроектированных объектов в общий архив. Каждый сеанс работы в системе ПУЛЬС происходит с одним личным архивом. Возможность расширения информации за счет дозаказа общего архива (только по чтению) обуславливает единство проектирования.

Система ПУЛЬС обладает развитыми средствами работы с архивами и обеспечивает высокую надежность хранения информации для накопления описания логики проекта в едином общем архиве разработки.

Координация работы коллектива разработчиков осуществляется администратором системы ПУЛЬС, в функции которого входит: определение списка пользователей системы; разметка архивов; обеспечение работоспособности системы.

Опыт эксплуатации

Система ПУЛЬС эксплуатируется в течение семи лет. За это время накоплен большой опыт по верификации логики различных проектов. Значительно расширился каталог базовых элементов и программ их функционирования (до 500 элементов). В процессе эксплуатации системы была собрана статистика. Анализ средних значений данных, полученных за год, в периоды интенсивной работы: позволяет сделать вывод о необходимости значительных

Количество пользователей	80
Общее число сеансов	20 000
Число интерактивных сеансов	14 000
Астрономическое время, ч	6000
Процессорное время, ч	600

вычислительных ресурсов и развитой терминальной сети для осуществления логической верификации проекта.

Можно отметить различные методы использования системы логического проектирования ПУЛЬС в комплексных САПР. Наиболее типичным является ее применение как подсистемы в многомашинной комплексной САПР или комплексной САПР в рамках той же инструментальной ЭВМ. Самым эффективным следует считать использование системы ПУЛЬС в качестве базовой для построения комплексной САПР. Примером такого использования может служить комплексная САПР матричных БИС КОМПАС-82, позволяющая ускорить настройку ее на новые конструктивно-технологические решения и значительно повысить оперативность перехода между различными этапами проектирования.

В заключение можно отметить, что опыт эксплуатации системы логического проектирования ПУЛЬС подтвердил правильность принципов ее организации.

СПИСОК ЛИТЕРАТУРЫ

1. **Рябов Г. Г., Коростелева Л. А.** Особенности трассировки элементов наносекундного диапазона // Автоматизированное техническое проектирование цифровых устройств: Труды конф. Каунас, 1976.
2. **Рябов Г. Г., Лакшин Г. Л., Конопкин В. Н., Капишевская А. П.** Принципы построения системы ПУЛЬС//Электронная техника. Сер. 10.— 1982.— Вып. 5.— С. 37—39.
3. **Krohn H. E.** Design Verification of Large Scientific Computers// Proc. CAD Conf.— 1977.— P. 354—361.
4. **Waite W. M.** The Programming System STAGE2//CACM.— 1970. — Vol. 13, №7.— P. 415—421,
5. **Рябов Г. Г., Лакшин Г. Л.** Логическое моделирование в КАСПИ-ЭВМ// Машинное моделирование/МДНТП — М., 1980.— С. 62—66.

УДК 681.3

Ю. П. СЕЛИВАНОВ

НОВЫЕ ТЕХНИЧЕСКИЕ СРЕДСТВА ЕС И СМ ЭВМ

Начато серийное производство ряда новых вычислительных машин и периферийных устройств. Ниже описаны наиболее интересные с точки зрения пользователей технические

средства.

Новым модели ЕС ЭВМ

Разработка новых моделей ЕС ЭВМ была направлена на дальнейшее развитие функциональных характеристик ЭВМ с полной реализацией принципов работы ЕС ЭВМ-3, улучшение технико-экономических характеристик и расширение средств, облегчающих эксплуатацию и обслуживание ЭВМ у пользователя. При этом учитывалась возможность перевода в будущем на новую элементную и конструктивно-технологическую базу с широким использованием БИС. Благодаря применению БИС удалось улучшить габаритные характеристики центральной части ЭВМ при увеличении минимальной емкости основной оперативной памяти.

ЭВМ ЕС1036 является развитием машин ЕС1020 — ЕС1022 — ЕС1035. Процессор ЭВМ ЕС1036 по сравнению с процессором ЭВМ ЕС1035 имеет некоторые особенности, обеспечивающие более высокую производительность и другие дополнительные возможности: буферная память емкостью 16 Кбайт; асинхронная связь центрального процессора с основной оперативной памятью; блок связи с дополнительными средствами; разбитая система восстановления вычислительного процесса; расширенная система динамического микропрограммирования, включающая удвоенную по емкости в сравнении с ЭВМ ЕС1035 перезагруженную память микропрограмм (управляющую память); средства повышения эффективности отладки, включающие стековую память адресов команд и микрокоманд, и средства регистрации программных событий.

ЭВМ ЕС1036 поставляется в нескольких конфигурациях. Во всех центральная часть ЭВМ одинакова — включает процессор и пульт оператора, размещается в двух стандартных стойках. Процессор состоит из центрального процессора с каналами ввода-вывода, основной оперативной памяти и устройства электропитания. В состав пульта входят: устройство управления с накопителем, устройства отображения и печати. В качестве последних двух устройств используются дисплей и печатающее устройство комплекса ЕС7920.

Состав периферийных устройств различен в разных исполнениях и может включать НМД ЕС5066М или ЕС5067, НМЛ ЕС5017.03 или ЕС5025.03, устройство ввода ПФК ЕС6015, устройство вывода ПФК ЕС7018, дисплейный комплекс ЕС7920.01, устройства подготовки данных ЕС9004 и ЕС9080.

Основные характеристики

Производительность, тыс. оп./с	400
Емкость оперативной памяти, Мбайт.....	2 ... 4
Общая пропускная способность каналов ввода-вывода, Мбайт/с	4,5
Число каналов:	
блок-мультиплексных	4
байт-мультиплексных	1
Пропускная способность каналов, Мбайт/с:	
блок-мультиплексных	1,5
байт-мультиплексных	0,05
Потребляемая мощность, кВт·А	не более 50
Масса, кг	6800... 13 300
Занимаемая площадь, м ²	60 ... 100

ЭВМ ЕС1046 является развитием ЕС1030—ЕС1033 — ЕС1045. Процессор ЕС1046, спроектированный с учетом опыта эксплуатации процессора ЭВМ ЕС1045, имеет дополнительные блоки, позволяющие повысить производительность: акселератор арифметических команд с включением операции деления; ускоритель логических команд; блок специального интерфейса для подключения матричного процессора; буферную память удвоенной емкости; полностью перезагружаемую управляющую память.

В качестве основной оперативной памяти использованы устройства ЕС3269 емкостью 4 Мбайт или ЕС3269.01 емкостью 8 Мбайт, построенные на БИС ЗУ емкостью 16 Кбит/корпус.

В ЭВМ ЕС1046 шесть каналов, из которых два блок-мультиплексных имеют двухбайтовый

интерфейс, что позволяет повысить пропускную способность, например, при организации межмашинного обмена.

Все функции связи с оператором и технического обслуживания сосредоточены в сервисном процессоре, связанном с процессором через специальный интерфейс. Конструктивно сервисный процессор выполнен в виде тумбы, которая может быть удалена от процессора ЭВМ на расстояние до 60 м. В состав пульта входит накопитель МЛ-45 для хранения управляющих данных, загружаемых в управляющую память процессора, дисплей ЕС7927.01, на экран которого могут быть выведены 38 индикационных и управляющих кадров, адаптер для подключения модема в случае организации дистанционного контроля и диагностики. Перезагрузка управляющей памяти осуществляется с накопителя пульта с помощью специальной программы в диалоговом режиме. Переменная часть управляющей памяти процессора имеет 8 вариантов в зависимости от характера решаемых задач, а также микропрограммные поддержки функций операционной системы, позволяющие значительно повысить комплексную производительность вычислительного устройства.

Система контроля и диагностики ЭВМ ЕС1046 обеспечивает возможность обнаружения 99 % неисправностей с точностью локализации до 2—3 ТЭЗ. Проверка всех узлов ЭВМ осуществляется за 4... 5 мин. Возможно функционирование ЭВМ с некоторой деградацией характеристик за счет автоматического отключения блоков буферной памяти и акселераторов, в которых обнаружены неисправности. Сервисный процессор позволяет постоянно следить за исправностью системы вторичного электропитания и охлаждения и имеет в своем составе интегрированный автотестер для проверки логических ТЭЗ и ТЭЗ памяти.

ЭВМ ЕС1046 поставляется в 11 типовых конфигурациях: пять с внешними устройствами (ЕС1046.01 — ЕС1046.05) и шесть без внешних устройств. Модификации ЕС1046.01 и ЕС1046.02 предназначены для создания двухпроцессорных комплексов, а ЕС1046.03 и ЕС1046.04 — двухмашинных. В состав всех вариантов включены по три адаптера канал — канал. Имеются конфигурации, включающие матричный процессор и устройства машинной графики. Центральная часть ЭВМ выполнена в двух стандартных стойках. Матричный процессор размещается в отдельной стойке.

Основные характеристики

Производительность, тыс. оп./с	1300
Емкость оперативной памяти, Мбайт.....	4... 8
Общая пропускная способность каналов ввода-вывода, Мбайт/с.....	10
Количество каналов:	
блок-мультиплексных	4
байт-мультиплексных	2
Пропускная способность каналов, Мбайт/с:	
блок-мультиплексных	1,5 и более 3
байт-мультиплексных	0,1
Потребляемая мощность, кВт·А	не более 42
Занимаемая площадь, м ²	до 100

ЭВМ ЕС1066 является самой высокопроизводительной из серийно выпускаемых ЭВМ Единой системы и имеет самое лучшее соотношение стоимость—производительность.

Центральная часть ЭВМ включает процессор с устройством оперативной памяти, процессор ввода-вывода и пульт управления.

Процессор имеет сложную структуру, обеспечивающую высокий уровень совмещения процесса обработки команд. В результате короткие операции выполняются за один такт в 80 нс, что обеспечивает предельное быстродействие в 12,5 млн. оп./с. Емкость управляющей перезагружаемой памяти 128 Кбайт. Образование в процессоре трех потоков команд ускоряет обработку команд переходов. Оперативная память, входящая в состав процессора, имеет емкость 8 Мбайт при использовании БИС ЗУ 16 Кбит/корпус и 16 Мбайт при использовании БИС ЗУ 64 Кбит/корпус. В памяти использовано восьмикратное чередование адресов и буферная память емкостью 64 Кбайт.

Значительное улучшение управления вводом-выводом достигнуто благодаря введению в ЭВМ специального процессора ввода-вывода, состоящего из двух независимых процессоров со

своими группами каналов. В каждой группе каналов содержится байт-мультиплексный канал и пять блок-мультиплексных, из которых два имеют двухбайтовый интерфейс.

Все процедуры управления, контроля и диагностики ЭВМ осуществляются с пульта управления, в состав которого входят два сервисных процессора, два дисплейных устройства типа ЕС7927 и печатающее устройство ЕС7934. В качестве внешней памяти пульта используется накопитель на магнитных дисках типа ЕС5080, входящий в состав ЭВМ. Пульт имеет собственную операционную систему и подключается к процессору ЭВМ через специальный интерфейс. Наличие мощного пульта позволяет иметь развитую систему динамической микродиагностики, а также автоматически управлять конфигурацией и ресурсами вычислительного устройства.

ЭВМ ЕС1066 поставляется пользователю в двух исполнениях (ЕС1066 и ЕС1066.01), отличающихся набором периферийных устройств.

Основные характеристики

Производительность, тыс. оп./с	до 5500
Емкость оперативной памяти, Мбайт.....	8 ... 16
Общая пропускная способность каналов ввода-вывода, Мбайт/с.....	18
Число каналов:	
блок-мультиплексных	10
байт-мультиплексных	2
Пропускная способность каналов, Мбайт/с:	
блок-мультиплексных	1,5 и 3
байт-мультиплексных	0,075
Потребляемая мощность, кВт·А	100
Занимаемая площадь, м ²	150

ЭВМ ЕС1840 относится к классу профессиональных персональных ЭВМ (ПЭВМ) и предназначена для решения широкого круга научно-технических, экономических управленческих и других задач как в автономном режиме, так и при работе с подключением к локальным и глобальным сетям, а также в режиме интеллектуального терминала большой ЭВМ Единой системы.

Центральная часть ЭВМ имеет собственно процессор, оперативную память емкостью 256 Кбайт — 1 Мбайт, постоянную управляющую память емкостью 64 Кбайт и адаптеры для подключения накопителей на гибких магнитных дисках, видеоблока, клавиатуры, печатающего устройства, модема.

Блок накопителей имеет два накопителя на гибких магнитных дисках емкостью 320 Кбайт типа ЕС5324 или ЕС5088М, или ЕС5089. Видеоблок специально разработан для ПЭВМ и имеет экран размером 240x X 160 мм, на котором размещается 25 строк по 80 знаков, изображение черно-белое. Печатающее устройство — матричное типа D-100 или D-200.

Обеспечена работа с двумя типами внешнего интерфейса: параллельным Centronix и последовательным RS-232C.

Электронная часть ПЭВМ построена на микропроцессорном комплекте К1810 ВМ86.

В состав программного обеспечения, поставляемого с машиной, входят операционная система, по составу и функциям подобная операционной системе CP/M-86, ставшей стандартной для ПЭВМ, и система программирования на языке Бейсик.

Конструктивно ПЭВМ ЕС1840 выполнена в виде настольного устройства. Общая потребляемая мощность 300 В·А.

Новые модели СМ ЭВМ

Разработка моделей СМ ЭВМ была направлена на дальнейшее развитие функциональных характеристик, повышение производительности и надежности, уменьшение массогабаритных характеристик. Это достигнуто в основном за счет улучшения конструкции и использования более совершенной элементной базы.

ЭВМ СМ 1420 предназначена для замены ЭВМ СМ4, по сравнению с которой почти в 2 раза повышена производительность, обеспечены возможность работы с оперативной памятью

большой емкости и аппаратурное выполнение команд для операндов с плавающей точкой.

В состав ЭВМ СМ 1420 входят: процессор с оперативной памятью СМ1420. 2420, контроллер интерфейса ИРПР СМ1420.6009, контроллер интерфейса ИРПС СМ1420.6010, адаптер связи с интерфейсом ИРПР СМ1420.4105, блок расширения системы для установки кассетных блоков и контроллеров внешних устройств СМ1420.0Ш.

Центральная часть машины — процессор — включает базовый модуль, диспетчер памяти, модуль арифметики с плавающей точкой, модуль языковых команд, динамическую память микрокоманд, модуль оперативной памяти, построенной на микросхемах, пульт управления, модуль загрузки, таймера и автотестирования. Процессор обеспечивает управление памятью до 2 Мбайт.

Основные характеристики

Время выполнения команд, мкс:	
сложение «регистр—регистр».....	1,0
сложение «память—память».....	3,8
умножение с фиксированной точкой.....	8,6
Емкость оперативной памяти, Кбайт	124

ЭВМ СМ 1634 СМ 50/60 является младшей моделью в ряду СМ-2М — СМ1210. Она имеет один процессор, оперативную память емкостью-до 64 Кбайт с двумя разделами равной емкости, функции таймера и канала прямого доступа в оперативную память реализуются основным процессором.

К ЭВМ СМ 1634 могут быть подключены любые агрегатные модули, имеющие выход на системный интерфейс ИУС, устройства, имеющие выход на интерфейсы ИРПР и ИРПС, терминальные субкомплексы, имеющие выход на интерфейс ИУС, измерительные приборы, имеющие выход на интерфейс ИИС-2, линии связи к любым ЭВМ с архитектурой СМ-2.

ЭВМ СМ 1634 выпускается в нескольких модификациях, отличающихся составом периферийных устройств и назначением, а также емкостью оперативной памяти. Модификации СМ1634.01, 02, 06, 12 предназначены для систем управления вводом-выводом, автономного управления агрегатами, автономного использования; модификации СМ1634.03, 04, 05 — для разветвленной системы связи между вычислительным комплексом и управления сложными вычислительными комплексами. Модификация СМ1634.07 — типовая для работы в качестве информационно-измерительного комплекса для научного эксперимента, СМ1634.08 — типовая для встраивания в сложные приборы. Модификация СМ1634.13 состоит из трех не связанных между собой комплексов СМ 1634 в одном шкафу. Состав каждой модификации различен. Например, в модификациях СМ1634.03, 04, 05 отсутствуют периферийные устройства, в модификациях СМ1634.01, 02 — внешняя память, модификация СМ1634.06 имеет полный набор периферийных устройств, включающий наряду с внешней памятью терминал для компоновки рабочего места оператора, печатающее устройство и дисплей типа ВТА2000.

В качестве программного обеспечения ЭВМ СМ1634 используется агрегативная система АСПО.

Новые периферийные устройства

Алфавитно-цифровой дисплейный комплекс ЕС7970. Предназначен для работы в составе систем, построенных на базе ЕС ЭВМ-2 и ЕС ЭВМ-3. В состав комплекса входят: групповое устройство управления

ЕС7971 и восемь дисплейных терминалов ТС7063.01 с возможностью подключения до 32 терминалов. Групповое устройство управления ЕС7971 представляет собой микроЭВМ, управляющую обменом данными между основной ЭВМ и терминалами. Подключается к байт-мультимплексному каналу модели ЕС ЭВМ и одновременно может вести обмен с четырьмя терминалами. Дисплейный терминал ТС7063.01 построен на базе микропроцессора и БИС ЗУ. Обеспечивает максимальное удаление от группового устройства управления на 2 км.

Комплекс осуществляет: обмен данными между ЭВМ и оператором по каналу ввода-вывода; обработку данных, принимаемых от ЭВМ; отображение на экранах терминалов алфавитно-цифровой информации, как принимаемой от ЭВМ, так и набираемой на клавиатуре терминалов

с использованием строчных и прописных букв русского и латинского алфавитов; обмен данными между терминалами комплекса без участия в этом процессе основной ЭВМ; контроль работоспособности комплекса.

Дисплейный групповой локальный комплекс ЕС7990. Предназначен для обеспечения взаимодействия рассредоточенных дисплейных рабочих мест с базовой ЭВМ, а также для отображения, автономного редактирования и высококачественной печати коротких (до 12 стр.) и объемных (до 100 стр.) текстов, организации обмена информацией между рабочими местами комплекса.

В состав комплекса входят: групповое устройство управления ТС7972 и удаленный автономный дисплейный комплекс КДА ЕС7991— 8 шт. КДА ЕС7991 включает блок управления, накопитель на гибких магнитных дисках ЕС5079 или ЕС5074, дисплейный терминал ТС7063.02 и печатающее устройство ТС7180. К групповому устройству управления может быть подключено до 32 КДА с удалением до 2 км при скорости обмена между устройством управления и КДА до 10 Кбайт/с, а между устройством управления и ЭВМ до 140 Кбайт/с.

Комплекс ЕС7990 поставляется в четырех базовых конфигурациях:

ЕС7990 — 1 шт. ТС7972 и 8 шт. ЕС7991,

ЕС7991 — 1 шт. ТС7972 и 8 шт. ЕС7991.01,

ЕС7991.01 — 1 шт. ТС7972 и 8 шт. ЕС7991.02,

ЕС7991.02 — 2 шт. ТС7972, 8 шт. ЕС7991.02 и один коммутатор периферии ЕС7990.Н001.

Габаритные размеры устройств, мм: ТС7972 — 700×550×750, ТС7063.02— 470×660×463, ТС7180—596×465×325, ЕС7991. Е001 — 550×700×650, ЕС7990. Н001 —740×540×130.

Мощность, потребляемую комплексом от первичного источника питания, можно определить исходя из следующих данных по потреблению: 8 × ЕС7991 — 15 кВ·А, ТС7972 — 0,6 кВ·А.

Производственное издание

Заведующая редакцией Г. И. Козырева
Редакторы: Т. М. Любимова, Т. М. Толмачева, Н. Г. Давыдова
Художественный редактор Н. С. Шейн
Технический редактор А. Н. Золотарева
Художник А. С. Дзусев
Корректор П. П. Иваницкая
ИБ № 1380

Сдано в набор 20.10.1986. Подписано в печать 3.03.1987. Т-04070. Формат 60×90¹/₁₆.
Бумага офсетная № 2. Гарнитура литературная. Печать офсетная. Усл. печ. л. 14,0.
Усл. кр.-отт. 14,5. Уч.-изд. л. 16,29. Тираж 10 000 экз. Изд. № 21694. Зак. № 2170. Цена 1 р. 30 к.
Зак. № 2170 Цена 1р. 30 к.

Издательство «Радио и связь», 101000 Москва, Почтамт, а/я 693
Московская типография № 4 «Союзполиграфпрома» при Государственном комитете СССР
по делам издательств, полиграфии и книжной торговли.
129041, Москва, И-41, Б. Переяславская, 46

УДК 681.3

Состояние и проблемы развития ЭВМ общего назначения. Пржиялковский В. В. — ЭВТ, 1987, вып. 1, с. 5—11.

Приводятся основные архитектурные, системные и технико-экономические характеристики ЭВМ общего назначения. Анализируется динамика изменения основных технических характеристик отечественных и зарубежных ЭВМ общего назначения.

Библ. 8 назв.

УДК 681.4

Пути построения ЭВМ сверхвысокой производительности. Мельников В. А., Митропольский Ю. И. — ЭВТ, 1987, вып. 1, с. 12—17.

Рассматриваются основные проблемы и пути построения вычислительных систем сверхвысокой производительности. Формулируются задачи развития элементной и конструктивной базы, систем автоматизированного проектирования, архитектуры и программного обеспечения суперЭВМ.

УДК 681.3

Этапы интеллектуализации ЭВМ общего назначения. Заморин А. П. — ЭВТ, 1987, вып. 1, с. 17—25.

Рассматриваются принципы эволюционного развития ЭВМ общего назначения. Дается классификация ЭВМ по уровням реализации свойств интеллектуальных систем. Обсуждаются тенденции развития архитектуры ЭВМ последующих поколений.

Рис. 2, библ. 6 назв.

УДК 621.396.6—181.5

Основные направления развития микроэлектроники. Валиев К. А., Орликовский А. А. — ЭВТ, 1987, вып. 1, с. 25—40.

Рассматриваются проблемы субмикронной литографии и технологии сверхбольших интегральных схем. Обсуждаются задачи физического и математического моделирования технологических процессов на ЭВМ. Дается прогноз развития полевых и биполярных сверхскоростных интегральных схем ЭВМ.

Рис. 3, библ. 15 назв.

УДК 681.3

Оценка эффективности языков высокого уровня в вычислительных системах реального времени. Хетагуров Я. А. — ЭВТ, 1987, вып. 1, с. 41—58.

Рассматриваются две модели создания и эксплуатации вычислительных систем реального времени (ВС РВ) при использовании языков высокого уровня: с применением транслятора и при прямой реализации языка (без транслятора). Выводятся зависимости основных технических и программных характеристик от затрат на каждом этапе жизненного цикла ВС РВ.

УДК 681.3

Система комплексного централизованного обслуживания средств вычислительной техники. Ильин Л. Н., Шаруненко Н. М. — ЭВТ, 1987, вып. 1, с. 58—66.

Рассматривается организация системы комплексного централизованного обслуживания средств вычислительной техники. Намечаются пути дальнейшего совершенствования этой системы, направленные на повышение эффективности использования ЭВМ в народном хозяйстве.

Рис. 3, библиограф. 3 назв.

УДК 621.3.049.77

Теория матричных БИС и СБИС ЭВМ. Файзулаев Б. Н. — ЭВТ, 1987, вып. 1, с. 67—88.

Проводится анализ фундаментальных свойств логических элементов и логических схем и излагаются в виде теорем основные асимптотические закономерности построения матричных БИС и СБИС высокопроизводительных ЭВМ.

На основе доказанных теорем и тенденций развития микроэлектронной технологии дан прогноз изменения основных параметров БИС и СБИС высокопроизводительных ЭВМ.

Рис. 18, библиограф. 13 назв.

УДК 621.396.6—181.5

Микроэлектронная элементная база средств вычислительной техники. Малярский Н. М., Терехов Ю. В. — ЭВТ, 1987, вып. 1, с. 88—97.

Рассматриваются состояние и перспективы развития микроэлектронной элементной базы центральных и периферийных устройств ЭВМ. Обсуждаются технические требования к степени интеграции, быстродействию и конструкции логических БИС и БИС ЗУ.

Рис. 1, библиограф. 12 назв.

УДК 621.3.049.77

Большие интегральные схемы сверхоперативной памяти. Орликовский А. А., Орлов Б. В., Старосельский В. И. — ЭВТ, 1987, вып. 1, с. 98—108.

Рассматриваются состояние и перспективы создания элементной базы сверхоперативных ЗУ на биполярных и полевых полупроводниковых приборах. Исследуются пределы быстродействия статических БИС ЗУ, реализованных на основе различных физических и технологических принципов.

Рис. 7, библиограф. 12 назв.

УДК 681.327.6

Энергонезависимые микроэлектронные ЗУ. Васенков А. А., Мальцев А. И., Нагин А. П., Яковлев А. Т. — ЭВТ, 1987, вып. 1, с. 108—119.

Рассматривается класс электрически репрограммируемых ПЗУ и энергонезависимых ОЗУ. Описываются принципы построения, схемотехника и организация электрически репрограммируемых ПЗУ на основе МНОП-транзисторных структур. Приводятся основные параметры отечественных энергонезависимых СБИС ОЗУ и ПЗУ.

Рис. 8, библиограф. 15 назв.

УДК 621.3.049.77

Базовые матричные кристаллы на основе элементов ЭСЛ. Шагурин И. И. —ЭВТ, 1987, вып. 1, с. 120—134.

Описываются базовые матричные кристаллы (БМК) на основе биполярной технологии. Приводится расчет статических и динамических параметров логических элементов и трансляторов уровней. Обосновывается конструкция БМК.

Рис. 4, библиографических названий 15.

УДК 681.34:621.3.049.77

Сверхскоростная элементная база на основе КМОП-схемотехники. Файзулаев Б. Н., Кармазинский А. Н. — ЭВТ, 1987, вып. 1, с. 134—143.

Рассматриваются преимущества КМОП-схем по сравнению с биполярными схемами ЭСЛ, ТТЛ. Даются расчетные соотношения для оценки энергии переключения, быстродействия и потребляемой мощности логических элементов ЭВМ. Обсуждаются основные направления создания КМОП-базовых матричных кристаллов.

Рис. 3, библиографических названий 13.

УДК 621.3.049.97

САПР матричных БИС Единой системы ЭВМ. Шмид А. В., Ярных В. В., Донских А. Д., Куксенко С. В. —ЭВТ, 1987, вып. 1, с. 144—157.

Анализируется методика проектирования матричных БИС (МаБИС) ЕС ЭВМ, реализованная в Единой системе автоматизированного проектирования (ЕСАП). Рассматривается проектирование взаимосвязанной группы БИС, образующих устройство, начиная с уровня функциональных узлов. Приводится маршрут проектирования, включающий средства обеспечения бездефектности, а также статистические данные по результатам проектирования МаБИС. Рис. 8, библиографических названий 11.

УДК 621.3.049.77

Комплексная система проектирования матричных БИС (КОМПАС-82). Лакшин Г. Л., Коротаяев Ю. С., Григорьев И. И., Смирнов Е. В. — ЭВТ, 1987, вып. 1, с. 158—167.

Описывается система автоматизированного проектирования матричных БИС (КОМПАС-82), предназначенная для реализации сквозного цикла проектирования БИС на основе различных матричных базовых кристаллов. Перечисляются основные этапы автоматизированного проектирования БИС. Приводятся результаты опытной эксплуатации системы по проектированию БИС центральных процессоров «Эльбрус».

Библиографических названий 4.

УДК 621.3.049.75

Многослойные монтажные платы связей ЭВМ. Галецкий Ф. П. —ЭВТ, 1987, вып. 1, с. 167—176.

Рассматриваются конструкция, различные технологии и электрические параметры многослойных печатных плат связей ЭВМ. Приводится оценка трассировочной способности МПП, изготовленных по разным технологиям.

Рис. 7, библиографических названий 3.

УДК 681.3

ЭВМ высокой производительности ЕС1066 и ЕС1065. Ломов Ю. С. —ЭВТ, 1987, вып. 1, с. 177—188.

Описываются структура и различные конфигурации технических средств ЭВМ ЕС1066 и ЕС1065. Приводятся их технические и эксплуатационные характеристики.

Рис. 3.

УДК 681.3

Состояние и перспективы развития периферийного и терминального оборудования ЭВМ. — Сулим М. К., Семенов Л. В. —ЭВТ, 1987, вып. 1, с. 189—198.

Рассматриваются состояние и перспективы развития периферийных устройств ввода-вывода данных и терминального оборудования — печатающих устройств, графопостроителей, алфавитно-цифровых и графических дисплеев, устройств речевого ввода-вывода и терминальных станций. Формулируются основные концепции развития периферийного и терминального оборудования.

УДК 681.39

Система логического проектирования высокопроизводительных вычислительных комплексов. Рябов Г. Г., Лакшин Г. Л., Конопкин В. Н., Коротаев Ю. С. —ЭВТ, 1987, вып. 1, с. 198—210.

Рассматриваются методология, проблематика и технические требования к автоматизированной системе логического проектирования сложных электронно-вычислительных устройств и комплексов. Описываются инструментальный язык и организация моделирования логических схем с предельным объемом 60 ... 80 тыс. вентилей. Приводятся статистические данные по результатам использования САПР.

Библ. 5 назв.

УДК 681.3

Новые технические средства ЕС и СМ ЭВМ. Селиванов Ю. П. —ЭВТ, 1987, вып. 1, с. 210—216.

Рассматриваются основные функциональные характеристики и особенности новых вычислительных машин и некоторых типов периферийных устройств ЕС ЭВМ и СМ ЭВМ.