



## **Реализация модулярных нейронных вычислительных структур на базе ПЛИС**

*(Невинномысский технологический институт (филиал)  
Северо-Кавказского государственного технического  
университета)*

Предложена реализация Нейронной Сети Конечного Кольца (НСКК) на основе ПЛИС Xilinx. Показано, что данная реализация НСКК имеет преимущества по времени преобразования и аппаратным затратам по сравнению с известными схемными решениями на базе ПЛИС.

Realization of Finite Ring Neural Network (FRNN) on the basis of FPGA Xilinx is offered. It is shown, that the given realization of FRNN has advantages on time of transformation and apparatus expenses in comparison with known circuit decisions on the basis of FPGA.

С развитием распределенных вычислительных сетей появляются новые приложения системы остаточных классов (СОК): системы порогового доступа [1, 2], надежного хранения информации [3], динамического управления загрузкой компьютерной сети [3], секретной передачи информации. Новый этап развития систем, функционирующих в системе остаточных классов, связан с широкими логическими возможностями современных ПЛИС и

использованием аппарата нейронных сетей в немодульных операциях. Исследования в области разработки нейросетевых моделей СОК ведутся, как на межразрядном [4], так и на внутриразрядном [5, 6] уровнях системы остаточных классов.

В соответствии с итеративным алгоритмом понижения разрядности числа, представленного в позиционной системе счисления (ПСС)

$$A(j+1) = \sum_{i=0}^{\lceil \log_2 A(j) \rceil} \left| 2^i \right|_p^+ \{A(j)\}^{[i]}, \quad (1)$$

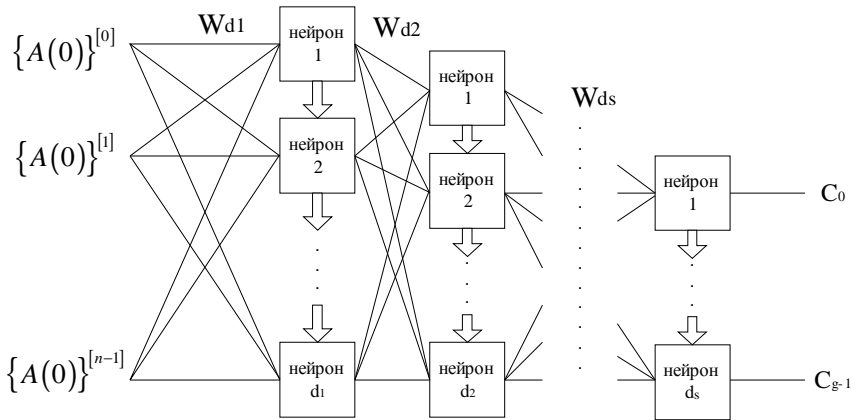
где  $\{A(j)\}^{[i]}$  – оператор извлечения  $i$ -го разряда двоичного представления  $A(j)$ ,

$\left| 2^i \right|_p^+$  – операция вычисления остатка целочисленного деления по модулю  $p$ , процесс модулярной редукции может быть реализован на нейронной сети (НС) прямого распространения сигнала [4]. Перевод задачи модулярного сокращения в нейросетевой логический базис позволяет дополнительно распараллелить вычисления внутри разрядов системы остаточных классов. Однако характеристики реализации НС на базе комбинационного сумматора и ПЗУ с весовыми коэффициентами хуже, чем у табличного вычислителя. Так, один слой данной НС для  $p = 13$  и  $n = \lceil \log_2 A(0) \rceil + 1 = 8$  может быть реализован на базе ПЛИС фирмы Xilinx на 29 просмотрных таблицах (LUT) с временем на полное сокращение по модулю 13 равным 648 нс [7], когда аналогичный табличный преобразователь с декомпозицией числа на группы младших и старших разрядов имеет быстродействие 26 нс при аппаратных затратах в 80 LUT [8].

Поскольку одна итерация (1) соответствует одному слою НС, то избавиться от межразрядных переносов в слое невозможно. Однако использование ПЛИС позволяет распределить весовые коэффициенты  $\left| 2^i \right|_p^+$  на поцифровом уровне между слоями НС (рисунок 1). Тогда  $k$ -ый нейрон в каждом слое данной сети аккумулирует одноразрядные операнды, соответствующие цифрам

числа  $\left|2^i\right|_p^+ \{A(j)\}^{[i]}$  в двоичном представлении, т. е.

$$\left[ \left[ \frac{\left|2^i\right|_p^+ \{A(j)\}^{[i]}}{2^k} \right] \right]_2^+.$$



**Рис. 1. Нейронная сеть конечного кольца с латеральными связями**

Рассмотрим принципы построения нейронной сети конечного кольца (НСКК) с одноразрядными весовыми коэффициентами.

Число нейронов в  $l$ -ом слое  $d = \left[ \log_2 \left( \sum_{i=0}^{n-1} \left|2^i\right|_p^+ \right) \right] + 1$ , где

$n = \left[ \log_2 A(l-1) \right] + 1$ . Пронумеруем нейроны в  $l$ -ом слое от 0 до  $(d - 1)$ . Тогда связи между входным слоем НС и нейронами первого слоя определяется матрицей  $M = (m_{ik})$ , где

$$m_{ik} = \left[ \left[ \frac{|2^i|_p}{2^k} \right] \right]_2^+, \text{ где } i = 0 \div n - 1, k = 0 \div d - 1.$$

Пример: для  $p = 13, n = 8, d = 6$  матрица весовых коэффициентов

$$M = \begin{pmatrix} 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 \\ 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 0 & 0 \end{pmatrix}.$$

Нейрон представляет собой многоместный сумматор одноразрядных операндов  $a_i$ . Нейрон имеет  $h$  входов и  $[\log_2 h] + 1$  выходов. Значение  $j$ -ого выхода  $k$ -ого нейрона в  $l$ -ом

$$\text{слое определяется } {}^l a_f^k = \left[ \left[ \frac{\sum_{i=0}^{h-1} a_i}{2^f} \right] \right]_2^+, f = 0 \div h - 1.$$

Из выходов  ${}^l a_0^k$  формируется входное значение на  $(l + 1)$  слой НС.

Выходы  ${}^l a_1^k, {}^l a_2^k, \dots, {}^l a_{h-1}^k$  заводятся на входы нейронов под номерами  $k + 1, k + 2, \dots,$

$k + h - 1$ , соответственно, в  $l$ -ом слое. Так как число нейронов в  $l$ -ом слое равно  $d$ , то при переносе разрядов с нейронов  $d - 2, d - 3$  и т. д. на вход нейрона под номером

$d - 1$  последний реализуется в виде логического элемента «ИЛИ». При отсутствии переносов на  $(d - 1)$ -ый нейрон числом больше 1 выход  ${}^l a_1^{d-2}$  с нейрона под номером

$(d - 2)$  заводится непосредственно на вход  $(l + 1)$ -го слоя.

Для построения на базе ПЛИС типа FPGA фирмы Xilinx основных функциональных блоков модулярного нейросопроцессора разработаны VHDL-описания данных устройств: один слой НСКК на основе комбинационного сумматора (FRNN\_Perform) [7], НСКК на основе однобитных нейронов (слой frnnmain (рисунок 2) и сеть frnn13full) [7], табличный преобразователь чисел из позиционного двоичного представления в СОК (pns2rns) [8], преобразователь чисел из СОК в полиадическую систему счисления на основе ПЗУ (rns2mrs) [9]. Для синтеза функциональных блоков модулярного нейросопроцессора на основе разработанных описаний устройств на языке VHDL получены соответствующие методики. Разработанные методики дополняют предлагаемые фирмой Xilinx методы построения вычислителей на базе ПЛИС.

Рассмотрим методику построения НСКК с однобитовыми весовыми коэффициентами на основе разработанного объекта frnnmain:

1. Определяется разрядность модуля НСКК  $g$  и разрядность преобразуемых данных  $n$ . Вычисляется максимальная разрядность результата  $d$  первой итерации при разрядности входного вектора  $n$

по модулю  $p$ : 
$$d = \left\lceil \log_2 \left( \sum_{i=0}^{n-1} |2^i|_p \right) \right\rceil + 1.$$

2. Вычисляются значения весовых коэффициентов НСКК  $|2^i|_p$ ,  $i = 0, 1, 2, \dots, n - 1$ , в двоичном представлении и заносятся во второй столбец таблицы 1.

3. Заполнение таблицы 1 производится последовательно по строкам, соответствующим номеру входа НСКК, по следующему правилу: ячейка отмечается (крестиком), если номеру входа соответствует весовой коэффициент, в двоичном представлении которого разряд под номером нейрона в слое НСКК равен единице (нумерация разрядов начинается с 1).

4. Ячейки строки «Разрядность выходных данных нейрона» и последних  $d - 1$  строк таблицы 1 заполняются по столбцам, соответствующим номеру нейрона в слое НСКК. В ячейку по первому нейрону заносится число равное разрядности суммы вышележащих по столбцу отметок  $U$ . Если  $U$  больше единицы, то последовательно отмечаются ячейки строки № 0 (латеральной связи) столбцов 2, 3, ...,  $U$ . Разрядность выходных данных нейрона по второму столбцу номера нейрона подсчитывается посредством разрядности суммы отмеченных ячеек, как вышележащих по столбцу № 1, так и нижележащих (боковые связи) по данному столбцу. Если разрядность суммы  $V$  отмеченных ячеек больше 1, тогда последовательно отмечаются ячейки строки № 1 (латеральной связи) столбцов 3, 4, ...,  $V+1$ . Процесс заполнения ячеек продолжается до столбца под номером  $d - 1$ . Ячейка, соответствующая строке «Разрядность выходных данных нейрона» и столбцу  $d - 1$  не заполняется.

Таблица 1.

**Таблица для построения НСКК на основе однобитных нейронов**

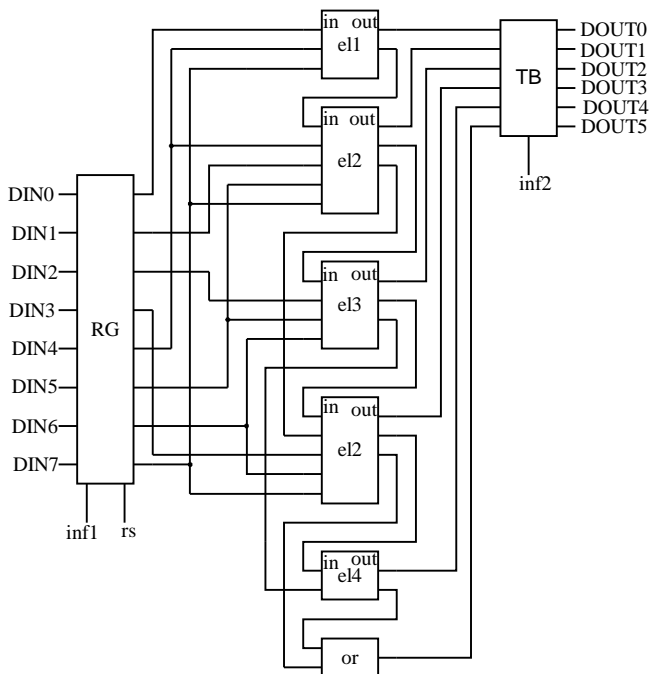
Номер входа НСКК	Весовой коэффициент НСКК	Номер нейрона в слое НСКК			
		0	2	...	$d - 1$
0	$ 2^0 _p$				
1	$ 2^1 _p$				
2	$ 2^2 _p$				
...	...				
$n - 1$	$ 2^{n-1} _p$				
Разрядность выходных данных нейрона					
Номер нейрона латеральной связи	0				
	2				
	...				
	$d - 2$				

5. В описании объекта (entity) и компонентов модели `frnnmain` изменяем значения настроечных констант входного регистра-защелки со сбросом `regsmpl` и тристабильного буфера `regdef`: для `regsmpl` присваиваем  $j = n - 1$ , для `regdef` изменяем  $j = d - 1$ .

6. В соответствии с данными таблицы 1 производим построение нейронов, последовательно начиная с нейрона под номером 1. Последовательность необходима по причине возможного повторения структур нейронов. В объекте (entity) нейрона создается два порта, определяющих вход и выход нейрона. Число входов определяется количеством отмеченных ячеек по соответствующему столбцу, а число выходов – значению строки «Разрядность выходных данных нейрона». В архитектуре (architecture) объекта нейрона создается блок, в котором посредством оператора условного параллельного присваивания (`<= ... when ... else`) описывается поведение объекта: выход равен числу в двоичном представлении активных входов нейрона. Столбец  $d - 1$  может содержать одну или две отметки, поскольку  $d - 1$  есть последний нейрон в слое. При двух и более входах его можно реализовать на логическом элементе «ИЛИ».

7. В объявлении блока архитектуры (architecture) устройства `frnnmain` описываются созданные нейроны в качестве компонентов, а в описании поведения объекта (после оператора `begin`) описывается структура слоя НСКК с помощью оператора соединения портов (`port map`) в соответствии с таблицей 1.

Рассмотрим пример построения НСКК для модуля  $p = 13$ :  $g = 4$ ,  $n = 8$ ,  $M = 3$ ,  $d = 6$ . В таблице 2 первая часть таблицы (до строки «Разрядность выходных данных нейрона») заполнена в соответствии с двоичным представлением весовых коэффициентов НСКК: 0001 – отмечается ячейка № 0 строки № 0; 0010 – отмечается ячейка № 1 строки № 1; 1011 – отмечаются ячейки № 0, 1, 3 строки № 7. Процесс заполнения строки «Разрядность выходных данных нейрона»: сумма отмеченных ячеек по первому столбцу равна 3, соответственно разрядность равна 2; следовательно, в строке № 0 латеральных связей нейронов отмечаем ячейку по столбцу № 1. Число однобитных выходов второго нейрона равно 3, следовательно, в строке латеральных связей № 1 отмечаем ячейки по 2, 3 столбцам. На рисунке 2 изображена структура разработанного слоя НСКК.



**Рис. 2. Слой НСКК на базе одноразрядных весовых коэффициентов**

Моделирование разработанных преобразователей по модулю 13 в среде Xilinx ISE v.5.2 и ModelSim показало, что наилучшее соотношение аппаратных затрат и быстродействия характерно для модели НСКК (таблица 3), построенной на основе однобитных весовых коэффициентов, что объясняется относительно высоким коэффициентом использования просмотрных таблиц за счет индивидуального подхода к проектированию на уровне элементарных примитивов ПЛИС. Из результатов моделирования, представленных на рисунке 3, видно, что с ростом разрядности чисел преимущество модели frnnmain в смысле аппаратных затрат возрастает приблизительно в два раза по сравнению с FRNN\_Perform.

Таким образом, для повышения производительности модулярного нейропроцессора необходимо использовать нейронную сеть, а не слой нейронов. Время работы слоя и сети равны 51 нс и 22 нс, соответственно, когда аппаратные затраты 19 LUT и 30 LUT, соответственно. Произведение затрачиваемых ресурсов дает 969 LUT·нс для слоя и 660 LUT·нс для сети, что говорит об



эффективности использования нейронной сети.

Таблица 2.

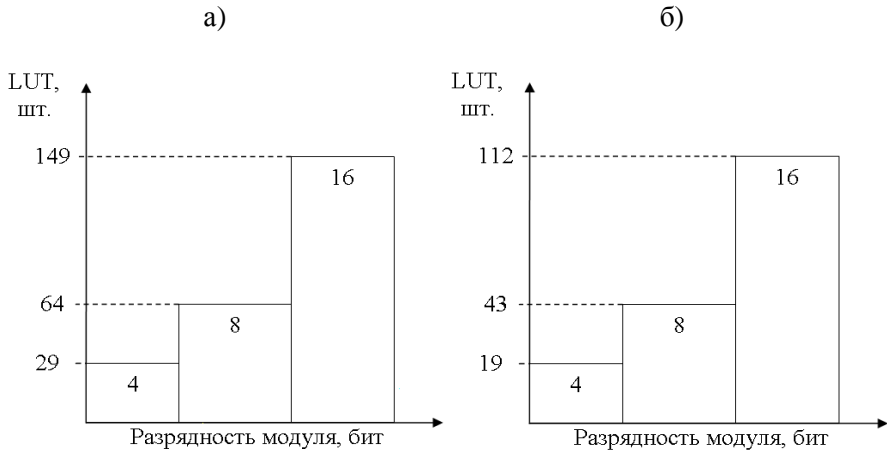
**Таблица для построения НСКК на основе односторонних нейронов при  $p = 13$**

Номер входа НСКК	Весовой коэффициент НСКК	Номер нейрона в слое НСКК					
		0	1	2	3	4	5
0	0001	<del>X</del>					
1	0010		<del>X</del>				
2	0100			<del>X</del>			
3	1000				<del>X</del>		
4	0011	<del>X</del>	<del>X</del>				
5	0110		<del>X</del>	<del>X</del>			
6	1100			<del>X</del>	<del>X</del>		
7	1011	<del>X</del>	<del>X</del>		<del>X</del>	<del>X</del>	
Разрядность выходных данных нейрона		2	3	3	3	2	
Номер нейрона латеральной связи	0		<del>X</del>				
	1			<del>X</del>	<del>X</del>		
	2				<del>X</del>	<del>X</del>	
	3					<del>X</del>	<del>X</del>
	4						<del>X</del>

Таблица 3.

**Временные и аппаратные затраты устройств сокращения по модулю 13 восьмиразрядного числа**

	FRNN_Perform	frnnmain/frnn13full	pns2rns
Flip Flop, шт.	22	8/8	8
LUT, шт.	29	19/30	80
TBUF, шт.	4	6/4	12
Время работы устройства, нс	648	51/22	26



**Рис. 3. Зависимость аппаратных затрат HSKK FRNN\_Perform (а) и frnnmain (б) от разрядности модуля**

Сравнение характеристик преобразователей по модулю на базе HSKK с одноразрядными весами с известными схемными решениями на базе ПЛИС фирмы Xilinx (сумматор с разрядно-кристалльным управлением [10], модификация Кима-Собельмана [11] ) показало преимущество разработанной нейронной сети (таблица 4).

Таблица 4.

**Сравнительный анализ преобразователей по модулю, реализованных на базе ПЛИС фирмы Xilinx**

Параметры устройств	Умножители по модулю				Преобразователь с разрядно-кристалльным управлением (основание 31)	НСКК на основе однобитных весовых коэффициентов (основание 31)
	Модификация метода Кима - Собельмана		НСКК на основе однобитных весовых коэффициентов			
	Разрядность модуля		Разрядность модуля			
	8	16	8	16		
Аппаратурные затраты, LUT шт.	192	640	107	372	174	35
Время работы, нс	80	192	67	115	34.8	22

Таким образом, подход в построении модулярных вычислителей в нейросетевом логическом базисе на базе ПЛИС является более эффективным по сравнению с традиционным подходом разрядно-кристального управления и табличной арифметики.

## Литература

1. Червяков Н. И., Евдокимов А. А. Нейросетевой генератор криптографических ключей пороговой схемы разделения секрета// Нейрокомпьютеры: разработка, применение. – М.: Радиотехника, 2004, № 10. – С. 62 – 67.
2. Червяков Н. И., Евдокимов А. А. Динамическая система пролонгированной безопасности // Инфокоммуникационные технологии. – Самара: Изд-во ПГАТИ, 2004, № 4. – С. 31 – 35.
3. Червяков Н. И., Евдокимов А. А. Пороговое разделение файла на базе китайской теоремы об остатках // Инфокоммуникационные технологии. – Самара: Изд-во ПГАТИ, 2004, № 1. – С. 38 – 43.
4. Червяков Н. И., Сахнюк П. А., Шапошников А. В., Макоха А. Н. Нейрокомпьютеры в остаточных классах. Кн. 11: Учеб. пособие для вузов. – М.: Радиотехника, 2003. – 272 с.
5. Червяков Н.И., Ремизов С.И. Структуры нейронных сетей конечного кольца// Нейрокомпьютеры: разработка, применение. – М.: Радиотехника, 2004, № 12. – С. 21 – 30.
6. Евдокимов А. А. Согласованность геометрических моделей системы остаточных классов и нейронной сети СМАС// Труды участников международной школы-семинара по геометрии и анализу памяти Н. В. Ефимова. – Ростов-на-Дону: Изд-во ООО «ЦВВР», 2004. – С. 188 – 190.
7. Евдокимов А.А. Свидетельство об отраслевой регистрации разработки № 4086 от 03 декабря 2004 г. на разработку «Описания нейронной сети конечного кольца «VHDL»». Номер гос. регистрации 50200401423 от 09 декабря 2004 г. (Министерство образования РФ. Государственный координационный центр информационных технологий. Отраслевой фонд алгоритмов и программ)

8. Евдокимов А.А. Свидетельство об отраслевой регистрации разработки № 4087 от 03 декабря 2004 г. на разработку «Описание устройства для преобразования чисел из позиционного представления в систему остаточных классов «VHDL»». Номер гос. регистрации 50200401424 от 09 декабря 2004 г. (Министерство образования РФ. Государственный координационный центр информационных технологий. Отраслевой фонд алгоритмов и программ)
9. Евдокимов А.А. Свидетельство об отраслевой регистрации разработки № 4088 от 03 декабря 2004 г. на разработку «Описание устройства для перевода чисел из системы остаточных классов в обобщенную позиционную систему счисления «VHDL»». Номер гос. регистрации 50200401425 от 09 декабря 2004 г. (Министерство образования РФ. Государственный координационный центр информационных технологий. Отраслевой фонд алгоритмов и программ)
10. Venkatesan R. FPGA implementation of RNS structure// A Thesis Submitted to the Faculty of Graduate Studies through the Department of Electrical Engineering in Partial Fulfillment of the Requirements for the Degree of Master of Applied Science at the University of Windsor, 1994. – 124 p.
11. Beuchat J.-L., Muller J.-M. Modulo M multiplication-addition: algorithms and FPGA implementation// ELECTRONICS LETTERS 27th May 2004 Vol. 40 No. 11.